



**UNIVERSIDADE FEDERAL DA BAHIA
ESCOLA POLITÉCNICA DA UFBA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA**

**UMA NOVA ARQUITETURA DE INTEGRADOR
COMPANSOR PARA FILTROS ANALÓGICOS
CMOS EM MODO CORRENTE**

Autor
Lucas Costa D'Eça

Orientadora
Ana Isabela de Araújo Cunha



**UNIVERSIDADE FEDERAL DA BAHIA
ESCOLA POLITÉCNICA DA UFBA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA**

**UMA NOVA ARQUITETURA DE INTEGRADOR
COMPANSOR PARA FILTROS ANALÓGICOS
CMOS EM MODO CORRENTE**

Autor: Lucas Costa D'Eça
Orientadora: Prof. Dra. Ana Isabela de Araújo Cunha

Dissertação elaborada pelo acadêmico Lucas Costa D'Eça, como parte das exigências para conclusão do curso de pós-graduação stricto-senso em Engenharia Elétrica da Universidade Federal da Bahia, sob a orientação da professora Dra. Ana Isabela de Araújo Cunha

SALVADOR – BA
2011

D291 D'Eça, Lucas Costa

Uma nova arquitetura de integrador compensador para filtros analógicos CMOS em modo corrente / Lucas Costa D'Eça. – Salvador, 2011.

52 f. : il. color.

Orientador: Prof. Doutora Ana Isabela de Araújo de Cunha

Dissertação (mestrado) – Universidade Federal da Bahia. Escola Politécnica, 2011.

1. Circuitos integrados. 2. Processamento de sinais. 3. Indústria eletrônica I. Cunha, Ana Isabela de Araújo. II. Universidade Federal da Bahia. III. Título.

CDD.: 621.381



**UNIVERSIDADE FEDERAL DA BAHIA
ESCOLA POLITÉCNICA DA UFBA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA**

**UMA NOVA ARQUITETURA DE INTEGRADOR
COMPANSOR PARA FILTROS ANALÓGICOS
CMOS EM MODO CORRENTE**

Autor: Lucas Costa D'Eça

Orientadora: Prof. Dra. Ana Isabela de Araújo Cunha

Banca Examinadora

Profa. Dra. Ana Isabela de Araújo Cunha

Prof. Dr. Amauri Oliveira

Prof. Dr. Robson Nunes de Lima

Prof. Dr. Xisto Lucas Travassos

EPÍGRAFE

“Em que consiste a felicidade dos bons Espíritos?”

“Em conhecerem todas as coisas;”(…)

O Livro dos Espíritos – questão 967

DEDICATÓRIA

À minha família.

AGRADECIMENTOS

À Professora Ana Isabela de Araújo Cunha, por ter acreditado e me confiado a responsabilidade de realizar este projeto.

Aos amigos Tiago Costa Andrade, Anderson Dourado Sisnando, Fabrício Gerônimo Simões, Joalbo Borges Santos e Edson (Luz) Santana, sempre solícitos e generosos na solução dos meus questionamentos.

A meus tios Francino e Jôsy, pelo apoio e suporte incondicionais.

A Deus, Aquele que atendeu às minhas orações e me concedeu a realização desse sonho.

SUMÁRIO

LISTA DE ILUSTRAÇÕES	9
LISTA DE TABELAS.....	10
LISTA DE ABREVIATURAS	11
LISTA DE SÍMBOLOS	12
RESUMO	14
ABSTRACT	15
1. INTRODUÇÃO.....	16
1.1. Motivação: Compansores	16
1.2. Fundamentação teórica	17
2. INTEGRADOR COMPANSOR PROPOSTO.....	20
2.1. Protótipo	20
2.2. Arquitetura Definitiva.....	23
2.2.1. Princípio de Funcionamento.....	23
2.2.2. Considerações de Projeto	26
2.2.3. Versão Balanceada.....	27
3. RESULTADOS DE SIMULAÇÃO	29
3.1. Características de projeto.....	29
3.2. Resultados das simulações	30
3.2.1. Análise no Domínio do Tempo	30
3.2.2. Resposta em Frequência.....	31
3.2.3. Intermodulação de Terceira Ordem	33
3.2.4. Outras Características de Desempenho	34
4. PROJETO DE FILTROS ANALÓGICOS EM MODO CORRENTE UTILIZANDO INTEGRADORES COMPANSORES	36
4.1. Metodologia para o caso de integradores sem amortecimento.....	36
4.2. Metodologia para o caso de integradores amortecidos.....	39
5. CONCLUSÃO.....	42
6. REFERÊNCIAS BIBLIOGRÁFICAS	45
Apêndice A	48
Apêndice B	50
Apêndice C.....	52

LISTA DE ILUSTRAÇÕES

<i>Fig.1 - Bloco integrador compensador em modo corrente genérico.....</i>	<i>19</i>
<i>Fig.2 - Estrutura básica do integrador compensador proposto</i>	<i>20</i>
<i>Fig.3 - Possível arquitetura do integrador compensador proposto</i>	<i>22</i>
<i>Fig.4 - Arquitetura definitiva do núcleo do integrador compensador proposto.....</i>	<i>24</i>
<i>Fig.5 - Versão Balanceada do Integrador Compensador Proposto: (a) Diagrama de blocos; (b) Possível arquitetura do subtrator.</i>	<i>28</i>
<i>Fig.6 - Resposta no domínio do tempo do integrador proposto para uma onda retangular (linha pontilhada) de 1 μA de amplitude e 100 kHz.....</i>	<i>30</i>
<i>Fig.7 - Resposta em frequência dos integradores proposto (a) e de Seevinck (b)</i>	<i>32</i>
<i>Fig.8 - Intermodulação de terceira ordem nos integradores proposto e de Seevinck.</i>	<i>34</i>
<i>Fig.9 - Valor eficaz do ruído referido à entrada nos integradores proposto (linha cheia) e de Seevinck (linha pontilhada).</i>	<i>35</i>
<i>Fig.10 - Esquema de filtro passa-baixas de 4ª ordem em modo corrente, com espelhos de corrente</i>	<i>22</i>
<i>Fig.11 - Topologia de biquad passa-faixa em modo corrente</i>	<i>40</i>
<i>Fig.B1 - Integrador Compensador de Seevinck na Versão Balanceada</i>	<i>51</i>

LISTA DE TABELAS

<i>Tabela C1: Parâmetros do Modelo ACM na Tecnologia IBM 0.13</i>	<i>52</i>
---	-----------

LISTA DE ABREVIATURAS

CMOS – Complementary Metal-Oxide-Semiconductor
MOS – Metal-Oxide-Semiconductor
MOSFET – Metal-Oxide-Semiconductor Field Effect Transistor
DC – Direct Current
OTA – Operational Transconductance Amplifier
BSIM – Berkeley Short-channel IGFET Model
AC – Alternating Current
FFT – Fast Fourier Transform
DHT – Distorção Harmônica Total
RMS – Root Mean Square
K-H-N – Kerwin-Huelsman-Newcomb Biquad Filter
CI – Circuito Integrado
MEP – MOSIS Educational Program
MOSIS – Metal Oxide Semiconductor Implementation Service
ACM – Advanced Compact MOSFET

LISTA DE SÍMBOLOS

I_o – Constante de normalização da corrente na saída do divisor de entrada
 i_{in} – Corrente de entrada
 i' – Corrente de saída do bloco de diferenciação
 i_{out} – Corrente de saída
 V_o – Constante de normalização da corrente i'
 C – Capacitor
 i_{Dx} – Corrente de dreno do transistor M_x
 M_x – Transistor “x”
 v_{Sx} – Tensão de fonte do transistor M_x
 g_{msx} – Transcondutância de fonte do transistor M_x
 i_C – Corrente do capacitor
 ϕ_t – Potencial termodinâmico
 W_x/L_x – Razão de aspecto do transistor “x”
 G_m – Ganho de transcondutância do OTA
 v_{DSx} – Tensão dreno-fonte do transistor M_x (Drain-Source)
 V_{Px} – Tensão de pinch-off do transistor M_x
 V_{GBx} – Tensão porta-corpo do transistor M_x (Gate-Body)
 v_{SBx} – Tensão fonte-corpo do transistor M_x (Source-Body)
 I_{Sx} – Corrente específica do transistor M_x
 $i_{f(r)x}$ – Corrente de saturação direta (reversa) normalizada do transistor M_x
 I_{Bx} – Corrente da fonte de corrente constante
 n – Fator de rampa
 V_{GG} – Tensão de Porta num espelho de corrente (Gate-Gate)
 V_{DD} – Tensão CC da fonte positiva
 V_{TON} – Tensão de limiar do transistor MOS canal N
 n_N – Fator de rampa do transistor MOS canal N
 v_C – Tensão no capacitor
 V_{SS} – Tensão CC da fonte negativa
 $v_{DBmin(max)}$ – Mínima (máxima) tensão dreno-corpo (Drain-Body)
 M – relação de razões de aspecto entre transistores
 W – Largura do canal
 L – Comprimento do canal
 f – frequência
 $W.L$ – Área do transistor
 b_0 – Coeficiente do numerador da função de transferência
 a_x – Coeficiente do denominador da função de transferência
 K – Ganho do integrador
 μ – Mobilidade dos portadores
 C'_{ox} – Capacitância do óxido de silício por unidade de área
 $Q'_{IS(D)}$ – Densidade de carga de inversão na fonte (dreno)
 $q'_{IS(D)}$ – Densidade de carga de inversão na fonte (dreno) normalizada
 V_{DSSAT} – Tensão dreno-fonte de saturação

SS – Nó de conexão à fonte negativa

DD – Nó de conexão à fonte positiva

DM_x – Dreno do transistor “x”

$\frac{\partial y}{\partial x}$ – Derivada de “y” em relação a “x”

ω – frequência angular

A_{min} – Atenuação mínima

T(s) – Função de transferência no domínio da frequência

RESUMO

O trabalho aqui desenvolvido trata de uma nova arquitetura de integrador compansor (companding) para aplicação em filtros analógicos em modo corrente em tecnologia CMOS. Ao contrário das arquiteturas compansoras do tipo domínio logarítmico (log-domain), na arquitetura proposta os dispositivos MOS não são limitados a operar apenas em inversão fraca, onde apresentam característica volt - ampère exponencial. Assim, na arquitetura proposta, dispositivos com razões de aspecto baixas (pequenas larguras) podem trabalhar com amplitudes mais elevadas de corrente, sem comprometer a linearidade do circuito. No caso dos circuitos log-domain, para manter os níveis de inversão baixos com amplitudes de correntes elevadas, os MOSFETs devem possuir canais largos, o que leva a capacitâncias parasitas significativas e, assim, a uma maior degradação da resposta em frequência. O circuito proposto, comparado através de resultados de simulação a um circuito log-domain bem conhecido, o integrador de Seevinck, apresentou melhor resposta em frequência, maior relação sinal-distorção e uma grande economia de área de silício, para condições semelhantes de consumo de potência e amplitude do sinal de entrada.

Esta pesquisa se propõe a contribuir com a revitalização do interesse por circuitos integrados para processamento analógico de sinais, experimentado pela indústria eletrônica nos dias atuais. Este interesse está sendo fomentado pela recente revolução dos sensores [1], que proliferam em múltiplas formas para a detecção de vários parâmetros físicos, químicos e biológicos, juntamente com os microatuadores. Os sinais produzidos por estes sensores necessitam de processamento analógico por dispositivos compactos e de baixo consumo, como por exemplo os destinados a implantes biomédicos ou à utilização em redes sem fio.

ABSTRACT

This work presents a compact new architecture of analog companding integrator for application in CMOS current-mode filters. Since MOS transistors are not constrained to operate in the weak inversion region, where current-voltage characteristics behave exponentially, as in the log-domain counterparts. Therefore, in the proposed architecture, narrow devices are allowed to operate with large currents without significantly affecting linearity. In the log-domain circuits, in order to assure low inversion levels with large currents, the MOSFETs must have wide channels, which introduce large parasitic capacitances, thus degrading frequency response. The performance of the proposed circuit is compared through simulation results to a well-known log-domain circuit, the minimum voltage Seevinck's integrator. For similar DC power consumption and input signal amplitudes, the proposed integrator presents wider frequency range, higher signal-to-distortion ratio and much smaller silicon area than Seevinck's integrator.

This research aims to contribute to the revival of interest in integrated circuits for analog signals processing experienced by the electronics industry today. This interest is being fueled by the recent revolution in sensors [1], which proliferate in many forms for the detection of various physical, chemical and biological, along with the microactuators. The signals from these sensors require analog processing by compact and low power consumption devices, such as those for biomedical implants or the use of wireless networks.

1. INTRODUÇÃO

1.1.Motivação: Compansores

A vanguarda dos dispositivos eletrônicos é representada por circuitos altamente eficientes e de elevada integração de componentes num espaço cada vez mais reduzido. Esta tendência requisita circuitos integrados com menores valores de tensão de alimentação e de potência consumida por seus componentes funcionais. No entanto, estas condições conduzem à operação destes componentes em regiões limítrofes de desempenho satisfatório.

Em razão disso, a criação e implementação de arquiteturas alternativas de circuitos analógicos em tecnologia CMOS vêm tentando se adequar às exigências dos mercados atuais. Dentre estas arquiteturas, uma das modalidades que vêm se mostrando de desenvolvimento promissor é a que engloba arquiteturas compansoras.

Este trabalho apresenta uma nova arquitetura compansora de integrador em modo corrente para aplicação em filtros analógicos em tecnologia CMOS. O integrador proposto é comparado, através de análise teórica e de simulações, com outra arquitetura compansora de integrador existente na literatura, sendo enfatizadas as características de desempenho que destacam algumas categorias de arquiteturas compansoras das outras, quais sejam: faixa de frequência, distorção, potência consumida, ruído e dimensões físicas.

1.2.Fundamentação teórica

O interesse crescente por arquiteturas compansoras [2]-[13] para a implementação de filtros analógicos integrados é completamente justificado pela atual tendência em direção ao projeto de circuitos em baixa tensão e baixa potência. Num circuito compansor (compressor e expansor), que é normalmente em modo corrente, uma ampla faixa dinâmica (no que concerne tanto à razão sinal-ruído como à razão sinal-distorção) é permitida num ambiente de baixa tensão de alimentação. Os sinais de entrada (correntes) são internamente comprimidos, ou seja, convertidos em sinais de pequenas amplitudes (tensões). Esta compressão é naturalmente conseguida através da característica I-V não linear dos dispositivos eletrônicos, tais como transistores bipolares e de efeito de campo MOS.

No caso de transistores MOS, tanto as características exponenciais (inversão fraca) como as quadráticas (inversão forte), assim como o comportamento de transição entre elas (inversão moderada), realizam a compressão de um sinal de corrente externo para um sinal de tensão interno. Os circuitos compansores a MOSFET até então apresentados na literatura exploram apenas um dos comportamentos assintóticos do dispositivo, que pode operar exclusivamente em inversão fraca se utilizado em circuitos de domínio logarítmico (“log-domain”) [3-6] ou exclusivamente em inversão muito forte se utilizado em circuitos de domínio raiz quadrada (“square root-domain”) [10]. Isto porque uma implementação prática da função expansora é requerida após o processamento do sinal comprimido.

Os filtros CMOS *log-domain* estão restritos a operar com baixas correntes de polarização para evitar que a operação do dispositivo se afaste da inversão fraca e assim reduzir a distorção. De outra forma, se polarizados com correntes altas, os transistores

MOS fracamente invertidos requereriam larguras muito grandes, o que degradaria o desempenho do circuito em altas frequências, devido às grandes capacitâncias parasitas. Entretanto, as baixas correntes de polarização limitam as excursões dos sinais na entrada e na saída, conseqüentemente reduzindo a razão sinal-ruído. Dentre os integradores *log-domain* em tecnologia CMOS apresentados na literatura, o integrador de mínima tensão de alimentação de Seevinck [4] já foi empregado na construção de um filtro analógico integrado com um fim prático [13].

Por outro lado, a função expansora num circuito *square root-domain* é muito mais difícil de ser implementada, geralmente necessitando o uso de circuitos multiplicadores-divisores e extratores de média geométrica. Como a complexidade e tamanho do circuito global são aumentados, descasamentos geométricos tornam-se mais críticos que no caso de circuitos *log-domain*.

Os integradores compansores projetados e analisados neste trabalho são circuitos em modo corrente. Os circuitos em modo corrente permitem a implementação de funções de processamento de sinais precisas e pouco sensíveis à temperatura. Este tipo de circuito encontra aplicações em altas frequências e com menores valores de tensão de alimentação.

Uma das principais vantagens das arquiteturas compansores é a redução da influência do ruído e distorção harmônica, pois estas conseguem exibir uma função de transferência externamente linear, apesar do processamento interno dos sinais ser não linear. Um diagrama esquemático representativo de um bloco integrador compansor em modo corrente genérico, apresentado em [3], é representado na figura 1.

O termo $I_o \cdot \left(\frac{i_{in}}{i'} \right)$ representa uma corrente comprimida na saída do divisor de entrada, que é integrada no capacitor C, produzindo uma tensão “v”. O bloco transcondutor “f” expande o sinal de tensão transformando-o numa corrente que é

função da tensão “v”. Mediante alguma manipulação algébrica e cálculo, encontra-se a expressão matemática do integrador entre as correntes de entrada e saída:

$$I_{OUT} = \frac{I_O}{V_O \cdot C} \int i_{in} \cdot dt$$

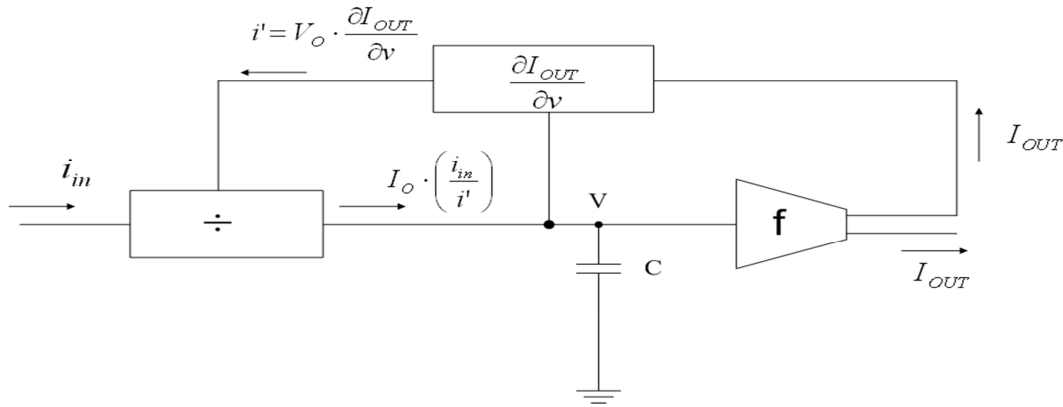


Fig.1 - Bloco integrador compensador em modo corrente genérico

Os blocos básicos de um filtro em modo corrente para sinais contínuos no tempo são espelhos de corrente e integradores. Espelhos de corrente são naturalmente compensadores, independentemente dos dispositivos operarem em inversão fraca, moderada ou forte. Assim, num filtro em modo corrente compensador, são os integradores compensadores que solicitam um maior esforço criativo e computacional, seja na concepção da arquitetura seja no dimensionamento.

É importante ressaltar que a concepção de circuitos compensadores requer um conhecimento detalhado e uma atenção especial à modelagem do dispositivo a ser empregado, pois é tomando partido do comportamento de suas características estáticas e dinâmicas que a arquitetura é delineada, objetivando a maximização da linearidade global do circuito. Assim sendo, esta é uma categoria de circuito que se encontra entre as que melhor conciliam o desafio do projeto e a modelagem dos dispositivos.

2. INTEGRADOR COMPANSOR PROPOSTO

2.1. Protótipo

Baseando-se na metodologia do bloco integrador da Fig.1 (Introdução), foi implementado um primeiro protótipo para o integrador compansor proposto. O princípio de operação deste protótipo é apresentado através do diagrama simplificado de circuito da Fig.2. A operação desse circuito proposto é baseada no fato de que, em saturação e para uma tensão porta-substrato constante (v_{G1}), a corrente de dreno (i_{D1}) de um transistor MOS M_1 (desconsiderando efeitos de segunda ordem, como os de canal curto) depende apenas da tensão fonte-substrato v_{S1} .

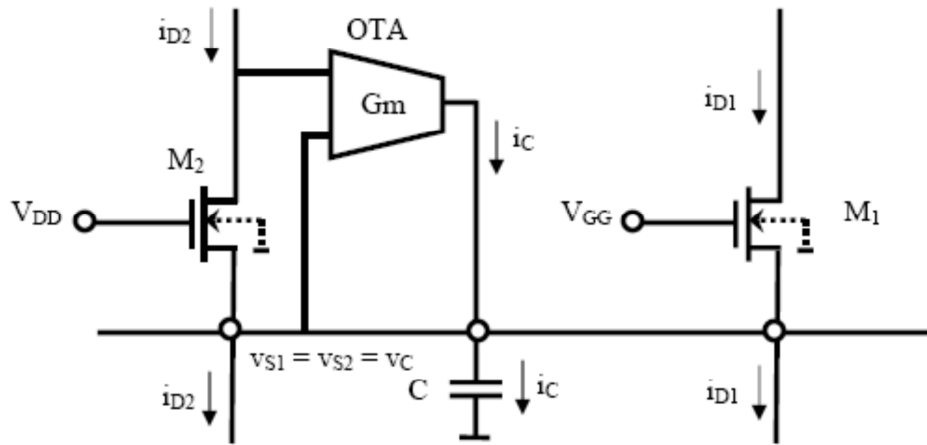


Fig.2 - Estrutura básica do integrador compansor proposto

Assim, a derivada em relação ao tempo da corrente de dreno é dada por:

$$\frac{di_{D1}}{dt} = \frac{di_{D1}}{dv_{S1}} \cdot \frac{dv_{S1}}{dt} = -g_{ms1} \frac{dv_{S1}}{dt} \quad (3)$$

onde g_{ms1} é a transcondutância de fonte de M_1 , também variável no tempo para sinais de excitação de grande amplitude, devido à não linearidade do dispositivo.

Admitindo que v_{S1} é a tensão através do capacitor C , como ilustrado na Fig.2, as correntes do transistor e do capacitor (i_C) estão relacionadas por:

$$\frac{di_{D1}}{dt} = -\frac{g_{ms1}}{C} \cdot i_C \quad (4)$$

Apliquemos agora a tensão v_{S1} ao terminal de fonte de outro transistor MOS, M_2 , operando na região linear, com tensão de porta constante, como mostrado na Fig.2. Para pequenos valores da tensão dreno-fonte v_{DS2} (menores que $\phi_t/2$, onde ϕ_t é o potencial termodinâmico), a seguinte aproximação é válida:

$$i_{D2} = g_{ms2} \cdot v_{DS2} = g_{md2} \cdot v_{DS2} \quad (5)$$

onde as transcondutâncias de fonte (g_{ms2}) e de dreno (g_{md2}) de M_2 são variáveis no tempo por causa das grandes variações da corrente de dreno i_{D2} .

Como os terminais de fonte de M_1 e M_2 estão conectados e suas tensões de porta são constantes:

$$g_{ms2} = \frac{W_2/L_2}{W_1/L_1} g_{ms1} \quad (6)$$

Nesta estrutura, observa-se a utilização de um OTA ideal, que converte a pequena tensão diferencial aplicada à sua entrada em um sinal de corrente proporcional na saída. Assim, considerando que M_2 opera na região linear, podemos reescrever para a corrente através do capacitor:

$$i_C = G_m \cdot v_{DS2} = \frac{G_m}{g_{ms2}} \cdot i_{D2} \quad (7)$$

onde G_m é a transcondutância admitida constante do OTA.

Assim, levando em conta (7) e a condição de M_1 operar no regime de saturação, chegamos à seguinte relação:

$$\frac{di_{D1}}{dt} = -\frac{W_1/L_1}{W_2/L_2} \cdot \frac{G_m}{C} \cdot i_{D2} \quad (8)$$

No entanto, esta arquitetura apresentou algumas limitações de desempenho, devidas, principalmente, à necessidade de rigorosos casamentos exigidos pelos espelhos de corrente projetados. Para evitar a necessidade de espelhos de altíssimo desempenho, que ocupariam muita área de silício, uma nova versão do integrador compensador foi proposta [14], utilizando o mesmo princípio básico descrito anteriormente. Esta nova versão é analisada na próxima seção.

2.2.Arquitetura Definitiva

2.2.1. Princípio de Funcionamento

A arquitetura definitiva do integrador compensador CMOS aqui proposto é representada na Fig.4, onde M_1 é o dispositivo de saída que deve operar em saturação. Portanto, sua corrente de dreno i_{out} está relacionada à fonte de tensão por:

$$V_{P1} - v_{SB1} = \phi_t f\left(\frac{i_{OUT}}{I_{S1}}\right) \quad (9)$$

onde V_{P1} é a tensão de *pinch-off*, que é função de primeira ordem da tensão de porta V_{GB1} , ϕ_t é o potencial termodinâmico, I_{S1} é a corrente específica, proporcional à razão de aspecto e, $f()$ é uma função adimensional cuja inversa deve se aproximar de uma exponencial na inversão fraca e uma polinomial de segunda ordem em inversão forte. Efeitos de pequenas dimensões (canal curto ou estreito) foram desconsiderados em (9). Uma vez que V_{P1} é constante, diferenciando-se (9) com relação ao tempo, leva a:

$$\frac{dv_{SB1}}{dt} = -\phi_t \frac{df}{di_{OUT}} \frac{di_{OUT}}{dt} \quad (10)$$

Por outro lado, M_2 é o dispositivo de entrada, que opera na região linear, assim:

$$V_{P2} - v_{SB2} = \phi_t f \left(\frac{i_{F2}}{I_{S2}} \right) \quad (11)$$

onde i_{F2} é a componente de saturação direta da corrente de dreno de M_2 , $i_{D2} = i_{IN}$.

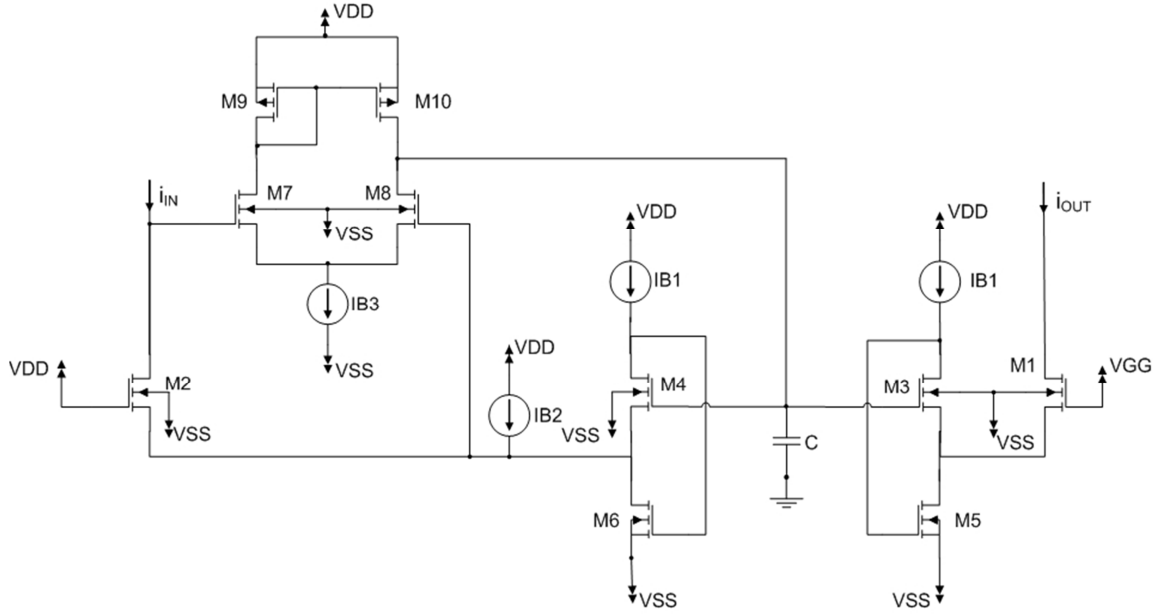


Fig.4 - Arquitetura definitiva do núcleo do integrador compensador proposto

Além disso, para pequenos valores de tensão de dreno-fonte v_{DS2} , tanto valores positivos quanto negativos,

$$i_{IN} \cong g_{ms2} v_{DS2}, \quad (12)$$

onde g_{ms2} é a transcondutância de fonte dada por:

$$g_{ms2} = -\frac{di_{F2}}{dv_{SB2}} = \frac{1}{\phi_t} \left(\frac{df}{di_{F2}} \right)^{-1} \quad (13)$$

Com os transistores M_3 e M_4 em saturação e, considerando que suas correntes de dreno são iguais ao valor constante I_{B1} e suas razões de aspecto e tensões de porta são as mesmas:

$$v_{SB2} = V_{P4} - \phi_t f \left(\frac{I_{B1}}{I_{S4}} \right) = v_{SB1} \quad (14)$$

Portanto, a partir de (14), (9), (10), (13) e (12), chega-se a:

$$\frac{df}{di_{OUT}} = \frac{I_{S2}}{I_{S1}} \frac{df}{di_{F2}} = \frac{I_{S2}}{I_{S1}} \frac{1}{\phi_t g_{ms2}} = \frac{I_{S2}}{I_{S1}} \frac{v_{DS2}}{\phi_t i_{IN}} \quad (15)$$

Substituindo (15) em (10) leva a:

$$\frac{dv_{SB1}}{dt} = - \frac{I_{S2}}{I_{S1}} \frac{v_{DS2}}{i_{IN}} \frac{di_{OUT}}{dt} \quad (16)$$

A tensão sobre o capacitor, v_C , é deslocada de $v_{SB1} = v_{SB2}$, uma vez que as correntes que passam por M_3 e M_4 são constantes. A corrente do capacitor i_C é a saída do amplificador diferencial M_7 - M_{10} , que opera linearmente para pequenos sinais de entrada, portanto:

$$i_C = nC \frac{dv_{SB1}}{dt} = G_m v_{DS2} \quad (17)$$

onde a G_m é o ganho de transcondutância constante para pequenos sinais do amplificador diferencial, e $n = (dV_P/dv_{GB})^{-1}$ é o fator de rampa, considerado independente da tensão da porta v_{GB} .

Finalmente, substituindo (17) em (16) conduz a:

$$\frac{di_{OUT}}{dt} = - \frac{G_m}{nC} \frac{I_{S1}}{I_{S2}} i_{IN} = - \frac{W_1/L_1}{W_2/L_2} \frac{G_m}{nC} i_{IN} \quad (18)$$

provando que o circuito principal na Fig.4 realiza uma integração.

O circuito da Fig.4 é uma versão muito melhorada da arquitetura apresentada em [11], pois não é mais necessário o uso de um resistor e de espelhos de corrente muito precisos.

2.2.2. Considerações de Projeto

Deve ser observado que nenhuma restrição quanto ao nível de inversão foi requerida. Sendo a função $f()$ é genérica, a integração em princípio é válida em todo o regime de inversão.

Da equação (18), observa-se que a constante de integração é proporcional ao ganho de transcondutância G_m do amplificador diferencial, o que permite o ajuste daquela pela alteração da corrente de polarização I_{B3} . Como a tensão de entrada do amplificador é a tensão de dreno-fonte de um MOSFET na região linear, sua amplitude é muito pequena, o que garante que G_m seja mantido constante ao longo de todo intervalo de operação do integrador.

O nível DC da corrente de saída é definido pelo potencial V_{GG} da porta de M_1 . O potencial de porta de M_2 está ajustado em V_{DD} para assegurar a operação na região linear. Para que os outros transistores operem em saturação, as correntes de polarização I_{B1} e I_{B2} devem ser determinadas corretamente, atentando-se também para a amplitude do sinal de entrada, de modo que $I_{B1} + I_{B2} \geq |i_{IN}|_{\max}$.

Usando o modelo do MOSFET da referência [15], cujas principais equações são revistas no Apêndice 1, o conjunto de relações (19) - (25) pode ser empregado no dimensionamento do circuito. v_C é a tensão através do capacitor e V_{T0N} e n_N são a tensão de limiar e o fator de rampa do transistor MOS canal N, respectivamente.

$$f(i_D/I_S) = \sqrt{1 + i_D/I_S} - 2 + \ln(\sqrt{1 + i_D/I_S} - 1) \quad (19)$$

$$v_{SB2} = (v_C - V_{SS} - V_{T0N})/n_N - \phi_t f(I_{B1}/I_{S4}) \quad (20)$$

$$v_{DB4} = V_{T0N} + n_N f[(I_{B1} + I_{B2} + i_{IN})/I_{S6}] \quad (21)$$

$$v_{DB3} = V_{T0N} + n_N f[(I_{B1} + i_{OUT})/I_{S5}] \quad (22)$$

$$v_{DB3,4min} - v_{SB2max} \geq \phi_t \left(3 + \sqrt{I_{B1}/I_{S4} + 1} \right) \quad (23)$$

$$v_{SB2min} \geq \phi_t \left(3 + \sqrt{(I_{B1} + i_{OUTmax})/I_{S5} + 1} \right) \quad (24)$$

$$v_{SB2min} \geq \phi_t \left(3 + \sqrt{(I_{B1} + I_{B2} + i_{INmax})/I_{S6} + 1} \right) \quad (25)$$

As condições (23), (24) e (25) asseguram que $M_{3,4}$, M_5 e M_6 , , respectivamente , operem em saturação.

2.2.3. Versão Balanceada

Apesar da arquitetura compacta da Fig.4 realizar plenamente a operação de integração da corrente aplicada a sua entrada, um nível DC aparece no terminal de saída, característica inerente aos integradores compansores. Tal nível pode ser indesejável para algumas aplicações, e, como depende ligeiramente do sinal de entrada, sugere-se para sua eliminação (na prática, sua atenuação), a utilização da versão balanceada do integrador, ilustrada na Fig.5(a).

Nesta versão, dois núcleos idênticos aos da Fig.4, com características bem casadas entre si, são excitados com sinais de correntes simétricos e suas correntes de saídas são aplicadas a um subtrator, cuja arquitetura pode ser como a ilustrada na Fig.5(b) [16]. A corrente de saída do subtrator é a corrente de saída do integrador balanceado.

O integrador de Seevinck, que é abordado neste trabalho para fins de comparação e brevemente revisitado no Apêndice B, demanda uma arquitetura balanceada (*fully differential*) para realizar a operação de integração. Sem o

balanceamento, ou seja, tal como o circuito foi originalmente apresentado em [4], o sinal de saída consiste na integral do sinal de saída adicionada a uma rampa. Contudo, a versão balanceada do integrador de Seevinck [12] não elimina o nível DC dependente do sinal de entrada que aparece na saída, o que requer algum esquema de compensação, como, por exemplo, um segundo balanceamento.

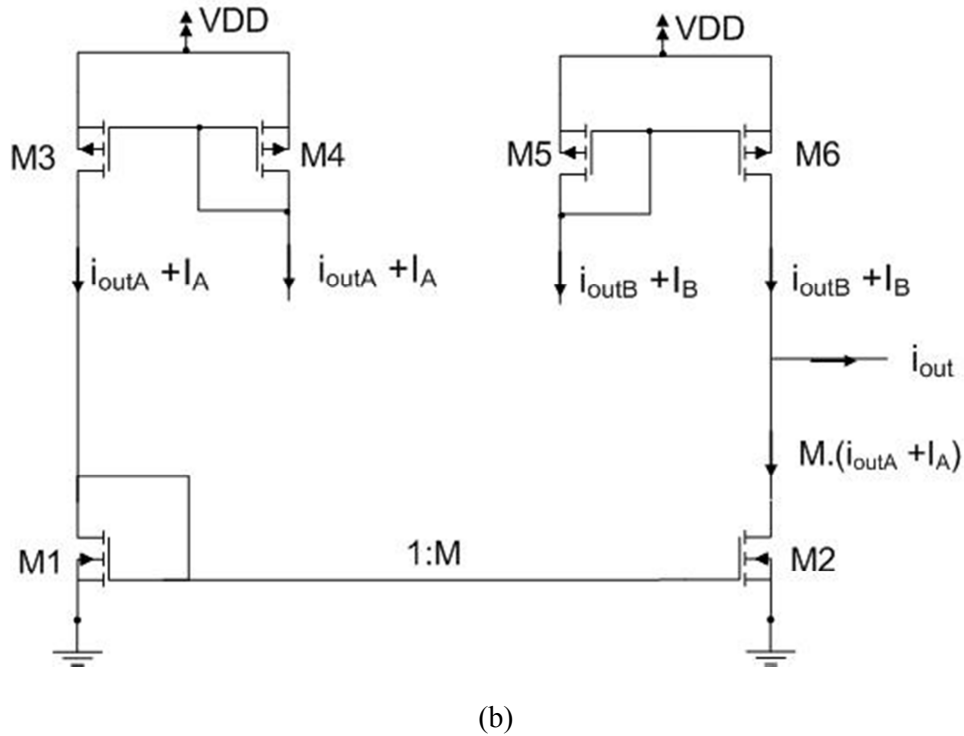
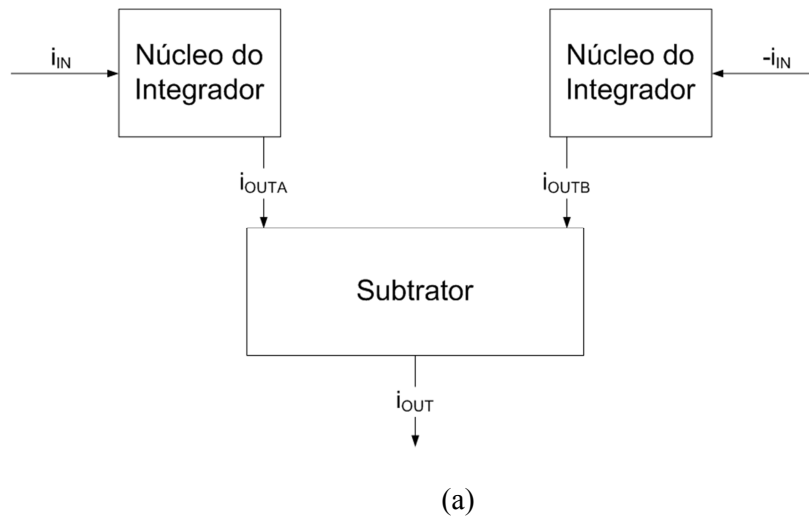


Fig.5 - Versão Balanceada do Integrador Compansor Proposto: (a) Diagrama de blocos;

(b) Possível arquitetura do subtrator.

3. RESULTADOS DE SIMULAÇÃO

3.1. Características de projeto

Os projetos dos integradores foram desenvolvidos na tecnologia IBM 0.13 (na qual o comprimento mínimo de canal permitido é 0,13 μm), visando-se atender a requisitos dos projetos de circuitos integrados da atualidade. O integrador proposto foi projetado com tensões de alimentação $V_{DD} = -V_{SS} = 0,6\text{ V}$, para a máxima amplitude de entrada da ordem de alguns μA e proporcionando um ganho de 0 dB em torno de 40 kHz. Adotamos: $C = 20\text{ pF}$, $L_{1-6} = 0,25\text{ }\mu\text{m}$, $W_1 = 1\text{ }\mu\text{m}$, $W_2 = W_5 = W_6 = 0,25\text{ }\mu\text{m}$, $W_3 = W_4 = 0,5\text{ }\mu\text{m}$, $I_{B1} = 6\text{ }\mu\text{A}$, $I_{B2} = 12\text{ }\mu\text{A}$ e $I_{B3} = 860\text{ nA}$. Foi adotada a arquitetura não balanceada da Fig.4, uma vez que a mesma é suficiente para a integração do sinal. Os parâmetros do modelo ACM para tecnologia IBM 0.13, utilizados neste projeto, são sumarizados na Tabela C1 do Apêndice C.

A arquitetura de Seevinck de mínima tensão de alimentação do tipo *log domain* (domínio logarítmico) [4], em sua configuração *fully-differential* (totalmente balanceada) [12], também foi re-projetada para a mesma tecnologia, mesmas tensões de alimentação e mesma amplitude máxima do sinal de entrada, a fim de comparar seus desempenhos. O mesmo valor de capacitância de integração foi utilizado. O circuito de Seevinck foi escolhido pelo fato de já ter sido implementado fisicamente e utilizado em aplicações práticas, conforme apresentado na literatura [13].

Em ambos circuitos foram utilizadas fontes e sorvedores de corrente para a polarização, criteriosamente projetados para conciliar uma boa regulação com economia de área.

As simulações foram realizadas, em ambos os circuitos, por meio do simulador de circuitos SMASH [17], usando o modelo BSIM 3v3 com os parâmetros da tecnologia IBM 0,13 μm .

3.2. Resultados das simulações

As simulações realizadas foram selecionadas conforme as características que eram esperadas para um integrador em modo corrente.

3.2.1. Análise no Domínio do Tempo

A Fig.6 exibe o resultado de simulação obtido a partir de uma análise no domínio do tempo, na qual uma corrente de forma de onda retangular, com amplitude igual a 1 μA e frequência igual a 100 kHz, foi aplicada à entrada do integrador proposto.

Correntes de entrada e saída (μA)

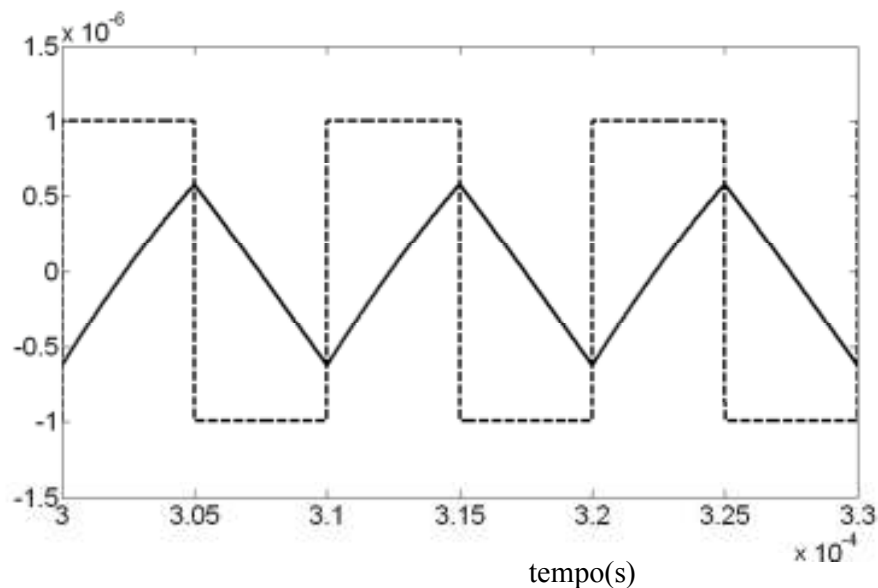


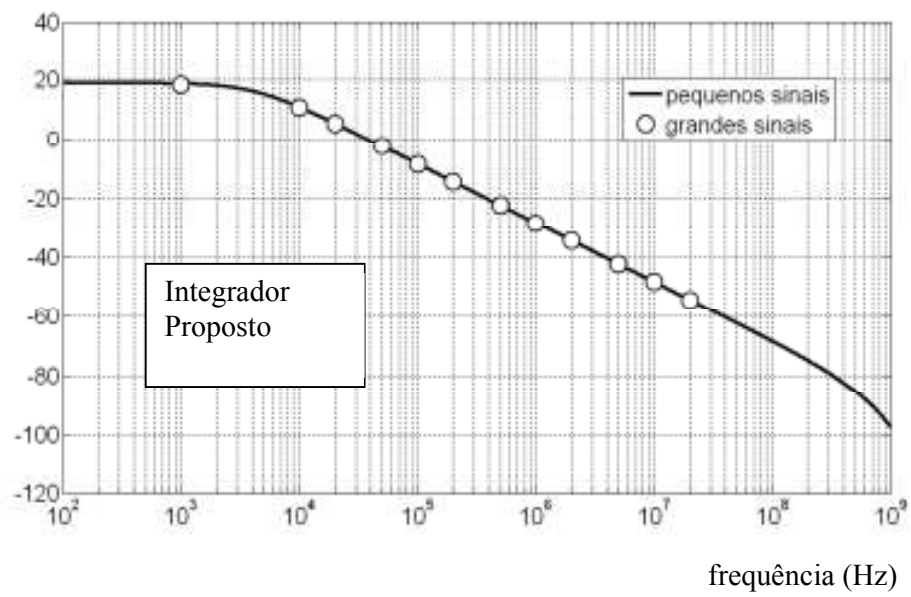
Fig.6 - Resposta no domínio do tempo do integrador proposto para uma onda retangular (linha pontilhada) de 1 μA de amplitude e 100 kHz.

3.2.2. *Resposta em Frequência*

Na Fig.7 as respostas em frequência de pequenos e grandes sinais do integrador de Seevinck e da arquitetura proposta são apresentadas conjuntamente. As respostas de pequenos sinais foram obtidas pela opção de análise AC disponível no simulador SMASH, como, em geral, em todos os simuladores de circuitos, e mediante a qual todos os componentes são substituídos por modelos lineares válidos apenas para operação com pequenos sinais. Sendo assim, tal análise dá uma idéia limitada do comportamento em frequência de um circuito não linear. Para proceder a uma análise em frequência de grandes sinais, foram realizadas análises no domínio do tempo com um sinal de entrada de amplitude apreciável (no caso $1\ \mu\text{A}$) comparada às correntes de polarização adotadas, e com frequência variável a cada simulação. Para cada valor de frequência experimentado, foi registrado o valor da amplitude do sinal de saída. Os valores absoluto do ganho (amplitude de saída dividida pela amplitude de entrada) em dB foram traçados contra a frequência em escala logarítmica no gráfico da Fig.7. As constantes de integração dos circuitos proposto e de Seevinck são 40 kHz e 90 kHz, respectivamente, e a faixa de frequência em que se observa inclinação de -20 dB por década se estende de 10 kHz a 200 MHz no integrador proposto e de 10 kHz a 8 MHz no integrador de Seevinck.

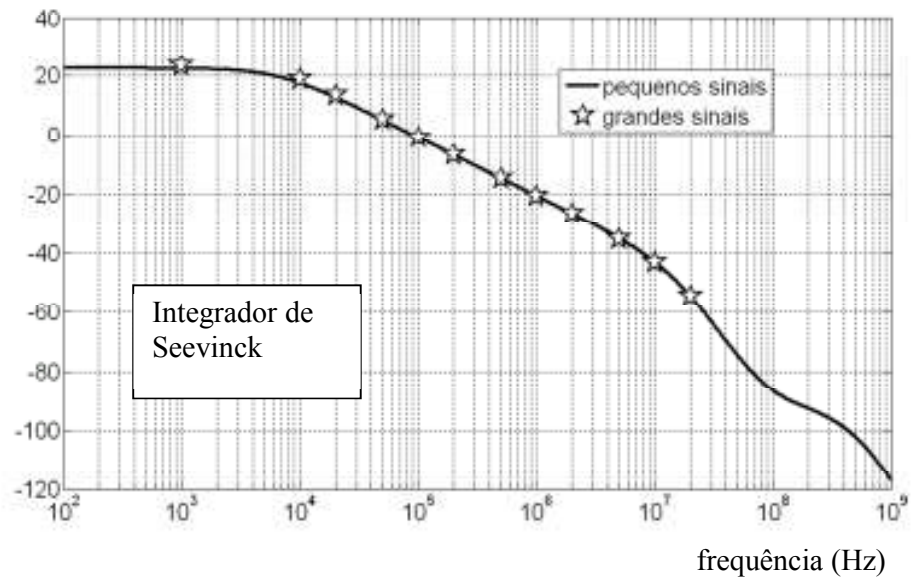
Pode-se notar que a inclinação -20 dB/década estende-se a frequências mais elevadas na resposta do integrador proposto, graças às menores dimensões requeridas para o intervalo de amplitudes especificado, se comparado às dimensões no integrador de Seevinck. Em ambos integradores, a resposta em frequência para grandes sinais está de acordo com a resposta para pequenos sinais, o que é uma característica importante dos circuitos compansores, distintos pela alta linearidade que proporcionam.

Magnitude da função de transferência (dB)



(a)

Magnitude da função de transferência (dB)



(b)

Fig.7 - Resposta em frequência dos integradores proposto (a) e de Seevinck (b)

3.2.3. Intermodulação de Terceira Ordem

A fim de verificar o desempenho dos dois integradores relativo à linearidade, foi simulada a aplicação de dois tons de mesma amplitude nas frequências $f_1 = 100$ kHz e $f_2 = 105$ kHz. Foram realizadas simulações no domínio do tempo, abrangendo um período de 200 μ s (período da componente de 5 kHz presente na saída), com diferentes amplitudes dos sinais de entrada, variando de 0,1 mA até 1 mA, como passo de 0,1 mA. As formas de onda da corrente de saída foram exportadas para o *software* matemático MATLAB, onde se procedeu ao cálculo da FFT (*Fast Fourier Transform*). As contribuições das componentes em $f_1 - 2f_2 = 95$ kHz e $f_2 - 2f_1 = 110$ kHz, que consistem em termos de intermodulação de terceira ordem, foram então identificadas.

Como a intermodulação de terceira ordem (IM3) gera componentes de frequência muito próximos aos tons de entrada, é mais adequada para a análise de não-linearidade do que a DHT (distorção harmônica total) nos integradores, em que os componentes harmônicos são atenuados pela resposta passa-baixas. A Fig.8 mostra os componentes de intermodulação nas frequências de 95 kHz e 110 kHz, normalizados com relação ao valor *rms* (*root mean square*) da saída nas frequências dos sinais aplicados, para diversas amplitudes dos sinais de entrada. Pode-se notar que para as amplitudes de 0,1 μ A a 0,5 μ A, os integradores apresentam distorções semelhantes, mas entre 0,6 μ A e 1 μ A, a distorção do integrador de Seevinck cresce abruptamente com a amplitude enquanto o proposto sofre uma elevação suave, apresentando relação sinal-distorção superior.

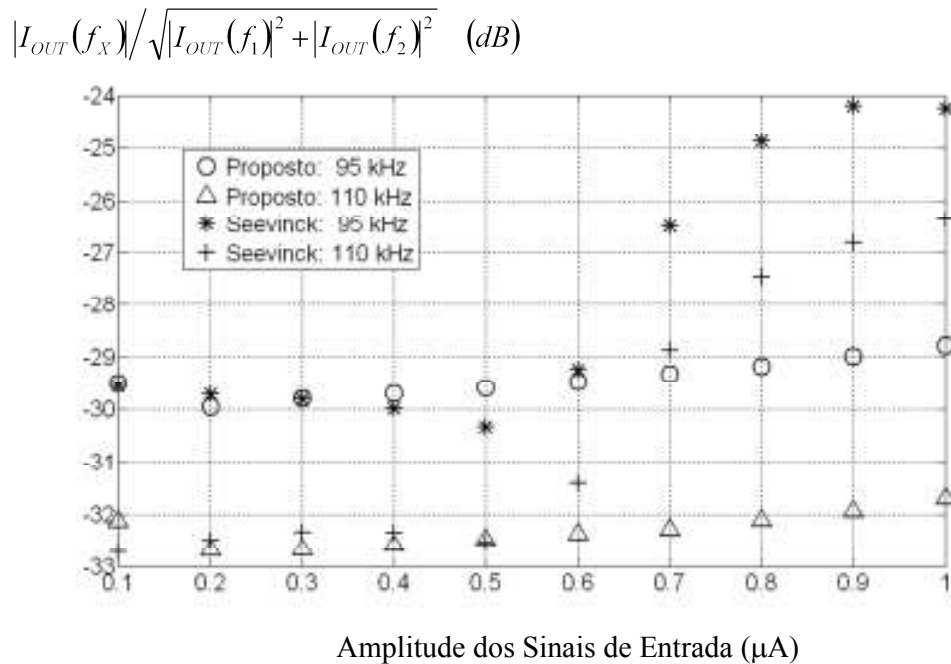


Fig.8 - Intermodulação de terceira ordem nos integradores proposto e de Seevinck.

Frequências dos sinais de entrada: $f_1 = 100$ kHz; $f_2 = 105$ kHz;

Frequências dos produtos de intermodulação: $f_X = 95$ kHz ou 110 kHz.

$I_{OUT}(f)$ é a amplitude da corrente de saída na frequência f .

3.2.4. Outras Características de Desempenho

O consumo de potência DC é da mesma ordem de grandeza em ambos os integradores: $70,8 \mu W$ na arquitetura de Seevinck e $72,0 \mu W$ no circuito proposto. A simulação de ruído *rms* (*root mean square*) referido à entrada revelou resultados semelhantes para ambos integradores. De 10 kHz a 100 MHz, o ruído de entrada aumentou de -211 a -133 dB no circuito proposto e de -210 dB a -111 dB no integrador de Seevinck, como ilustra a Fig.9.

Contudo, a área de silício é significativamente menor na arquitetura proposta, se ambos os circuitos satisfizerem as características mencionadas: a soma das áreas ativas (W.L) de todos os transistores é de cerca de $78,9 \mu\text{m}^2$ no integrador Seevinck, enquanto esta grandeza é de apenas $4,5 \mu\text{m}^2$ no integrador proposto.

Ruído rms na entrada (dB)

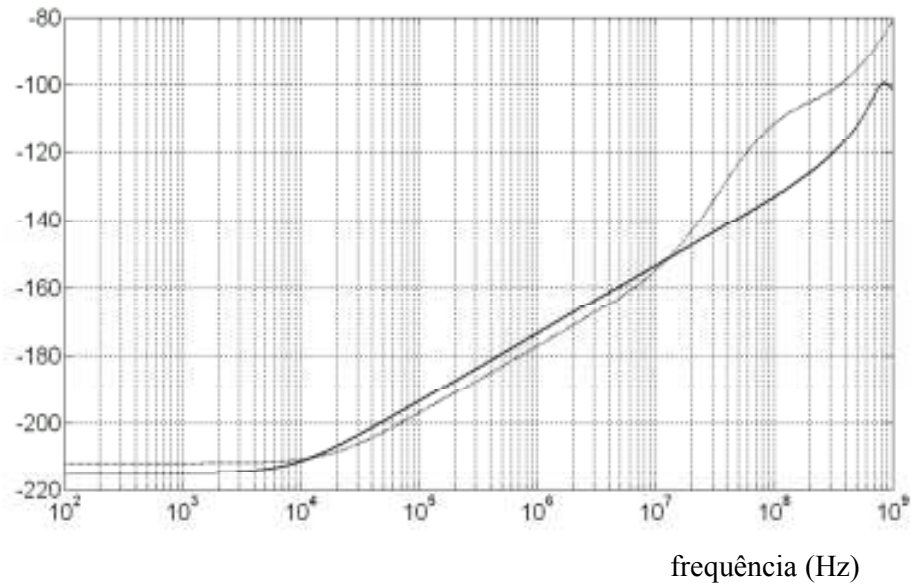


Fig.9 – Valor eficaz do ruído referido à entrada nos integradores proposto (linha cheia) e de Seevinck (linha pontilhada).

4. PROJETO DE FILTROS ANALÓGICOS EM MODO CORRENTE UTILIZANDO INTEGRADORES COMPANSORES

4.1. Metodologia para o caso de integradores sem amortecimento

Uma possível metodologia para o projeto de filtros analógicos em modo corrente, em tecnologia CMOS utilizando integradores compansores, como o proposto neste trabalho ou o integrador de Seevinck, consiste na realização de uma função de transferência, a partir de uma aproximação tradicional (Butterworth, Chebyshev entre outras) pela cascata de biquads (funções de transferência genéricas de 2ª ordem) [17, 18]. Tal metodologia permite melhor controlar a amplitude do sinal de entrada a medida em que atravessa os blocos integradores.

Para a síntese dos biquads de qualquer seletividade, podem ser utilizados dois integradores compansores em uma estrutura em que espelhos de corrente promovem a réplica escalada das correntes para a alimentação direta e a realimentação, à semelhança dos muito conhecidos biquads de Kerwin-Huelsman-Newcomb, Tow-Thomas, Akerberg-Mossberg, entre outros [17, 18]. Em tais estruturas, são originalmente utilizados integradores sem amortecimento, o que requer uma aproximação da função de transferência do integrador pela forma K/s . O parâmetro K é a constante de integração que pode ser estimada a partir da função de transferência real do integrador, através do produto entre uma frequência na faixa em que a declividade é de -20 dB por década e a magnitude do ganho correspondente a esta frequência.

Para ilustrar esta metodologia, tomaremos como referência um filtro passa-baixas de 4ª ordem, sendo necessário associar dois biquads passa-baixas em cascata. A função de transferência de tal filtro é da forma:

$$i_{out} = \frac{b_0}{s^4 + a_3 s^3 + a_2 s^2 + a_1 s + a_0} i_{in} \quad (26)$$

e sua topologia é ilustrada de maneira esquemática na Fig.10.

No diagrama da Fig.10, os círculos superpostos representam espelhos de corrente com saídas múltiplas, sendo que, em cada um deles, o círculo sombreado é a célula de entrada. As saídas de um mesmo espelho podem ser escaladas por diferentes ganhos, permitindo dimensionar os coeficientes a_0 , a_1 , a_2 , a_3 e b_0 . Note-se que não são necessários blocos somadores, pois sendo os sinais na forma de correntes, a soma ocorre nos nós de confluência.

As razões de espelhamento, que designaremos d_1 , d_2 , d_3 e d_4 , como ilustrado no diagrama de blocos da Fig.10, relacionam-se aos coeficientes da função de transferência do filtro por meio das equações:

$$b_0 = K^4 \quad (27.a)$$

$$a_3 = -K(d_1 + d_3) \quad (27.b)$$

$$a_2 = K^2(d_1 d_3 - d_2 - d_4) \quad (27.c)$$

$$a_1 = K^3(d_2 d_3 + d_1 d_4) \quad (27.d)$$

$$a_0 = K^4(d_2 d_4) \quad (27.e)$$

Utilizando (27), é possível dimensionar os espelhos, cuja arquitetura deve garantir um bom casamento DC e uma baixa condutância de saída.

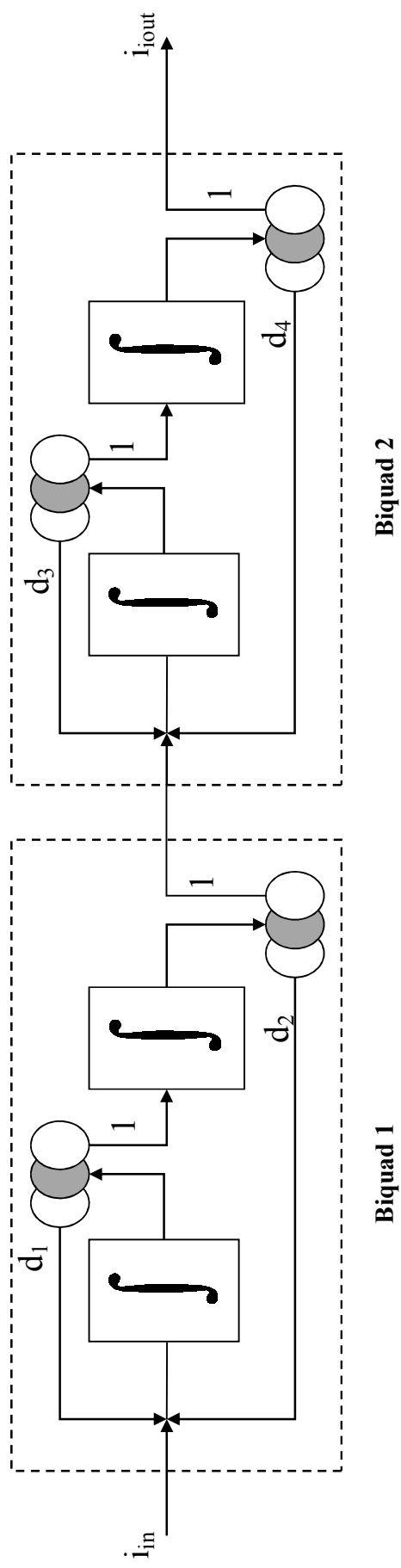


Fig.10 - Esquema de filtro passa-baixas de 4ª ordem em modo corrente, com espelhos de corrente

4.2. Metodologia para o caso de integradores amortecidos

A metodologia descrita no item precedente pressupõe que o integrador utilizado é não amortecido, portanto representado por uma função de transferência ideal, proporcional ao inverso da frequência. Os integradores analisados e projetados neste trabalho, em virtude de descasamentos entre características de componentes, devidos a efeitos de canal curto ou outros efeitos de segunda ordem, são amortecidos, apresentando um pólo dominante numa frequência de valor significativo, que pode estar perto ou dentro da faixa de passagem do filtro a ser projetado, afetando a precisão da realização do filtro.

Assim, convém levar em conta o amortecimento do integrador no projeto do filtro, utilizando para sua representação uma função de transferência na forma:

$$T_{\text{int}}(s) = \frac{\omega_0}{s + \omega_1} \quad (28)$$

onde ω_1 é a frequência do pólo dominante (aproximadamente a frequência do corte em 3 dB). Os valores destes parâmetros podem ser extraídos através de ajuste da atenuação do filtro em dB a um polinômio de 1º grau.

Para ilustrar a metodologia que assume os integradores representados pela forma da equação (28), tomemos como referência o biquad da Fig.11, cuja topologia é apenas ligeiramente diversa da utilizada no filtro da Fig.10, para torná-lo passa-faixa levando em consideração o amortecimento dos integradores.

Do diagrama de blocos da Fig.10, obtém-se:

$$i_x = \frac{\omega_0(s + \omega_1)}{s^2 + (2\omega_1 - \alpha_1\omega_0)s + \omega_1^2 - \alpha_1\omega_0\omega_1 - \alpha_2\alpha_3\omega_0^2} i_{in} \quad (29.a)$$

$$i_y = \frac{\omega_0^2}{s^2 + (2\omega_1 - \alpha_1\omega_0)s + \omega_1^2 - \alpha_1\omega_0\omega_1 - \alpha_2\alpha_3\omega_0^2} i_{in} \quad (29.b)$$

$$i_{out} = \frac{\alpha_4 \omega_0 s + \alpha_4 \omega_0 \omega_1 + \alpha_5 \omega_0^2}{s^2 + (2\omega_1 - \alpha_1 \omega_0)s + \omega_1^2 - \alpha_1 \omega_0 \omega_1 - \alpha_2 \alpha_3 \omega_0^2} i_{in} \quad (29.c)$$

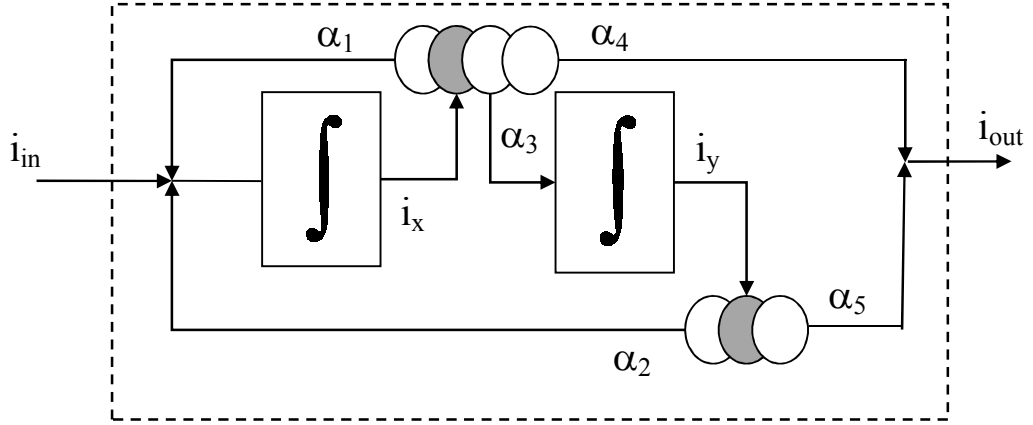


Fig. 11 - Topologia de biquad passa-faixa em modo corrente

Em (29), i_y é a saída de um biquad passa-baixas convencional, que somada com a saída i_x pode resultar num biquad passa-faixa convencional (um zero na origem e um zero no infinito), se os termos independentes no numerador de i_{out} se cancelarem, o que é possível com o adequado dimensionamento das razões de espelhamento α_4 e α_5 .

Para dimensionar as razões de espelhamento (α_1 a α_5), em termos dos parâmetros do integrador e dos coeficientes do biquad passa-faixa (calculados para atender às especificações do filtro), utilizamos as equações (30), onde $T_{bp}(s)$ é a função de transferência do biquad passa-faixa obtida por fatoração da função de transferência do filtro a ser projetado, obtida, por sua vez, a partir de alguma função de aproximação.

$$T_{bp}(s) = \frac{b_1 s}{s^2 + a_1 s + a_0} \quad (30.a)$$

$$\alpha_1 = \frac{2\omega_1 - a_1}{\omega_0} \quad (30.b)$$

$$\alpha_2 \alpha_3 = \frac{\omega_1^2 - \omega_0 \omega_1 \alpha_1 - a_0}{\omega_0^2} \quad (30.c)$$

$$\alpha_4 = \frac{b_1}{\omega_0} \quad (30.d)$$

$$\alpha_5 = -\frac{\alpha_4 \omega_1}{\omega_0} \quad (30.e)$$

5. CONCLUSÃO

Uma nova arquitetura de integrador compansor em tecnologia CMOS foi descrita, projetada e teve seu desempenho analisado através de simulação. Para melhor avaliar seu desempenho, a título de comparação, um circuito congênere, utilizando a arquitetura de mínima tensão de alimentação de Seevinck, foi também projetado na mesma tecnologia, para operar com sinais de entrada de amplitudes máximas na mesma ordem de grandeza e para um consumo de potência DC semelhante.

O integrador “log-domain” de Seevinck foi escolhido pelo fato de já ter sido reportada sua aplicação bem sucedida num filtro analógico que consiste de parte integrante de um marca-passo eletrônico [13]. Entretanto, antes mesmo de proceder às simulações, foram identificadas algumas restrições inerentes ao integrador de Seevinck que não estão presentes na arquitetura proposta: (i) No integrador de Seevinck, como em qualquer integrador “log-domain” em tecnologia CMOS, os dispositivos devem operar em inversão fraca, o que demanda razões de aspecto grandes (em relação às dimensões mínimas de uma dada tecnologia) para operar com amplitudes de corrente da ordem de μA ; (ii) O integrador de Seevinck necessita da versão balanceada para realizar a integração e não apenas para melhorar a linearidade e minimizar o nível DC.

A primeira restrição mencionada leva ao surgimento de capacitâncias parasitas elevadas (as capacitâncias de depleção e de sobreposição são proporcionais à largura do canal), que degradam a operação do circuito em frequência. A segunda restrição, implica em um consumo maior de área de silício e, possivelmente a uma significativa sensibilidade ao descasamento de características.

Estas restrições não são observadas na arquitetura proposta, onde os transistores podem operar em qualquer nível de inversão e onde o núcleo básico, ilustrado na Fig.4, já é suficiente

para realizar a integração, sendo pois a arquitetura não balanceada escolhida para ser comparada com a arquitetura balanceada de Seevinck, por meio de simulações.

Os resultados de simulação permitiram constatar que o circuito proposto apresenta uma larga faixa de frequências e elevadas razões sinal-distorção e sinal-ruído. Comparada ao integrador de Seevinck balanceado, a arquitetura proposta apresenta um melhor desempenho com relação à distorção, para os níveis de corrente mais elevados, o que já se poderia esperar, uma vez que o aumento da amplitude do sinal de entrada devem fazer os dispositivos do integrador de Seevinck beirarem ou ultrapassarem os limites de operação em inversão fraca. Para analisar a distorção optou-se por determinar a contribuição de dois termos de intermodulação de terceira ordem obtidos ao se excitar o circuito com dois tons muito próximos. Como integradores são circuitos passa-baixas, o nível de distorção é melhor aferido se as componentes indesejadas de frequência situam-se próximo às componentes desejadas, o que ocorre na análise da intermodulação de terceira ordem.

Corroborando o que já havia sido previsto, a largura de banda com inclinação de -20 dB/década se estende por cerca de uma década a mais no caso da arquitetura proposta comparada à de Seevinck, ampliando a sua aplicação na síntese de filtros analógicos CMOS com bandas de passagem em frequências maiores.

Digna de menção é a economia de área conseguida com a arquitetura proposta, uma vez que as razões de aspecto dos transistores não precisam ser tão grandes para o integrador operar com a mesma excursão na entrada que o circuito de Seevinck. Se fosse utilizada uma arquitetura balanceada para o integrador proposto, sua área ainda seria muito provavelmente inferior à do integrador de Seevinck, além do que sua linearidade aumentaria e o nível DC da corrente de saída seria significativamente atenuado, o que não ocorre na versão balanceada do integrador de Seevinck.

Por todas estas razões estamos inclinados a concluir que a aplicação do integrador proposto no projeto de filtros analógicos em tecnologia CMOS é promissora, sobretudo quando se

demanda uma excursão importante do sinal de entrada. Tais filtros vêm ganhando relevância nas últimas décadas com a emergência de um novo paradigma da microeletrônica: o processamento analógico de sinais produzidos por microssensores em franco desenvolvimento, para aplicações em dispositivos biomédicos (próteses visuais e auditivas, entre outros) e em microatuadores [20]. Nesta nova vertente da indústria microeletrônica, o processamento digital de sinais tem um papel reduzido se comparado com o processamento analógico [19].

A presente contribuição abre caminho para as seguintes possibilidades de trabalhos futuros:

- (i) Projeto de filtros analógicos em modo corrente em tecnologia CMOS, de alta linearidade, utilizando a arquitetura de integrador compansor proposta, para o quê as metodologias apresentadas no capítulo 4 deste trabalho servirão como guias. O projeto dos mesmos filtros com arquiteturas de integrador presentes na literatura permitirá a comparação de desempenho;
- (ii) Elaboração de layouts e fabricação de chips com os integradores e filtros projetados, para verificação experimental comparativa dos desempenhos;
- (iii) Análise teórica e por meio de simulação de outros aspectos importantes, como a sensibilidade ao descasamento das características tecnológicas e das dimensões dos componentes e a influência de efeitos de segunda ordem, como os de canal curto.

6. REFERÊNCIAS BIBLIOGRÁFICAS

- [1] Leon O. Chua and Tamás Roska (2002). Cellular Neural Networks and Visual Computing: Foundations and Applications. Cambridge
- [2] Y. Tsividis, “Externally linear, time-invariant systems and their application to companding signal processors,” IEEE Trans. Circuits and Systems – II: Analog and Digital Signal Processing, vol. 44, pp. 65-85, February 1997.
- [3] E. Seevinck, “Companding current-mode integrator: a new circuit principle for continuous-time monolithic filters,” Electronics Letters, vol. 26, pp. 2046-2047, November 1990.
- [4] E. Seevinck, E. Vittoz, M. du Plessis, T.-H. Joubert, and W. Beetge, “CMOS translinear circuits for minimum supply voltage,” IEEE Trans. Circuits and Systems – II: Analog and Digital Signal Processing, vol. 47, pp. 1560-1564, December 2000.
- [5] X. Zhang, W. Mekawi and E. El-Masry, “Leap-frog-based synthesis of CMOS micropower nth-order log-domain filters,” in Proceedings of the 2nd Annual Northeast Workshop on Circuit and Systems, 305-308, June 2004.
- [6] R. Fried and C. Enz, “A family of very low-power analog building blocks based on CMOS translinear loops,” in Proceedings of the 2nd IEEE CAS Region 8 Workshop on Analog and Mixed IC Design, pp. 73-78, September 1997.
- [7] X. Redondo and F. Serra-Graells, “Exact design of all-MOS log filters,” in Proceedings of the IEEE International Symposium on Circuits and Systems, pp. 25-28, Vancouver, May 2004.
- [8] K. N. Glaros, A. G. Katsiamis and E.M. Drakakis, “Harmonic vs. Geometric Mean Sinh Integrators in Weak Inversion CMOS,” in Proceedings of the IEEE International Symposium on Circuits and Systems, pp. 2905-2908, Seattle, May 2008.

-
- [9] A. G. Katsiamis, H. M. D. Ip and E.M. Drakakis, "A Practical CMOS Companding Sinh Lossy Integrator," In Proceedings of the IEEE International Symposium on Circuits and Systems, pp. 2905-2908, New Orleans, pp. 3303-3306, May 2007.
- [10] J. Kumar and K. Rao, "A low-voltage low power companding filter," in Proceedings of the 16th International Conference in VLSI Design," pp.309-314, January 2003.
- [11] A. I. A. Cunha and A. Niknejad, "A General Domain CMOS Companding Integrator," in Proceedings of the 19th Symposium on Integrated Circuits and Systems Design, pp. 108-112, Ouro Preto, September 2006.
- [12] A. Maniero, A. Gerosa and A. Neviani, "Performance optimization in micro-power, low-voltage log-domain filters in pure CMOS technology," in Proceedings of the IEEE International Symposium on Circuits and Systems, vol.I, pp. 565-568, Bangkok, May 2003.
- [13] A. Maniero, A. Gerosa and A. Neviani, "A. A fully integrated dual-channel log-domain programmable preamplifier and filter for an implantable cardiac pacemaker," IEEE Trans. Circuits and Systems – I: Regular Papers, vol. 51, pp. 1916-1925, October 2004.
- [14] L. C. D'Eça, R. N. Lima, A. I. A Cunha, "A New Architecture of Companding Integrator for CMOS Current-Mode Analog Filters," in Proceedings of 17th IEEE International Conference on Electronics, Circuits, and Systems - ICECS 2010, Atenas, December 2010.
- [15] A. I. A. Cunha, M. C. Schneider and C. Galup-Montoro, "An MOS Transistor Model for Analog Circuit Design," IEEE J. Solid-State Circuits, vol. 33, pp.1510-1519, October 1998.
- [16] M. B. Machado, "Multiplicador Analógico CMOS Baseado na Relação Transcondutância x Corrente", Florianopolis 2007. Dissertacao (Mestrado em Engenharia Eletrica) – Laboratorio de Instrumentacao Eletronica (LINSE). Departamento de Engenharia Eletrica. Universidade Federal de Santa Catarina.
-

-
- [17] DOLPHIN INTEGRATION INC., “SMASH & Scrooge user manual.” Versão 5. France, 2008. Disponível em: <http://www.dolphin.fr>.
 - [18] G. Daryanani. “Principles of Active Network Synthesis and Design.” Telephone Laboratories, 2008.
 - [19] S. Noceti Filho. “Filtros Seletores de Sinais.” Editora da UFSC, Florianópolis, 2003.
 - [20] L. O. Chua, T. Roska. “Cellular Neural Networks and Visual Computing: Foundations and Applications.” Cambridge, 2002.

Apêndice A

Equações do Modelo ACM

Para analisar o princípio de funcionamento da arquitetura do integrador proposto e para dimensionar seus componentes, foi utilizado o modelo ACM (*Advanced Compact MOSFET model*) [15]. Trata-se de uma modelo do transistor MOS com expressões únicas com derivadas contínuas até ordem infinita, válidas em todo o regime de inversão, satisfatoriamente preciso, que observa a conservação da carga e a simetria no que concerne à permuta dos terminais de fonte e dreno. Baseia-se fisicamente na variação incrementalmente linear da densidade de carga de inversão com o potencial de superfície (na interface semicondutor-óxido) e todo formalismo foi inicialmente desenvolvido em termos das densidades de carga de inversão nos extremos do canal e posteriormente adaptado para utilização por projetistas de circuitos integrados, passando a abrigar equações em termos das componentes de saturação direta e reversa da corrente de dreno.

As principais expressões do modelo ACM, várias das quais utilizadas neste trabalho são:

$$I_D = I_S(i_f - i_r) \quad (A1)$$

$$I_S = \mu C'_{ox} n \frac{\phi_t^2}{2} \frac{W}{L} \quad (A2)$$

$$i_{f(r)} = q'^2_{IS(D)} + 2q'_{IS(D)} \quad (A3)$$

$$q'_{IS(D)} = -\frac{Q'_{IS(D)}}{nC'_{ox}\phi_t} \quad (A4)$$

$$V_P = \left(\sqrt{V_{GB} - V_{FB} + \frac{\gamma^2}{4}} - \frac{\gamma}{2} \right)^2 - 2\phi_F \cong \frac{V_{GB} - V_{T0}}{n} \quad (A5)$$

$$\frac{|V_P - V_{SB(DB)}|}{\phi_t} = f(i_{f(r)}) = \sqrt{1 + i_{f(r)}} - 2 + \ln(\sqrt{1 + i_{f(r)}} - 1) \quad (A6)$$

$$V_{DS} = \sqrt{1 + i_f} - \sqrt{1 + i_r} + \ln\left(\frac{\sqrt{1 + i_f} - 1}{\sqrt{1 + i_r} - 1}\right) \quad (A7)$$

$$g_{ms} = -\frac{\partial I_D}{\partial V_S} = \frac{2I_S}{\phi_t} q'_{IS} = \frac{2I_S}{\phi_t} (\sqrt{1 + i_f} - 1) \quad (A8)$$

$$g_{md} = \frac{\partial I_D}{\partial V_D} = \frac{2I_S}{\phi_t} q'_{ID} = \frac{2I_S}{\phi_t} (\sqrt{1 + i_r} - 1) \quad (A9)$$

$$V_{DSSAT} = \phi_t (\sqrt{1 + i_f} + 3) \quad (A10)$$

onde I_D é a corrente de dreno, i_f (i_r) é a corrente de saturação direta (reversa) normalizada, I_S é a corrente específica (utilizada para a normalização das correntes de saturação reversa e direta), ϕ_t é o potencial termodinâmico, n é o fator de rampa (aproximado por uma constante nos calculos manuais), μ é a mobilidade dos portadores, C'_{ox} é a capacitância do óxido por unidade de área, $Q'_{IS(D)}$ é a densidade de carga de inversão na fonte (dreno), $q'_{IS(D)}$ é a densidade de carga de inversão na fonte (dreno) normalizada, V_P é a tensão de “pinch-off”, V_{GB} é a tensão gate-substrato, $V_{SB(DB)}$ é a tensão fonte(dreno)-substrato, V_{T0} é a tensão de limiar no equilíbrio, $g_{ms(d)}$ é a transcondutância de fonte(dreno), V_{DSSAT} é a tensão dreno-fonte de saturação, W é a largura do canal e L é o comprimento do canal.

Apêndice B

Integrador “Log-Domain” de Seevinck para Mínima Tensão de Alimentação

O princípio de funcionamento do integrador compansor de Seevinck para aplicações em baixa tensão é descrito em [4], onde o mesmo é especificado como um circuito em modo corrente. Este integrador é um circuito integrador sintonizável cujas entrada e saída são sinais na forma de corrente.

O integrador de Seevinck utilizado neste trabalho é referenciado como um integrador compansor em modo corrente de Classe AB com uma ampla faixa dinâmica. É um circuito que consome pouca potência pelo fato de todos os transistores serem polarizados em inversão fraca. No regime de sublimiar, as relações entre corrente e tensões terminais do MOSFET são exponenciais, o que permite que este integrador se beneficie do princípio translinear, onde um somatório de tensões em um laço leva à multiplicação de correntes. Graças à utilização de laços translineares alternativos, onde se evita conectar a fonte de um transistor à porta de outro (ao contrário, as fontes são sempre conectadas a outras fontes e as portas a outras portas), consegue-se evitar a influência do efeito de corpo, que introduziria distorção. A maior peculiaridade do integrador de Seevinck, contudo, é a operação de alguns transistores, M_{8A} , M_{6A} , M_{8B} e M_{6B} no diagrama circuitual da figura 5, na região triodo. Em inversão fraca a região triodo requer uma tensão entre dreno e fonte inferior a 100 mV, portanto este circuito torna-se muito adequado a aplicações de baixa tensão de alimentação. O circuito da Fig.B1 consiste na versão balanceada (*fully differential*) [12], sem a qual um nível DC seria integrado juntamente com o sinal de entrada, corrompendo-o. Como em todas as arquiteturas compansoras, pode-se perceber no integrador de Seevinck a necessidade de um adequado casamento de características geométricas e tecnológicas dos dispositivos, do qual depende a realização

precisa da função integradora. Além disto, circuitos compensadores exigem um esforço maior de dimensionamento para atender a um grande número de critérios de desempenho.

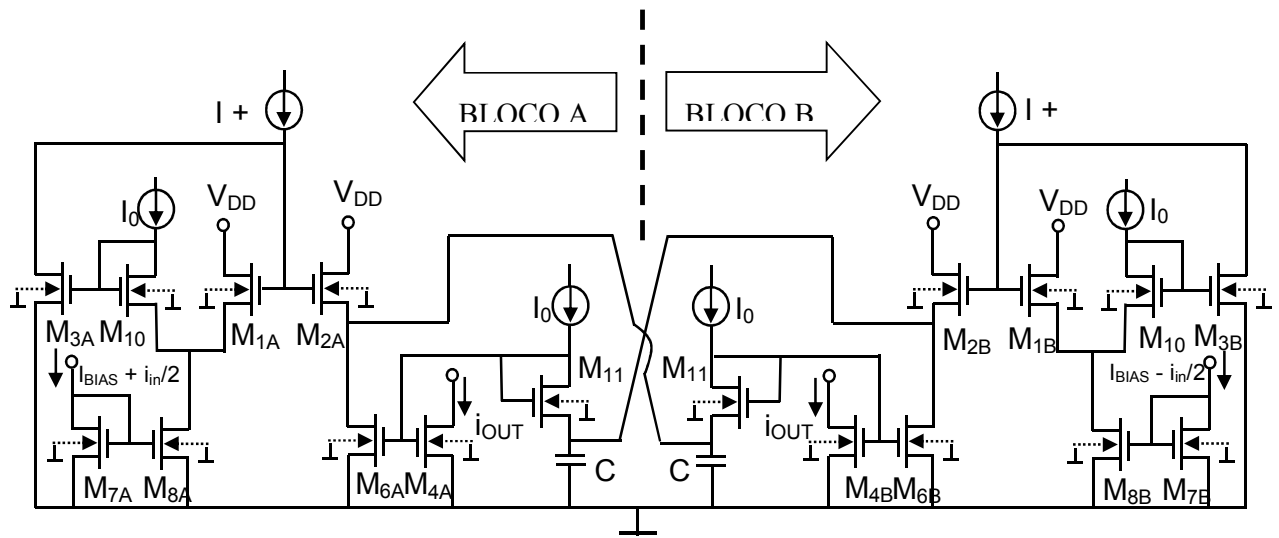


Fig.B1 - Integrador Compensador de Seevinck na Versão Balanceada

Apêndice C

Parâmetros para Cálculos Manuais na Tecnologia IBM 0.13

Os seguintes parâmetros do modelo ACM podem ser adotados nos cálculos manuais para projeto de circuitos na tecnologia IBM 0.13:

Tabela C1: Parâmetros do Modelo ACM na Tecnologia IBM 0.13

Símbolo	Definição	Unidade	Canal N	Canal P
$I_S/(W/L)$	Corrente de normalização do dispositivo quadrado*	nA	353,38	49,51
n	Fator de rampa*	-	1,379	1,295
V_{T0}	Tensão de limiar no equilíbrio	V	0,362	-0,356

* Aproximado por um valor constante