
Universidade Federal da Bahia
Escola Politécnica
Departamento de Engenharia Elétrica
Programa de Pós-Graduação em Engenharia Elétrica

EQUIPAMENTO PARA ESTIMAÇÃO DO TORQUE EM
MOTORES DE INDUÇÃO TRIFÁSICOS PELO MÉTODO
DO ESCORREGAMENTO AUXILIADO PELA ANÁLISE
ESPECTRAL DO SINAL DE CORRENTE DO ESTATOR
- DESENVOLVIMENTO E IMPLEMENTAÇÃO

Autor: Cleber Vinícius Ribeiro de Almeida
Orientador: Prof. Dr. Amauri Oliveira
Co-Orientador: Prof. PhD. Antônio Cezar de Castro Lima

*Dissertação submetida ao Programa de Pós-Graduação em
Engenharia Elétrica da Universidade Federal da Bahia, para
preenchimento de requisitos parciais à obtenção do Título de*
MESTRE EM ENGENHARIA ELÉTRICA

Área de concentração: Processamento de Informação e Energia

Banca Examinadora
Dr. Amauri Oliveira (Presidente)
PhD. Antônio Cezar de Castro Lima Dr. Osamu Saotome
Dr. Jês de Jesus Fiais Cerqueira

Salvador-BA, 21 de dezembro de 2007.

Dedicatória

À **Terezinha Ribeiro Moura de Almeida** e à **Carlos Moura de Almeida**, meus pais, e à **Elton Carlos Ribeiro de Almeida**, meu irmão.

À **Ciência**, o “*conhecimento que abarca as verdades gerais*”, que tanto buscam os intrigados com os mistérios do universo e da vida.

Agradecimentos

Em primeiro lugar a **Deus**, por ter criado esse mundo cheio de mistérios, pulsando em vida numa bela, harmoniosa e equilibrada melodia. Por não me deixar perder a fé na humanidade, e por ter me dado neste mundo mais do que mereço.

Aos **meus pais** e ao **meu irmão** (aos quais dediquei este Trabalho) que, juntamente com **toda minha família**, deram apoio inestimável e amor incondicional. Obrigado pelo orgulho que sentem por mim ao me ver como alguém maior do que realmente sou. Agradecimentos especiais também a minha querida e amada prima **Isabela Santos de Almeida**, mais por torcer pelo meu sucesso a todo momento, por todo carinho e presença amiga, do que pela ajuda concedida na revisão ortográfica e gramatical deste Trabalho.

Do Departamento de Engenharia Elétrica (DEE) da Escola Politécnica (EP) da Universidade Federal da Bahia (UFBA), meus sinceros agradecimentos ao Professor **Amauri Oliveira**, pela orientação e por servir de referência em sobriedade, serenidade, percepção e dedicação ao trabalho, à pesquisa e ao conhecimento. Aos Professores **Antônio Cezar de Castro Lima** e **Jés de Jesus Fiais Cerqueira**, pelo acompanhamento, incentivo, contribuições e opiniões mais que pertinentes. Aos colegas de Mestrado **Venício Rodeiro**, **Alberto Rebouças** e **Tito**, pela dedicação, entusiasmo, companheirismo e contribuições que tanto auxiliaram no desenvolvimento dos estudos deste Trabalho e à colega e amiga **Adriane Pires Bomfim da Cruz**, pela companhia nos desafios e dificuldades superadas durante os estudos do Mestrado. Também a todos os professores e funcionários do **DEE-EP-UFBA**, pelo valioso suporte durante o Curso de Mestrado.

Ao **Centro Integrado de Manufatura e Tecnologia (CIMATEC)**, unidade do **Serviço Nacional de Aprendizagem Industrial (SENAI)** pelo incentivo a formação continuada e a capacitação dos seus colaboradores, e ao programa **SENAI INOVAÇÃO**, pelo fomento à inovação tecnológica com parceria entre o SENAI e a indústria. Graças a este programa, recebemos parte dos recursos para o desenvolvimento deste Trabalho. Agradecimentos a **Leone Peter Correa Andrade**, gestor do SENAI-CIMATEC, pelo espírito de liderança, pela referência estimulante e por acreditar no meu potencial e no de todos os seus colaboradores. Aos colegas e amigos da Área de Automação Industrial do SENAI-CIMATEC, especialmente à **Gabriel**, **Rita**, **Mariana**, **Marise** (agora da PETROBRÁS), e **Rodrigo Schwambach**. Aos colegas e amigos do Núcleo de Microeletrônica e Eletrônica Embarcada (NMEE-SENAI-CIMATEC): **Andréa**, **Daniel**, **Ednaldo (Cachoeira)**, **Fulvio**, **Guilherme**, **Lucas Ribeiro**, **Lucas Travassos**, **Luciano**, **Marcos**, **Marton**, **Plínio**, **Vinícius** e **José Carlos**, ou o **“Zé” Carlos**, o **“calango”** (*in memoriam*). A todos eles agradeço o carinho, a amizade, o coleguismo, o espírito de equipe, e agradeço por tornar o nosso local de trabalho **o mais alegre e animado do mundo!**

À **ENAUTEC Sistemas Eletrônicos**, pelas primeiras contribuições na minha formação profissional. Agradecimentos a todos meus colegas de lá: ao diretor **Luiz Marques, a Ednilson, Mário, Divaldo, Milena, Geferson, Fábio, Daiane, Dona Creusa e Verônica**, pela consideração e, sobretudo, pelo companheirismo, carinho e amizade.

Aos meus amigos, irmãos, colegas e grandes companheiros de tantos anos **Yan Pedreira de Medeiros, Lorena Medeiros Santana e Ricardo Ariane Silva Carrera**. Obrigado pela paciência, por tentarem sempre me trazer para vida e por tentarem me tornar uma pessoa “normal”, e mesmo no insucesso de algumas “muitas” tentativas, obrigado por continuarem me admirando e gostando tanto de mim.

À **Marilda Oliveira Borges**, pela admiração, pela amizade, por ter sido uma das primeiras a me despertar para as coisas mais lindas da vida e por ter sido uma pessoa tão especial para mim todos esses anos.

Ao professor, colega e amigo **Raimundo Jorge Abreu** do Centro Federal de Educação Tecnológica da Bahia (CEFET-BA), pelo companheirismo e pelo compartilhamento de tantos conhecimentos e desenvolvimento de sistemas eletrônicos analógicos, digitais e microcontrolados.

À **Petróleo Brasileiro S/A (PETROBRÁS)**, pelo acompanhamento do Trabalho, patrocínio e incentivo à pesquisa aplicada, a inovação, e ao desenvolvimento tecnológico do país.

À todos aqueles acreditaram em mim e no meu potencial. E, por fim, a todos aqueles que contribuíram direta ou indiretamente com este Trabalho.

Muito obrigado!

Salvador-BA, 21 de dezembro de 2007.

Cleber Vinícius Ribeiro de Almeida

“Aqueles que passam por nós, não vão sós, não nos deixam sós. Deixam um pouco de si. Levam um pouco de nós.”

(Antoine de Saint Exupéry)

Resumo

ESTE Trabalho descreve os procedimentos adotados para o desenvolvimento de um equipamento eletrônico de uso em campo, utilizando tecnologias de *Embedded Systems*, visando a estimação do torque desenvolvido no eixo dos Motores de Indução Trifásico (MIT's) alimentados por inversores de frequência. Esses procedimentos englobam a definição de topologias, a especificação e o dimensionamento de circuitos e componentes eletrônicos, bem como toda a base teórica fundamentada.

O protótipo do equipamento desenvolvido, fruto deste Trabalho, foi aplicado como proposta de auxílio aos Sistemas de Supervisão de Poços de Petróleo com Bombeamento por Cavidades Progressivas (BCP) da empresa Petróleo Brasileiro S/A, a PETROBRÁS. O equipamento proposto possibilita a prevenção de danos nas hastes do sistema citado e, com isso, proporciona economia no processo operacional, além de aumentar a segurança dos operadores locais.

O método utilizado pelo equipamento desenvolvido é não intrusivo e auxiliado pela análise espectral do sinal de corrente do estator do motor elétrico. Seu circuito eletrônico tem como núcleo um DSP (*Digital Signal Processor*), empregado no gerenciamento do sistema e das interfaces, no cálculo numérico e no processamento digital de sinais. Sendo assim, o Trabalho contempla também o desenvolvimento e a implementação dos algoritmos necessários no *firmware* interno do DSP. Os resultados experimentais obtidos em bancadas de testes mostraram-se satisfatórios em comparação a um dinamômetro e um torquímetro dinâmico tomados como referência.

Concluindo este Trabalho, serão apresentadas algumas dificuldades técnicas enfrentadas, perspectivas futuras e considerações finais.

Palavras-Chave

Instrumentação Eletrônica; Processamento Digital de Sinais; Estimação de Torque; *Embedded Systems*; DSP; Motor de Indução Trifásico; Supervisão de Poços de Petróleo.

Abstract

THE present work describes the procedures used for the development of an industrial electronic equipment, using Embedded Systems Technologies, aiming at the estimation of the torque developed in the shaft of Three-phase Induction Machines (TIM's) fed by frequency inverters. These procedures approaches the definition of topologies, the specification and the dimensioning of electronic circuits and components, as well as all the theoretical base.

The prototype of the equipment developed, fruit of this work, was applied as proposal of aid to the Supervision Systems of Oil Wells with Gradual Pumping of the Brazilian Oil Company, PETROBRAS S/A. With the considered equipment it makes possible the prevention of damages in the connecting rods of the system cited and, with this, it would provide economy in the operational process, beyond increasing the security of the local operators.

The method used for the equipment developed is not intrusive and aided by spectral analysis of the stator current signal of the electric motor. Its electronic circuit has as core a DSP (Digital Signal Processor) employed in the system and interfaces management, in the numerical calculation and digital signal processing. Being thus, the work also contemplates the development and the implementation of the necessary algorithms in internal firmware of the DSP. Experimental results gotten in test benches had revealed satisfactory in comparison to one dinamometer and one dynamic torquimeter taken as reference.

Concluding this work, will be presented some difficulties faced, future perspective techniques for the considered equipment and final considerations.

Keywords

Electronic Instrumentation; Digital Signal Processing; Torque Estimation; Embedded Systems; DSP; Induction Motor; Supervision Systems of Oil Wells.

Índice

Dedicatória	iii
Agradecimentos	v
Resumo	vii
Abstract	ix
Índice	xi
Lista de Acrônimos	xvii
Lista de Símbolos	xxiii
Lista de Figuras	xxxiii
Lista de Tabelas	xliii
1 Introdução	1
1.1 Sistemas Embarcados x <i>Embedded Systems</i>	1
1.1.1 História e Desenvolvimento	1
1.1.2 Conceitos, Tecnologia e Impactos	3
1.1.3 Evolução e Perspectivas	5
1.2 Processamento Digital de Sinais em Sistemas Inteligentes	7
1.3 Objetivo do Trabalho	11
1.4 Antecedentes	12
1.5 Contribuições	12
1.6 Organização do Texto	13
2 Aplicação do Equipamento em Sistemas BCP	15

2.1	Princípio e Elementos do Sistema BCP	16
2.2	Inconveniências do Método BCP	17
2.3	Sistema de Supervisão para BCP	18
3	Requisitos para o Equipamento Proposto	21
3.1	Exatidão Satisfatória	21
3.2	Critérios Físicos e Mecânicos	21
3.3	Adequação da Alimentação do Equipamento	23
3.4	Operação em Condições de Campo	24
3.5	Adequação ao MIT Especificado	25
3.6	Interface Máquina-Máquina (IMM) Compatível	26
3.6.1	Interface de Corrente	26
3.6.2	Interface de Comunicação Serial RS-232	27
3.6.3	Protocolo de Comunicação Necessário - O Modbus/RTU	31
3.7	Interface Homem-Máquina (IHM) Simplificada	36
3.8	Isolação	36
3.9	Baixo Grau de Intrusão	36
3.10	Custo Final Viável do Produto	36
4	Fundamentações Teóricas	39
4.1	Motores de Indução Trifásicos (MIT's)	39
4.1.1	Elementos Construtivos Principais	39
4.1.1.1	O Estator	41
4.1.1.2	O Rotor	41
4.1.2	Princípio de Funcionamento	42
4.1.3	Excentricidades Mecânicas	43
4.1.4	Curva Velocidade x Torque	44
4.1.5	Controle de Velocidade	45
4.1.6	Dados de Placa	47
4.2	Análise de MIT's	48
4.2.1	Equacionamento de Grandezas Relevantes	48
4.2.1.1	Velocidade Angular de Rotação do Eixo	48
4.2.1.2	Velocidade Síncrona Nominal	48
4.2.1.3	Escorregamento Nominal	48

4.2.1.4	Potência Mecânica	49
4.2.1.5	Torque Nominal	49
4.2.1.6	Potências Elétricas	49
4.2.1.7	Fator de Potência	52
4.2.1.8	Rendimento	53
4.2.1.9	Carregamento	53
4.2.2	Análise Espectral da Corrente do Estator	54
4.2.3	Metodologia de Estimação do Torque	58
4.2.3.1	Análise das Influências dos Erros sobre a Metodologia	62
4.2.4	Algoritmo de Identificação de Parâmetros	65
4.3	Ferramentas para o Processamento Digital de Sinais	70
4.3.1	Métodos para o Cálculo Discreto de Grandezas	70
4.3.2	Filtragem Digital	72
4.3.3	DFT e Resolução Espectral	75
4.3.4	Dizimação	77
5	Projeto do <i>Hardware</i>	81
5.1	Diagrama de Blocos Funcionais	81
5.2	Tecnologias Adotadas	86
5.3	Componentes e Circuitos Eletrônicos	89
5.3.1	Transdutor de Corrente	89
5.3.2	Optoacopladores	91
5.3.3	Interface de Corrente	92
5.3.4	Interface Serial RS-232	94
5.3.5	Interface com LED's para IHM	95
5.3.6	Processador Digital de Sinais (DSP)	97
5.3.6.1	Interface JTAG	99
5.3.7	Memórias	100
5.3.8	Alimentações	101
5.3.9	Circuitos para o Condicionamento de Sinais	104
5.3.9.1	Topologia Diferencial para Aquisição de Grandes e Pequenos Sinais	105
5.3.9.2	Filtros Analógicos de Segunda Ordem	107
5.3.9.3	Filtro NOTCH a Capacitor Comutado (FCC)	112

5.3.9.4	Amplificador com Ganho Configurável - AGC	114
5.3.9.5	Deslocamento de Nível de Tensão para o ADC	116
5.3.9.6	Proteção para as entradas do ADC	117
5.3.10	Amplificador Operacional e Componentes Passivos Adotados	118
5.4	Definição da Caixa de Acondicionamento das Placas Eletrônicas	119
5.5	Placas Eletrônicas em Circuito Impresso	120
5.5.1	Placa de Condicionamento de Sinais (PCS)	121
5.5.2	Placa de Processamento e Gerenciamento (PPG)	122
5.5.3	Placa Fonte e Interfaces (PFI)	122
5.5.4	Placa de Ligação com as Borneiras (PLB)	123
5.6	Montagem e Aspecto Final	124
6	Concepção do <i>Firmware</i>	129
6.1	Aritmética com Ponto Fixo utilizando Formato IQ	129
6.2	Linguagens de Programação	131
6.3	Plataformas de Desenvolvimento	132
6.4	Técnicas de Programação	134
6.5	Implementação do <i>Firmware</i>	142
6.5.1	Aplicação para a Máquina de Controle do Sistema	142
6.5.2	Aquisição de Amostras	144
6.5.3	Interface de Corrente	145
6.5.4	Protocolo <i>Modbus/RTU</i>	146
6.5.5	Sinalização pela IHM	146
6.5.6	DFT Modificada	146
6.5.7	Determinação da Frequência de Alimentação do MIT	153
6.5.8	Algoritmo de Detecção Automática de Parâmetros do MIT	153
6.5.9	Metodologia de Estimação do Torque	154
6.5.10	Algoritmos de Estimação de Grandezas Elétricas e Mecânicas do MIT	154
6.5.11	Simulação no PC utilizando a Linguagem C	154
6.5.12	Estruturação dos Códigos Fonte	155
6.6	<i>Software</i> para Comunicação e Configuração com o Equipamento	156
7	Ensaio e Resultados Experimentais	159
7.1	Infraestrutura e Equipamentos dos Locais de Teste	159

7.2	Teste dos Principais Elementos de <i>Hardware</i>	162
7.2.1	Transdutor de Corrente (TC)	162
7.2.2	Circuito para Aquisição de Tensões e Correntes	163
7.2.3	Filtro a Capacitor Comutado (FCC)	166
7.3	Teste dos Principais Elementos do <i>Firmware</i>	169
7.3.1	Comunicação utilizando o protocolo <i>Modbus/RTU</i>	169
7.3.2	Aquisição de Sinais e Filtragem Digital	169
7.3.3	Captura e Atenuação da Frequência de Alimentação do MIT	170
7.3.4	Estimação do Valor das Grandezas	171
7.4	Validação da Estimação do Valor do Torque	173
7.4.1	Ensaio com o MIT de 1,5 CV	174
7.4.2	Ensaio com o MIT de 2,0 CV	176
7.4.3	Ensaio com o MIT de 3,0 CV	177
7.5	Análise de Desempenho e de Erros	178
8	Conclusões	181
8.1	Dificuldades	182
8.2	Perspectivas	184
9	Considerações Finais e Gerais	189
9.1	O Desenvolvimento de Produtos Eletrônicos	191
9.2	A Inovação Tecnológica	191
	Referências Bibliográficas	195
A	Esquemático da Placa de Condicionamento de Sinais (PCS)	199
B	Esquemático da Placa de Processamento e Gerenciamento (PPG)	203
C	Esquemático da Placa Fonte e Interfaces (PFI)	211
D	Esquemático da Placa de Ligação com as Borneiras (PLB)	215
E	Layout da Placa de Condicionamento de Sinais (PCS)	217
F	Layout da Placa de Processamento e Gerenciamento (PPG)	221
G	Layout da Placa Fonte e Interfaces (PFI)	225

H <i>Layout</i> da Placa de Ligação com as Borneiras (PLB)	229
I Caixa Adotada e Dimensões para Acondicionamento de PCI's	233

Lista de Acrônimos

Para rápida referência, segue abaixo em ordem alfabética a lista dos acrônimos (siglas) encontrados no texto.

- **ABNT** - Associação Brasileira de Normas Técnicas;
- **ABS** - Acrônimo para a expressão alemã *Antiblockier-Bremssystem*, embora mais freqüentemente traduzido para a inglesa *Anti-lock Braking System* (Sistema de Freios Anti-travamento);
- **ADC** - *Analogic to Digital Converter* (Conversor Analógico para Digital) ou *Analogic to Digital Conversion* (Conversão Analógico para Digital), a depender do contexto;
- **AGC** - Amplificador com Ganho Configurável;
- **AMEE** - Área de Microeletrônica e Eletrônica Embarcada.
- **AMIT** - Analisador de Motores de Indução Trifásicos, nome dado ao protótipo do equipamento fruto desta Dissertação;
- **AMP-OP** - Amplificador Operacional;
- **ANEEL** - Agência Nacional de Energia Elétrica;
- **ANP** - Agência Nacional de Petróleo;
- **BCP** - Bombeio por Cavidades Progressivas;
- **BCS** - Bombeio Centrífugo Submerso;
- **BM** - Bombeio Mecânico;
- **BT** - Base de Tempo;
- **CA** - Corrente Alternada;
- **CAD** - *Computer Aided Design* (Desenho/Projeto Auxiliado por Computador);
- **CAE** - *Computer Aided Engineering* (Engenharia Auxiliada por Computador);
- **CAM** - *Computer Aided Manufacturing* (Fabricação Auxiliada por Computador);

- **CCS** - “*Code Composer Studio 3.3*”, IDE para desenvolvimento de *firmwares* para DSP’s da *Texas Instruments*;
- **CE** - *Community European*, selo de certificação europeu para produtos eletrônicos;
- **CI** - Circuito Integrado;
- **CIMATEC** - Centro Integrado de Manufatura e Tecnologia, unidade do SENAI/BA;
- **CISC** - *Complex Instructions Set Computer* (Computador com Conjunto de Instruções Complexo);
- **CLP** - Controlador Lógico Programável;
- **CMOS** - *Complementary Metal-Oxide-Semiconductor* (Semicondutor Metal-Óxido Complementar);
- **COELBA** - Companhia Elétrica do Estado da Bahia;
- **CPU** - *Central Process Unit* (Unidade Central de Processamento);
- **CRC** - *Cyclic Redundancy Check* (Checagem de Redundância Cíclica);
- **DAC** - *Digital to Analog Converter* (Conversor Digital para Analógico) ou *Digital to Analog Conversion* (Conversão Digital para Analógico), a depender do contexto;
- **DCE** - *Data Circuit-terminating Equipment* (Equipamento de Dados Terminação-de-circuito);
- **DFT** - *Discrete Fourier Transforming* (Transformada de Fourier Discreta);
- **DIN** - Acrônimo alemão para “*Deutsches Institut für Normung*” ou, em português, Instituto Alemão de Padronização;
- **DIP** - *Dual Inline Package* (Encapsulamento em linha dupla);
- **DSP** - *Digital Signal Processor* (Processador Digital de Sinais) ou *Digital Signal Processing* (Processamento Digital de Sinais), dependendo do contexto;
- **DTE** - *Data Terminal Equipment* (Equipamento Terminal de Dados);
- **EEPROM** - *Electric Erasable Read Only Memory* (Memória Somente de Leitura Apagável Eletricamente);
- **EIA** - *Electronic Industries Association* (Associação das Indústrias Eletrônicas);
- **EMC** - *Electro-Magnetic Compatibility* (Compatibilidade Eletromagnética);
- **EMI** - *Electro-Magnetic Interference* (Interferência Eletromagnética);
- **E/S** - Entrada/Saída;
- **FCC** - Filtro a Capacitor Comutado;
- **FFT** - *Fast Fourier Transforming* (Transformada Rápida de Fourier);
- **FIR** - *Finite Impulse Response* (Resposta Finita ao Impulso);

- **FMM** - Força Magneto-Motriz;
- **FPA** - Filtro Passa-Altas;
- **FPB** - Filtro Passa-Baixas;
- **FPF** - Filtro Passa-Faixa;
- **GM** - *General Motors*;
- **GND** - *Ground* (“terra” ou referência de baixo potencial de um circuito elétrico/eletrônico);
- **GPS** - *Global Positioning System* (Sistema de Posicionamento Global);
- **HART** - *Highway Addressable Remote Transducer* (Transdutor Remoto Endereçável do Via/Barramento);
- **IA** - Inteligência Artificial;
- **IC** - *Integrated Circuit* (Circuito Integrado);
- **IDE** - *Integrated Development Environment* ou, em português, Ambiente Integrado de Desenvolvimento;
- **IGBT** - *Insulated Gate Bipolar Transistor* (Transistor Bipolar de Porta Isolada);
- **IHM** - Interface Homem-Máquina;
- **IIR** - *Infinite Impulse Response* (Resposta Infinita ao Impulso);
- **INPI** - Instituto Nacional de Propriedade Intelectual;
- **IMM** - Interface Máquina-Máquina;
- **I/O** - *Input/Output* (Entrada/Saída);
- **JTAG** - *Joint Test Action Group* (Grupo Conjunto de Ação de Teste);
- **LED** - *Light Emitting Diode* (Diodo Emissor de Luz);
- **LCD** - *Liquid Crystal Display* (“Mostrador” de Cristal Líquido);
- **LDO** - *Low Drop Out*, regulador com baixa queda ou diferença de tensão entre a entrada e a saída necessária para regular a tensão de saída;
- **LSB** - *Less Significant Byte* (Byte Menos Significativo);
- **LTI** - *Linear Time Invariant* (Sistemas Lineares Invariantes no Tempo);
- **MC** - *Micro Controller* (Microcontrolador);
- **MEMS** - *Micro-Electro-Mechanics Systems* (Sistemas Micro-Eleto-Mecânicos);
- **MIPS** - Milhões de Instruções Por Segundo;
- **MIT** - Motor de Indução Trifásico;

- **MOSFET** - *Metal Oxide Semiconductor Field Effect Transistor* (Transistor de Efeito de Campo de Metal-Óxido Semicondutor);
- **MP** - *Micro Processor* (Microprocessador);
- **MSB** - *Most Significant Byte* (Byte Mais Significativo);
- **MTBF** - *Mean Time Between Failures* (Tempo Médio Entre Falhas);
- **NEMA** - *National Electrical Manufacturers Association* (Associação Nacional de Fabricantes de Elétricos);
- **OMAP** - *Open Media Platform* (Plataforma de Mídia Aberta);
- **PC** - *Personal Computers* (Computador Pessoal);
- **PCB** - *Printed Circuit Board* (Placa de Circuito Impresso);
- **PCI** - Placa de Circuito Impresso;
- **PCS** - Placa de Condicionamento de Sinais;
- **PDIP** - *Plastic Dual Inline Package*, tipo de encapsulamento PTH;
- **PFI** - Placa Fonte e Interfaces;
- **PLB** - Placa de Ligação com as Borneiras;
- **PMBOK** - *Project Management Body Of Knowledge* (Corpo de Conhecimentos em Gerenciamento de Projetos);
- **PMI** - *Project Management Institute* (Instituto de Gerenciamento de Projetos);
- **PPG** - Placa de Gerenciamento e Processamento;
- **PTH** - *Plated Through-Hole* (Posicionado Através do Furo);
- **PWM** - *Pulse Width Modulation* (Modulação por Largura de Pulso);
- **RAM** - *Random Access Memory* (Memória de Acesso Aleatório);
- **REDIC** - Rede Cooperativa de Pesquisa Norte-Nordeste em Instrumentação e Controle;
- **RISC** - *Reduced Instructions Set Computer* (Computador com Conjunto de Instruções Reduzido);
- **RMS** - *Root Mean Square* (Raiz Média Quadrática);
- **RNS** - Redes Neurais Simbólicas;
- **RS** - *Recommended Standard* (Padrão Recomendado);
- **RTU** - *Remote Terminal Unit* (Unidade Terminal Remota);
- **SCR** - *Silicon Controlled Rectifier* (Retificador Controlado de Silício);

- **SENAI** - Serviço Nacional de Aprendizagem Industrial;
- **SGPA** - Sistema de Gerenciamento de Poços de petróleo Automatizados;
- **SMD** - *Surface Mounted Devices* (Dispositivos de Montagem em Superfície);
- **SMT** - *Surface Mounted Technology* (Tecnologia de Montagem em Superfície);
- **SOIC** - *Small Outline Integrated Circuit*, tipo pequeno de encapsulamento de CI's SMT;
- **TC** - Transdutor de Corrente;
- **TI** - Tecnologia da Informação;
- **TTL** - *Transistor-Transistor Logic* (Lógica Transistor-Transistor);
- **UART** - *Universal Asynchronous Receiver/Transmitter* (Receptor/Transmissor Assíncrono Universal).

Lista de Símbolos

Os símbolos são listados a seguir, em ordem alfabética, com seus respectivos significados ao lado. No caso das grandezas, é exibida a unidade juntamente com o seu significado. Devido à existência de notações já difundidas na literatura, podem existir mais de um símbolo para uma mesma grandeza ou um mesmo símbolo para mais de uma grandeza, cabendo ao capítulo e ao contexto diferenciá-los onde são enunciados.

- α - Constante utilizada para determinar a frequência de corte na faixa de rejeição do filtro NOTCH a capacitor comutado, sendo $\alpha \in \mathbb{N}^*$;
- a_k - Coeficientes dos termos referente às saídas de um filtro digital (coeficientes do denominador de $H(z)$), sendo $k \in \mathbb{N}$;
- B_{ag} - Densidade de fluxo magnético do entreferro;
- b_k - Coeficientes dos termos referente às entradas de um filtro digital (coeficientes do numerador de $H(z)$), sendo $k \in \mathbb{N}$;
- \mathbb{C} - Conjunto dos Números Complexos;
- $\cos \varphi$ - Fator de potência (adimensional e por unidade);
- Δ - Delta ou triângulo. Ligação de sistemas trifásicos a três fios;
- Δf - Resolução espectral de uma DFT, dada em hertz (Hz);
- Δf_d - Resolução espectral desejada em uma DFT, dada em hertz (Hz);
- η - Rendimento (adimensional, em percentual ou por unidade);
- ε - Precisão desejada para a parte fracionária de um número no formato IQ;
- $\varepsilon_{f_{sh}}$ - Erro relativo percentual do componente de frequência de ranhura = $100 \times (\Delta f_{sh}/f_{sh})$ (adimensional)

- ε_n - Erro relativo percentual da velocidade (rotação) = $100 \times (\Delta n/n)$ (adimensional);
- ε_s - Erro relativo percentual do escorregamento = $100 \times (\Delta s/s)$ (adimensional);
- ε_y - Erro relativo percentual do torque relativo = $100 \times (\Delta y/y)$ (adimensional);
- F - Força, dada em newtons (N);
- f_1 - Frequência da fundamental do sinal de alimentação do MIT, dada em hertz (Hz);
- f_c - Frequência de corte, dada em hertz (Hz);
- f_{clock} - Frequência do sinal digital de *clock* do filtro NOTCH a capacitor comutado, em hertz (Hz);
- f_{corr} - Fator de correção do torque teórico estimado (adimensional);
- f_{ecc} - Frequência do componente de frequência de excentricidade ou, simplesmente, componente de excentricidade, em hertz (Hz);
- f_{ecc-1} - Frequência do componente de frequência de excentricidade para $n_d = -1$, em hertz (Hz);
- f_{ecc+1} - Frequência do componente de frequência de excentricidade para $n_d = +1$, em hertz (Hz);
- f_{ecc+2} - Frequência do componente de frequência de excentricidade para $n_d = +2$, em hertz (Hz);
- f_{ecc+3} - Frequência do componente de frequência de excentricidade para $n_d = +3$, em hertz (Hz);
- f_{NOTCH} - frequência de corte na faixa de rejeição do filtro NOTCH a capacitor comutado, em hertz (Hz);
- f_n - Frequência Nominal de Alimentação, em hertz (Hz);
- f_P - Fator de potência (adimensional e por unidade);
- F_s - Frequência de amostragem de um sinal contínuo $x(t)$, dada em hertz (Hz);

- F_{sn} - Freqüência de amostragem F_s reduzida pela dizimação, dada em hertz (Hz);
- f_{sh} - Freqüência do componente de freqüência de ranhura ou, simplesmente, componente de ranhura, em hertz (Hz);
- γ - Carregamento de um motor (adimensional, em percentual ou por unidade);
- G_{DC} - Ganho DC (para sinais contínuos ou com freqüência nula) de FPB's analógicos;
- $h[k]$ - Seqüência de coeficientes da resposta ao impulso unitário de um Sistema LTI;
- H_{max} - Altura máxima do equipamento, em milímetros (mm);
- $H_d(e^{j\omega})$ - Função de transferência de um filtro passa-baixas para dizimação de um sinal discreto $x[n]$;
- H_0 - Ganho de filtros analógicos em baixas freqüências para FPB, altas freqüências para FPA ou na faixa de passagem para FPF;
- $H(s)$ - Função de transferência obtida através da Transformada de *Laplace*;
- $H(z)$ - Função de transferência obtida através da Transformada *Z*;
- I - Corrente Eficaz (RMS), em ampères (A);
- I_m - Média dos valores eficazes (RMS) das três correntes de linha (I_R , I_S e I_T), em ampères (A);
- I_n - Corrente eficaz (RMS) de Alimentação Nominal, em ampères (A);
- $i[n]$ - Sinal de corrente discreto, dado em ampères (A);
- I_R - Corrente eficaz (RMS) de linha da fase R, em ampères (A);
- I_S - Corrente eficaz (RMS) de linha da fase S, em ampères (A);
- I_T - Corrente eficaz (RMS) de linha da fase T, em ampères (A);
- $i(t)$ - Sinal contínuo de corrente, dado em ampères (A);
- j - Indicador da parte imaginária de um número ou grandeza complexa;

- K - Número natural ($K \in \mathbb{N}$) utilizado na equação de localização do harmônico de ranhura (f_{sh}) e na determinação dos parâmetros intrínsecos do motor elétrico;
- k - Índice componente de frequência ($k \in \mathbb{N}$);
- k_{in} - Valor inicial de k ;
- k_{fin} - Valor final de k ;
- k_{fr} - k fracionário ($k_{fr} \in \mathbb{R}$);
- L - Número de amostras, ou comprimento, de um sinal ($L \in \mathbb{N}$);
- L_{max} - Largura máxima do equipamento, em milímetros (mm);
- M - Fator de dizimação, sendo $M \in \mathbb{N}^*$;
- M - Número de coeficientes b_k ;
- MMF_{ag} - Força magneto motriz de entreferro;
- \mathbb{N} - Conjunto dos Números Naturais;
- \mathbb{N}^* - Conjunto dos Números Naturais não nulos;
- N - Período discreto (especificado em quantidade de amostras) ou quantidade de pontos de uma DFT, sendo $N \in \mathbb{N}$;
- N - Número de coeficientes a_k , com $N \in \mathbb{N}$;
- N - Número de bits da parte fracionária de um número no formato IQ, com $N \in \mathbb{N}$;
- N_k - Número máximo para o número de índices dos componentes de frequência k , com $N_k \in \mathbb{N}$;
- N_n - Número de amostras N reduzido pela dizimação, com $N_n \in \mathbb{N}$;
- N_T - Número total de amostras, incluindo o número de zeros acrescentados se for utilizada a técnica *zero-padding*., com $N_T \in \mathbb{N}$;
- $[n]$ - Tempo discreto com $n \in \mathbb{Z}$;

- n - Rotação do eixo do MIT, dada em rotações por minuto (rpm);
- n_d - Ordem do componente de frequência de excentricidade (f_{ecc}), sendo $n_d = -1, 0, 1, 2$ e 3 ;
- n_g - Velocidade de giro do eixo do motor elétrico, com erro grosseiro, dado em rotações por minuto (rpm);
- n_{Hz} - Rotação do eixo do MIT, dado em hertz (Hz);
- n_n - Velocidade nominal de giro do eixo do motor elétrico, dada em rotações por minuto (rpm);
- n_{sn} - Velocidade síncrona nominal, dada em rotações por minuto (rpm);
- n_w - Ordem do componente de frequência de ranhura (f_{sh}), sendo $n_w = -5, -3, -1, 1, 3$ e 5 ;
- p - Número de pólos, sendo $p = 2, 4, 6$ ou 8 ;
- $p(t)$ - Potência elétrica instantânea, em watts (W);
- P_{ag} - Permeância do entreferro;
- P_{ea} - Potência elétrica ativa, real ou útil, em watts (W);
- $P_{eaT-\Delta}$ - Potência elétrica ativa, real ou útil total de uma carga trifásica ligada em Δ , dada em watts (W);
- P_{eaT-Y} - Potência elétrica ativa, real ou útil total de uma carga trifásica ligada em Y , dada em watts (W);
- P_{mec} - Potência Mecânica em cavalos-vapor (CV);
- P_n - Potência Nominal, em cavalos-vapor (CV) ou watts (W);
- Q - Fator de Qualidade (ou “Fator de Mérito”) de filtros analógicos;
- Q - Potência reativa, em volt-ampère-reactivo (VA_r);
- R - Número de ranhuras no rotor do motor elétrico, sendo $K = 28, 30, 32, 34 \dots 50, 52$ e 54 ;

- R_{DFT} - Resolução espectral de uma DFT, dada em hertz (Hz);
- s - Frequência complexa ($s \in \mathbb{C}$) utilizada como variável na Transformada de Laplace;
- s - Escorregamento do MIT (adimensional, em percentual ou por unidade);
- s_n - Escorregamento nominal do MIT (adimensional, em percentual ou por unidade);
- S - Potência aparente, em volt-ampère (VA);
- S_R - Potência aparente contribuída pela fase 'R', em volt-ampère (VA);
- S_S - Potência aparente contribuída pela fase 'S', em volt-ampère (VA);
- S_T - Potência aparente contribuída pela fase 'T', em volt-ampère (VA);
- $S_{T-\Delta}$ - Potência aparente total de uma carga trifásica ligada em Δ , dada em volt-ampère (VA);
- S_{T-Y} - Potência aparente total de uma carga trifásica ligada em Y , dada em volt-ampère (VA);
- t - Tempo contínuo, em segundos (s);
- t_0 - Tempo contínuo inicial, em segundos (s);
- τ - Torque do MIT, em newtons-metro ($N.m$);
- τ_n - Torque Nominal do MIT, em newtons-metro ($N.m$);
- T - Período ou ciclo fundamental de um sinal contínuo, em segundos (s);
- T_a - Período de amostragem de um sinal contínuo, em segundos (s);
- V - Tensão Eficaz (RMS), em volts (V);
- V_{AC} - Tensão Alternada, em volts (V);
- V_{DC} - Tensão Contínua, em volts (V);

- Vg - Valor de uma grandeza, com $Vg \in \mathbb{R}$;
 Vg_{min} - Valor mínimo de uma grandeza, com $Vg_{min} \in \mathbb{R}$;
 Vg_{max} - Valor máximo de uma grandeza, com $Vg_{max} \in \mathbb{R}$;
 Vg_B - Valor de uma grandeza convertido para base binária, com $Vg_B \in \mathbb{N}$;
 V_{in} - Sinal de entrada;
 V_{MIT} - Tensão Eficaz (RMS) de alimentação do MIT, em volts (V);
 V_n - Tensão Eficaz Nominal, em volts (V);
 $v[n]$ - Sinal de tensão discreto, dado em volts (V);
 V_{out} - Sinal de saída;
 V_p - Tensão de pico de um sinal contínuo $x(t)$, em volts (V);
 $v_R(t)$ - Tensão instantânea da fase 'R', em volts (V);
 V_R - Tensão eficaz (RMS) da fase 'R', em volts (V);
 $v_{RS}(t)$ - Tensão instantânea de linha entre $v_R(t)$ e $v_S(t)$, ou seja, $v_R(t) - v_S(t)$, dada em volts (V);
 V_{RS} - Tensão eficaz de linha entre V_R e V_S , ou seja, $V_R - V_S$, dada em volts (V);
 $v_S(t)$ - Tensão instantânea da fase 'S', em volts (V);
 V_S - Tensão eficaz (RMS) da fase 'S', em volts (V);
 $v(t)$ - Sinal contínuo de tensão, dado em volts (V);
 $v_T(t)$ - Tensão instantânea da fase 'T', em volts (V);
 V_T - Tensão eficaz (RMS) da fase 'T', em volts (V);
 $v_{TS}(t)$ - Tensão instantânea de linha entre $v_T(t)$ e $v_S(t)$, ou seja, $v_T(t) - v_S(t)$, dada em volts (V);

- V_{TS} - Tensão eficaz de linha entre V_T e V_S , ou seja, $V_T - V_S$, dada em volts (V);
- ω - Velocidade angular de giro do eixo do MIT, dada em rad/s ;
- ω_0 - Representação da frequência de corte, passagem ou ressonância de $H(s)$ para filtros analógicos, dada em rad/s ;
- ω_k - Velocidade angular ou frequência discreta de uma DFT, , dada em rad/s , com $k \in \mathbb{N}$;
- ω_p - Largura da faixa de frequência de um sinal contínuo $x(t)$, dada em rad/s ;
- ω_s - Frequência de amostragem de um sinal contínuo $x(t)$, dada em rad/s ;
- W_{max} - Profundidade máxima do equipamento, dada em milímetros (mm);
- $X[k]$ - Transformada de Fourier Discreta (DFT) de $x[n]$, com $k \in \mathbb{N}$;
- $X_R[k]$ - Parte real de $X[k]$, com $k \in \mathbb{N}$;
- $X_I[k]$ - Parte imaginária de $X[k]$, com $k \in \mathbb{N}$;
- $x[n]$ - Sinal discreto (geralmente de entrada), com $n \in \mathbb{N}$;
- $x_d[m]$ - Sinal discreto dizimado (saída de uma dizimação) de outro sinal discreto $x[n]$, com $m \in \mathbb{N}$;
- $X(e^{j\omega})$ - Transformada de Fourier de $x[n]$;
- $X(e^{j\frac{2\pi}{N}k})$ - Transformada de Fourier Discreta (DFT) de $x[n]$, com $k \in \mathbb{N}$;
- X_{RMS} - Valor eficaz (RMS) de um sinal contínuo $x(t)$;
- $x(t)$ - Sinal contínuo (geralmente de entrada);
- Y - (Estrela) Ligação de sistemas trifásicos a quatro fios;
- Y - Admitância, dada em mho (Ω^{-1});
- y - Torque relativo τ/τ_n (adimensional);

$y[n]$ - Sinal discreto de saída, com $n \in \mathbb{N}$;

$y(t)$ - Sinal contínuo de saída;

Z - Impedância, dada em ohm (Ω);

\mathbb{Z} - Conjunto dos Números Inteiros.

Lista de Figuras

1.1	CLP - Controlador Lógico Programável (Cortesia da <i>Phoenix Contact</i>).	3
1.2	Aplicações Emergentes dos Sistemas Embarcados (<i>Embedded Systems</i>).	6
1.3	Conversão do sinal Analógico para Digital.	8
1.4	Diagrama de Blocos exemplificando um Sistema de Processamento Digital de Sinais.	8
1.5	CBC20 - Controlador Inteligente de Bancos de Capacitores em Subestações de Energia Elétrica Automatizadas (Cortesia da Enautec Sistemas Eletrônicos).	9
1.6	Processador Digital de Sinais da Família TMS320 (Cortesia da <i>Texas Instruments</i>).	10
2.1	Poço com BCP.	16
2.2	Poço com BM.	16
2.3	Elementos do Sistema BCP.	16
2.4	Detalhamento da Bomba/Haste no Sistema BCP.	17
2.5	Método provável, mas inconveniente, para medição do torque no Sistema BCP.	18
2.6	Local de um poço BCP automatizado.	19
2.7	Armário de um poço BCP automatizado.	19
3.1	Armário aberto de um poço BCP automatizado.	22
3.2	Corte transversal do Trilho DIN TS35.	23
3.3	Equipamento instalado em Trilho DIN.	23
3.4	Fonte de Alimentação UPS1090-24 adotada no poço BCP pesquisado (Cortesia da HI Tecnologia).	24
3.5	CLP ZAP500 adotado no poço BCP pesquisado (Cortesia da HI Tecnologia).	24
3.6	MIT de um poço BCP.	25
3.7	Diagrama de um sistema de telemetria com interface 4-20mA.	27
3.8	Formato do <i>frame</i> de dados seriais RS-232.	28
3.9	Conexão DTE-DCE.	29

3.10	Conectores RS-232.	30
3.11	Ligação entre os sinais na conexão DTE-DTE RS-232 (“ <i>null-modem</i> ”).	30
3.12	Níveis elétricos de tensão no padrão RS-232.	31
3.13	ModBus em um barramento RS-485 para constituição de uma rede multi-ponto.	32
3.14	ModBus em RS-232 para constituição de uma rede ponto-a-ponto.	32
3.15	Exemplo de arquitetura de rede ModBus completa.	33
3.16	Formato Genérico de um <i>frame</i> de dados Modbus.	33
4.1	MIT explodido evidenciando seus elementos construtivos (Cortesia da WEG Equipamentos Elétricos S/A - Motores).	40
4.2	Diagrama de uma secção transversal de um MIT.	40
4.3	Carcaça (estator) de um MIT.	41
4.4	Rotor tipo gaiola de esquilo de um MIT.	41
4.5	Campos magnéticos girantes devido as 3 fases de um MIT, resultando no movimento circular do seu eixo.	42
4.6	Excentricidade Estática em um MIT.	44
4.7	Excentricidade Dinâmica em um MIT.	44
4.8	Curvas torque X velocidade típicas de um motor de indução.	45
4.9	Diagrama de blocos de um conversor de frequência para controle de velocidade de um MIT.	46
4.10	Sinais PWM gerados por conversores de frequência com seus respectivos sinais demodulados.	46
4.11	Placa na carcaça com as especificações do MIT.	47
4.12	Tensões (V) e correntes (I) de linha em uma carga trifásica ligada em Δ , consideradas no “Método dos Dois Wattímetros”.	50
4.13	Triângulo de Potências.	52
4.14	Faixas prováveis para localização dos componentes de frequência de excentricidade $f_{ecc\pm 1}$	55
4.15	Componentes de frequência de ranhuras f_{sh}	56
4.16	Curva “Velocidade (rotação) \times Torque” fora de escala evidenciando a região linear.	58
4.17	Análise da faixa de frequência para localização de f_{sh}	60
4.18	Comportamento da curva “Torque \times Corrente” para o Método da Corrente.	61
4.19	Erro na determinação do escorregamento (s): a) Desvio para $1\% < s \leq 10\%$; b) Desvio para $0\% < s \leq 1\%$. Quanto menor o escorregamento maior o desvio (em b) supera 100% quando s tende a zero).	63
4.20	Fluxograma geral simplificado do algoritmo de detecção automática, enfatizando suas etapas principais.	65

4.21	Componente de frequência de excentricidade de terceira ordem, f_{ecc+3} , na faixa de localização, atendendo aos três critérios de validação.	66
4.22	Fluxograma completo da primeira etapa do algoritmo de detecção automática.	67
4.23	Fluxograma completo da segunda etapa do algoritmo de detecção automática.	68
4.24	Fluxograma da terceira etapa do algoritmo de detecção automática.	69
4.25	Filtragem digital: convolução do sinal de entrada discreto com a resposta ao impulso discreta de um sistema LTI.	73
4.26	Diagrama de blocos de um filtro digital genérico.	74
4.27	Equivalência entre a amostragem da Transformada de Fourier de um sinal e sua DFT.	77
4.28	Bloco representando a dizimação por um fator M	78
4.29	Dizimação de $x[n] = \{x[0], x[1], x[2], x[3], x[4], \dots\}$ com $M = 2$, resultando em $x_d[m] = \{x[0], x[2], x[4], x[6], x[8], \dots\}$	78
4.30	(a) Espectro do sinal original $x[n]$. (b) Espectro do sinal dizimado $x_d[m]$ para $M = 2$	79
4.31	Representação do processo de dizimação na forma geral.	79
5.1	Diagrama de blocos funcionais proposto para o equipamento no modo de ligação simplificado.	82
5.2	Diagrama de blocos funcionais proposto para o equipamento no modo de ligação completo.	85
5.3	Desenvolvimento de um produto industrial e a presença do computador nas diferentes etapas.	87
5.4	Na ordem da esquerda para direita, <i>software</i> CAE <i>MultiSIM (TM)</i> (Cortesia da <i>Electronics Workbench</i>), <i>software</i> CAE/CAD <i>CircuitMaker</i> e <i>software</i> CAD <i>TraXMaker</i> (Ambos cortesia da <i>Altium Limited</i>).	87
5.5	Tecnologia SMT.	88
5.6	Tecnologia PTH.	88
5.7	Placa de Circuito Impresso (PCI) <i>Multilayer</i>	89
5.8	Transdutor de corrente por efeito Hall HTR50-SB (Cortesia LEM S/A).	90
5.9	Esquema do cabeamento de transporte do sinal do transdutor HALL. A pinagem descrita corresponde à original.	90
5.10	Circuitos de teste do Optoacoplador PC817 da <i>SHARP</i>	91
5.11	Encapsulamento PDIP4 (PTH) para o PC817 da <i>SHARP</i>	91
5.12	Optoacoplador da Série HCPL da <i>Agilent Technologies</i>	92
5.13	AD420 - DAC com saída de corrente, da <i>Analog Devices</i>	93
5.14	Circuito eletrônico proposto para interface de corrente 4-20 mA com o CI AD420.	93
5.15	MAX232 - <i>Driver/Receivers</i> duplo para interface EIA-232, da <i>MAXIM</i>	94
5.16	Circuito proposto com o MAX232 para constituir a interface RS-232 isolada.	95
5.17	74HC244 - <i>Buffer/Driver</i> octal com saída <i>three-state</i> , da <i>Texas Instruments</i>	96

5.18	Circuito proposto com o 74HC244 para “interfacear” o DSP com os LED’s da IHM.	97
5.19	DSP TMS320LF2812A da <i>Texas Instruments</i>	97
5.20	Encapsulamento SMD LQFP de 176 pinos.	97
5.21	Representação em diagrama de blocos do DSP TMS320F2812, da <i>Texas Instruments</i>	98
5.22	Emulador para DSP’s da Texas instruments, utilizados no teste de <i>hardware</i> e depuração do <i>firmware</i> do protótipo.	99
5.23	CY7C1011CV33, memória RAM estática da <i>CYPRESS</i> adotada para o projeto do equipamento.	100
5.24	25LC256, memória EEPROM da <i>Microchip</i> adotada para o projeto do equipamento.	100
5.25	Circuito proposto com a memória EEPROM adotada.	101
5.26	CC Série E da <i>TDK</i>	101
5.27	Circuito para alimentação geral dos circuitos internos equipamento utilizando o conversor DC-DC CC-E da <i>TDK</i>	102
5.28	DCR01 da <i>Texas Instruments</i>	102
5.29	Série conversores DC-DC PT5060 da <i>Texas Instruments</i>	103
5.30	Regulador linear duplo TPS767D301 da <i>Texas Instruments</i>	103
5.31	Condicionamento em amplitude do sinal de entrada antes de introduzir no ADC.	104
5.32	Topologia do circuito diferencial de atenuação para as aplicações de leitura das tensões de linha para demodulação PWM ou de leitura do sinal de corrente proveniente do transdutor HALL.	105
5.33	Topologia geral de filtros de 2. ^a ordem MFB.	107
5.34	Circuito geral para um FPB de 2. ^a ordem MFB	107
5.35	Resposta em frequência do módulo de $H(s)$ para FPB’s de 2. ^a ordem para vários valores de Q . Com $Q = 0,707$ têm-se a resposta com planicidade máxima.	108
5.36	Proposta de modificação da topologia geral de filtros de 2. ^a ordem MFB.	109
5.37	Proposta de circuito FPB de 2. ^a ordem MFB com adição de <i>offset</i>	109
5.38	Blocos do <i>Simulink</i> para simulação do desempenho do FPB MFB na demodulação PWM.	110
5.39	Resultado da simulação apresentando o sinal modulante (em roxo) e o sinal modulado pela PWM (em verde).	111
5.40	Resultado da simulação apresentando o sinal modulante (em roxo) e o sinal demodulado da PWM (em verde) pelo filtro passa-baixas MFB modificado proposto.	111
5.41	Encapsulamento do CI LTC1068-200 da <i>Linear Technology</i>	112
5.42	Esquemático do filtro NOTCH com o CI LTC1068-200.	113
5.43	Esquemático do circuito para alimentação do filtro NOTCH.	113
5.44	Dimensionamento do filtro NOTCH da Figura 5.42	114

5.45	Resposta em frequência simulada do filtro NOTCH da Figura 5.42	114
5.46	Proposta de Amplificador com Ganho Configurável - AGC - com tensão de <i>offset</i> de deslocamento.	115
5.47	Circuito proposto para geração de sinal de referência negativa para deslocamento de nível de tensão.	117
5.48	Circuito proposto para proteção das entradas analógicas do ADC do DSP.	117
5.49	Simulação no <i>MultiSim</i> com a aplicação de sinais na entrada do ADC dentro da faixa aceitável.	118
5.50	Simulação no <i>MultiSim</i> da aplicação de sinais na entrada do ADC fora da faixa aceitável.	118
5.51	CI OPA404 da <i>Texas Instruments</i>	118
5.52	SMD's 0805 (acima) e 1206 (abaixo)	118
5.53	Caixas plásticas comerciais.	119
5.54	Caixa EG-67,5/ABS.	119
5.55	Seqüência de projeto, fabricação e montagem das placas eletrônicas.	120
5.56	Vista superior da PCS.	121
5.57	Vista inferior da PCS.	121
5.58	Bancada utilizada para acomodar a primeira versão (discreta) dos circuitos eletrônicos para condicionamento de sinais analógicos (excetuando-se o <i>notebook</i>) na aquisição da corrente do estator do MIT.	121
5.59	PPG com o DSP.	122
5.60	PPG montada sobre a PFI.	122
5.61	Vista superior da PFI.	122
5.62	Conector DB-9 e LED's da PFI.	122
5.63	Vista frontal da PLB.	123
5.64	PLB em perspectiva.	123
5.65	Detalhe de um dos conectores da PFI.	124
5.66	Detalhe de um dos conectores da PCS.	124
5.67	Vista traseira do "sanduíche" de placas.	124
5.68	Vista lateral do "sanduíche" de placas.	124
5.69	Bloco final rígido, compacto e com placas modulares.	125
5.70	Sistema de montagem semelhante à de um raque.	125
5.71	Seqüência de montagem do equipamento: 1) Inicia com a PLB como suporte; 2) Encaixa a PFI nos conectores laterais direitos da PLB; 3) Sobre a PFI encaixa a PPG; 4) A PCS é conectada acima da PFI e nos conectores laterais esquerdos da PLB; 5) e 6) Insere-se o bloco de placas na caixa plástica EG-67,5 ABS utilizando as guias internas; 7) Encaixa a tampa plástica do painel frontal e 8) Encaixa a tampa plástica superior.	125

5.72	Detalhe da vista superior da caixa, exibindo a tampa plástica removida, dando acesso ao conector da interface J-TAG do DSP.	126
5.73	Aspecto final do protótipo montado.	126
5.74	Protótipo montado em trilho DIM.	126
5.75	Painel frontal do equipamento com a descrição dos bornes, dos conectores, das chaves e dos LED's.	127
6.1	Representação fracionária no formato IQ tendo uma <i>doubleword</i> (32 bits) como exemplo. 'f' são os bits que compõem a parte fracionária e 'I' os bits que compõem a parte inteira.	129
6.2	<i>Code Composer Studio</i> : ferramenta de desenvolvimento de <i>firmware</i> para DSP's da <i>Texas Instruments</i>	132
6.3	<i>Starter Kit eZdsp</i> da <i>Spectrum Digital Inc.</i> para o DSP TMS320F2812 da <i>Texas Instruments</i>	133
6.4	Elementos do <i>Starter Kit eZdsp</i> da <i>Spectrum Digital Inc.</i>	133
6.5	Emulador USB XDS510 para o DSP F2812 da <i>Texas Instruments</i>	133
6.6	Fluxograma da subrotina de atraso (<i>Delay</i>).	134
6.7	Fluxograma exemplo de programação utilizando <i>Delay</i>	135
6.8	Programação com uso de interrupção.	136
6.9	Fluxograma de Interrupção do <i>Timer</i> para gerar as Bases de Tempo (BT's).	137
6.10	Fluxograma de uma função para tratar as Bases de Tempo (BT's).	138
6.11	Fluxograma de <i>Loop</i> Principal do <i>firmware</i> do equipamento.	139
6.12	Exemplo de representação de uma aplicação utilizando Máquinas de Estado Digitais.	140
6.13	Fluxograma de um algoritmo de funcionamento análogo às Máquinas de Estado Digitais.	141
6.14	Fluxograma da Máquina de Controle do Sistema.	143
6.15	Algoritmo para implementar o cálculo da DFT em linguagem <i>C</i>	148
6.16	Algoritmo desenvolvido no <i>MATLAB</i> para melhoria do contorno da DFT dentro de uma faixa de frequências específica.	151
6.17	Teste do Algoritmo da DFT modificada desenvolvido no <i>MATLAB</i> para reduzir, por interpolação, o espaçamento entre componentes de frequência dentro de uma faixa de frequências específica. No teste, houve melhora no contorno da DFT de um sinal composto na faixa especificada.	152
6.18	Aplicativo concebido em ambiente PC aproveitando amostras de ensaios experimentais.	155
6.19	O aplicativo concebido em ambiente PC permite simular as funções implementadas para a análise espectral.	155
6.20	Programa <i>ConfigAMIT</i> , <i>software</i> de configuração e supervisão.	156
6.21	Supervisão das grandezas estimadas do MIT estimadas pelo <i>ConfigAMIT</i>	156

6.22	Análise e armazenamento das amostras coletadas pelo <i>ConfigAMIT</i>	156
6.23	Diagrama da tela do <i>ConfigAMIT</i> para configuração do AMIT no Modo de Ligação Simplificado.	157
6.24	Diagrama da tela do <i>ConfigAMIT</i> para configuração do AMIT no Modo de Ligação Completo.	157
7.1	Bancada de testes do AMEE utilizada para conceber, testar e validar o protótipo.	159
7.2	Estação didática de ensino do conversor CFW-09 utilizada nos testes.	159
7.3	Instalação dos TC's de efeito Hall no MIT da estação didática CFW-09.	160
7.4	AMIT com os cabos de sinais conectados às borneiras parafusadas.	160
7.5	Conexões no AMIT para concepção e depuração do <i>firmware</i> , bem como para testes de comunicação.	161
7.6	Bancada de testes utilizada no DEE-EP-UFBA.	161
7.7	Descrição dos elementos da bancada de testes do DEE-EP-UFBA.	161
7.8	Reta "Tensão de Saída \times Corrente de Entrada" para o transdutor Hall utilizado.	163
7.9	Reta "Tensão de Saída \times Corrente de Entrada" para o FPB para o sinal de corrente de linha da Fase 'R'.	164
7.10	Reta "Tensão de Saída \times Corrente de Entrada" para o FPB para o sinal de corrente de linha da Fase 'T'.	164
7.11	Tela do osciloscópio digital utilizado mostrando a demodulação PWM de $v_{RS}(t)$ (azul escuro) e o sinal $i_R(t)$ (azul claro).	165
7.12	Reta "Tensão de Saída \times Tensão de Entrada" da resposta do filtro NOTCH a capacitor comutado (FCC) à aplicação de sinais DC.	166
7.13	Tela do osciloscópio digital utilizado mostrando o sinal de saída do FCC (azul claro), programado para atenuar sinais de $60Hz$, em resposta à aplicação de um sinal senoidal de $50Hz$ na entrada (azul escuro).	167
7.14	Tela do osciloscópio digital utilizado mostrando o sinal de saída do FCC (azul claro), programado para atenuar sinais de $60Hz$, em resposta à aplicação de um sinal senoidal de $60Hz$ na entrada (azul escuro).	167
7.15	Tela do osciloscópio digital utilizado mostrando o sinal de saída do FCC (azul claro), programado para atenuar sinais de $60Hz$, em resposta à aplicação de um sinal senoidal de $80Hz$ na entrada (azul escuro).	168
7.16	Gráfico mostrando a atenuação do sinal provocada pelo FCC em função da frequência de <i>clock</i> aplicada.	168
7.17	Versão de demonstração do <i>software ASE2000</i> , empregada dos testes de comunicação utilizando o <i>Modbus/RTU</i>	169
7.18	<i>Display</i> gráfico do CCS plotando as amostras coletadas $v_{RS}[n]$	170
7.19	<i>Display</i> gráfico do CCS plotando as amostras coletadas $i_R[n]$	170

7.20	<i>Display</i> do CCS plotando as amostras coletadas $i_R[n]$ filtrada pelo FCC NOTCH (sem a componente fundamental f_1).	170
7.21	Dinamômetro da estação do inversor CFW-09 marcando $F = 11 N$, que resulta em um torque $\tau = 3,3 N.m$	171
7.22	IHM do conversor CFW-09 mostrando a frequência fundamental de alimentação $f_1 = 59,8 Hz$	171
7.23	<i>Display</i> do CCS plotando os pontos da DFT modificada para a de busca de f_{sh} (linha vertical tracejada), com o MIT operando sem carga ($\tau \simeq 0 N.m$).	172
7.24	<i>Display</i> do CCS plotando os pontos da DFT modificada para a busca de f_{sh} (linha vertical tracejada), com o MIT operando com $\tau = 3,3 N.m$	172
7.25	Tela de supervisão do programa <i>ConfigAMIT</i> mostrando as grandezas elétricas e mecânicas estimadas, incluindo o torque $\tau = 3,25 N.m$	173
7.26	Gráfico “Torque \times Erro % (Módulo)” dos ensaios com o MIT de 1,5 CV ($R = 44$) com frequências de alimentação (f_1) de 50 Hz, 60 Hz e 70 Hz.	175
7.27	Gráfico “Torque \times Erro % (Módulo)” dos ensaios com o MIT de 2,0 CV ($R = 44$) com $f_1 = 60 Hz$	177
7.28	Gráfico “Torque \times Erro % (Módulo)” dos ensaios com o MIT de 3 CV ($R = 28$) com $f_1 = 60 Hz$	178
8.1	Proporção de Custos requeridos em um Processo Inovativo.	184
8.2	Protótipo de equipamento desenvolvido na UFBA para estimação de velocidade e rendimento de MIT's pela análise espectral do sinal de corrente do estator.	185
8.3	Equipamentos comerciais da <i>Mountz, Inc.</i> para medição de torque, baseados em transdutores de torque (Cortesia da <i>Mountz, Inc.</i>).	186
8.4	Exemplo de Aplicação com utilização do Protocolo HART.	187
9.1	Processos de Gerenciamento de Projetos e Áreas de Conhecimento (Extraído do PMBOK, 3. ^a Edição).	190
9.2	Sistema de Inovação (extraído do site “www.institutoinovacao.com.br”, em 06/08/2007).	192
B.1	Esquemático do DSP - Vista Superior (rotacionada 90°).	206
B.2	Esquemático do DSP - Vista Lateral Direita (rotacionada 90°).	207
B.3	Esquemático do DSP - Vista Central (rotacionada 90°).	208
B.4	Esquemático do DSP - Vista Inferior (rotacionada 90°).	209
E.1	TOP OVERLAY (Sem Escala).	218
E.2	TOP LAYER (Sem Escala).	218
E.3	GROUND LAYER (Sem Escala).	219

E.4	POWER LAYER (Sem Escala).	219
E.5	BOTTOM LAYER (Sem Escala).	220
E.6	BOTTOM OVERLAY (Sem Escala).	220
F.1	TOP OVERLAY (Sem Escala).	222
F.2	TOP LAYER (Sem Escala).	222
F.3	GROUND LAYER (Sem Escala).	223
F.4	POWER LAYER (Sem Escala).	223
F.5	BOTTOM LAYER (Sem Escala).	224
F.6	BOTTOM OVERLAY (Sem Escala).	224
G.1	TOP OVERLAY (Sem Escala).	226
G.2	TOP LAYER (Sem Escala).	226
G.3	GROUND LAYER (Sem Escala).	227
G.4	POWER LAYER (Sem Escala).	227
G.5	BOTTOM LAYER (Sem Escala).	228
G.6	BOTTOM OVERLAY (Sem Escala).	228
H.1	TOP OVERLAY (Sem Escala).	230
H.2	TOP LAYER (Sem Escala).	230
H.3	GROUND LAYER (Sem Escala).	231
H.4	POWER LAYER (Sem Escala).	231
H.5	BOTTOM LAYER (Sem Escala).	232
H.6	BOTTOM OVERLAY (Sem Escala).	232
I.1	<i>Explosion drawing 1 - Valid for PCB 13.</i>	234
I.2	<i>Explosion drawing 2 - Valid for PCB 14.</i>	234
I.3	<i>Dimensioned drawing 1.</i>	234
I.4	<i>Dimensioned drawing 2 - Component mounting side, if the double-level upper part is used.</i>	235
I.5	<i>Dimensioned drawing 3 - valid for PCB 1; 2; 3; 4; 5 and 6, see Explosion drawing.</i>	235
I.6	<i>Dimensioned drawing 4 - valid for PCB 7; 8; 11 and 12, see Explosion drawing.</i>	236
I.7	<i>Dimensioned drawing 5 - valid for PCB 9, see Explosion drawing.</i>	236

Lista de Tabelas

3.1	Formato típico de um <i>frame</i> originado do mestre no Modbus/RTU.	34
3.2	Formato típico de um <i>frame</i> originado do escravo no Modbus/RTU.	34
3.3	Tabela de Funções Modbus/RTU.	35
5.1	Quadro com a descrição dos LED's da IHM.	96
6.1	Tabela com exemplos de operações utilizando o formato IQ.	130
7.1	Tabela do ensaio de validação do torque estimado para $f_1 = 50 \text{ Hz}$ na bancada com o MIT de 1,5 CV ($R = 44$), alimentado pelo conversor vetorial CFW-09 da WEG.	174
7.2	Tabela do ensaio de validação do torque estimado para $f_1 = 60 \text{ Hz}$ na bancada com o MIT de 1,5 CV ($R = 44$), alimentado pelo conversor vetorial CFW-09 da WEG.	175
7.3	Tabela do ensaio de validação do torque estimado para $f_1 = 70 \text{ Hz}$ na bancada com o MIT de 1,5 CV ($R = 44$), alimentado pelo conversor vetorial CFW-09 da WEG.	175
7.4	Tabela do ensaio de validação do torque estimado para $f_1 = 60 \text{ Hz}$ na bancada com o MIT de 2,0 CV ($R = 44$), alimentado por conversor escalar.	176
7.5	Tabela do ensaio de validação do torque estimado para $f_1 = 60 \text{ Hz}$ na bancada com o MIT de 3 CV ($R = 28$), alimentado por conversor escalar.	177

Capítulo 1

Introdução

1.1 Sistemas Embarcados x *Embedded Systems*

1.1.1 História e Desenvolvimento

EM 1965, dezoito anos após a invenção do primeiro transistor (em 1947), Gordon Moore, chefe de pesquisa e desenvolvimento na *Fairchild*, publicou a sua famosa “lei”, a qual prevê o crescimento exponencial do número de componentes numa pastilha de Circuito Integrado (CI) ou *chip*, como é comumente chamado, inventado em 1958 por Jack Kilby [1].

Em 1971, a empresa *Intel*, fundada em 1968 com a ajuda de Moore e Robert Noyce, foi contratada pela *Busicom*, empresa japonesa de calculadoras para negócios, para o desenvolvimento de uma linha de componentes para seus diferentes modelos de calculadoras. A solução dada pela *Intel*, o *chip Intel4004*, viria a ser o primeiro processador ou, como seria chamado mais tarde, microprocessador (*Micro Processor* - MP). Seu grande diferencial estava em poder mudar o seu *software* e com isso poder ser utilizado em qualquer modelo de calculadora. A partir de então, a *Intel* intensificou sua fabricação de *chips* e tornou-se pioneira na criação de dispositivos programáveis. A criação da calculadora com um processador fez com que o conceito de *Embedded Systems* (Sistemas Embutidos) tomasse forma.

Mais tarde, em 1975, a “Lei de Moore” foi revisada pelo próprio autor, afirmando que sua previsão seria de que o número de componentes numa pastilha de silício dobraria de valor, aproximadamente, a cada dois anos [1]. Isso ficou amplamente comprovado tanto para as memórias de alta densidade [2] como também para os microcontroladores. A justificativa disto reside no fato de que a microeletrônica conseguiu se desenvolver de forma notadamente agressiva no que tange a etapas de processamento avançadas, formas de projeto incluindo ferramentas de CAD/CAM (*Computer Aided Design/Computer Aided Manufacturing*) e o desenvolvimento de tecnologias de fabricação mais elaboradas.

O desenvolvimento das tecnologias de fabricação de MP’s popularizou o seu uso e os computadores construídos com os mesmos deixaram de ser uma ferramenta restrita às empresas, enveredando ao ambiente doméstico. Devido à flexibilidade das plataformas baseadas no MP, criou-se a idéia de utilizá-lo como o núcleo de sistemas dedicados para o controle e a supervisão de sistemas. Uma das primeiras iniciativas foi

a experimentação de sistemas microprocessados voltados ao controle e supervisão dos sistemas eletrônicos e mecânicos de automóveis. Nasceram assim, os chamados “Sistemas Embarcados”.

A tendência da utilização mais abrangente de sistemas com MP’s incentivou as pesquisas no desenvolvimento de unidades microprocessadas mais autônomas, de forma a minimizar o número de componentes externos utilizados no projeto das placas eletrônicas microprocessadas, surgindo com isso os microcontroladores (MC’s - *Micro Controllers*). Conhecidos como “microcomputadores num único *chip*”, as MC’s, diferentemente dos seus pais microcontroladores, possuem numa única pastilha de silício a CPU (*Central Process Unit*), memórias, periféricos e Portas de I/O’s (“*Input/Output*” ou Entrada/Saída).

Devido a sua praticidade, facilidade de uso, alta aplicabilidade e redução do número de componentes eletrônicos, os MC’s passaram a ser largamente utilizados e apresentados como solução prática, flexível e de baixo custo para o desenvolvimento de vários produtos com “computadores embutidos”, os quais passaram a ser conhecidos como “Sistemas Embutidos”.

Até 1968, a *General Motors* (GM) passava dias ou semanas alterando sistemas de controle baseados em relés, sempre que um modelo de carro mudava ou se introduzia uma modificação numa linha de montagem. Para reduzir o alto custo de instalação, decorrente destas alterações, a especificação de controle da GM necessitava de um sistema de estado sólido, com flexibilidade de um computador, mais que pudesse ser programado e mantido por engenheiros e técnicos na fábrica, suportando o ar poluído, a vibração, o ruído elétrico e os extremos de umidade e temperatura encontrados normalmente num ambiente industrial. Então, nesse ano, em resposta a uma requisição da Divisão Hidráulica da GM e baseados na tecnologia embarcada, o desenvolvimento dos Controladores Lógicos Programáveis (CLP’s) começou [3].

Os primeiros CLP’s foram instalados em 1969, fazendo sucesso quase imediato. Funcionando em substituição aos relés, estes primeiros CLP’s eram mais confiáveis, principalmente devido a robustez dos seus componentes de estado sólido quando comparados às peças móveis dos relés eletromecânicos. Os CLP’s permitiram, desde então, a redução de custos de materiais, mão-de-obra, instalação e localização de falhas ao reduzir a necessidade de fiação bem como os erros associados. Os CLP’s ocupavam menos espaço do que os contadores, temporizadores e outros componentes de controle anteriormente utilizados, e a possibilidade de serem programados permitiu uma maior flexibilidade para trocar os esquemas de controle [3].

Atualmente, a NEMA (*National Electrical Manufacturers Association*) define o CLP como “aparelho eletrônico digital que utiliza uma memória programável para o armazenamento interno de instruções específicas, tais como lógica, sequenciamento, temporização, contagem e aritmética, para controlar, através de módulos de entrada e saídas, vários tipos de máquinas e processos” [3]. A **Figura 1.1** ilustra um dos CLP’s atuais utilizados comercialmente na indústria.

A estrutura básica de um CLP adveio do *hardware* básico de um computador. Podemos afirmar que um CLP é um computador para aplicações específicas [3]. Talvez, a razão principal da aceitação dos CLP’s pela indústria foi o fato da linguagem inicial de programação ser baseada nos diagramas de contato (*ladder*) e símbolos elétricos usados normalmente pelos eletricitistas. A maior parte do pessoal fabril já estava treinada na lógica *ladder*, adaptando-se rapidamente ao CLP [3].

Os Sistemas Embutidos avançaram significativamente a partir da década de 80, desde a popularização dos computadores pessoais, a introdução de novas características em inúmeros produtos e mesmo o surgimento de novos produtos que antes não eram possíveis de serem implementados [4]. Podemos citar como



Figura 1.1: CLP - Controlador Lógico Programável (Cortesia da *Phoenix Contact*).

exemplo as máquinas de lavar, filmadoras portáteis, os fornos de microondas, vídeos cassetes, telefones, sistemas de ar condicionado inteligentes *wireless*, entre muitos, que foram possíveis de ser melhorados ou implementados graças aos sistemas embutidos, que possibilitaram a redução de custo desses produtos, fazendo com que se tornassem cada vez mais acessíveis, e a vida dos usuários mais fácil e confortável.

1.1.2 Conceitos, Tecnologia e Impactos

Há certa confusão entre a designação do que é um Sistema Embarcado e o que é um *Embedded System*. O termo “Sistemas Embarcados” é comumente utilizado para designar o conjunto dos equipamentos eletrônicos usados em automóveis ou veículos em geral e gerenciados por microprocessadores [5]. Seu objetivo era o de fornecer um sistema inteligente que pudesse interagir com dispositivos capazes de realizar alguma ação em um veículo, com sensores que informem quando essas ações precisam ser executadas ou não. Por exemplo, nos automóveis modernos, motores, câmbio e freios ABS (acrônimo para a expressão alemã *Antiblockier-Bremssystem*, embora mais freqüentemente traduzido para a inglesa *Anti-lock Braking System*) são quase inteiramente controlados eletronicamente. Vale dizer, controlados por programas de computador que rodam nos microprocessadores embarcados.

Já o termo *Embedded System* (ou “Sistemas Embutidos” para o Português) foi designado para caracterizar equipamentos industriais ou produtos de consumo que possuem um sistema eletrônico baseado em microprocessadores ou microcontroladores, como máquinas de lavar, filmadoras portáteis, os fornos de microondas, vídeos cassetes, etc.

Como ambos os sistemas possuem características comuns, como processamento confinado em tempo-real e requerimentos de eficiência [5], atualmente estes dois termos passaram a ser tratados como sinônimos e o seu significado passou a ter uma maior abordagem. Dessa forma, conceitualmente, os “Sistemas Embarcados” ou “Sistemas Embutidos” podem ser definidos como sistemas processando informações dentro de produtos fechados, tais como carros, produtos de telecomunicações ou de fabricação de equipamentos. Em suma, os sistemas embarcados são CPU's (*Central Process Units*) usadas em produtos que não são computadores [5]. Seguindo o sucesso da Tecnologia da Informação (TI) para escritórios e aplicações *workflow*, os sistemas embarcados estão sendo considerados a mais importante aplicação na área de TI durante os próximos anos em todo o mundo [6].

Um Sistema Embarcado (*Embedded System*) é a combinação de *hardware* (processador e dispositivos) e *software* (programa) podendo ter partes eletromecânicas adicionadas, esse sistema é projetado para realizar uma função específica. O software executado pelo processador embutido no produto é chamado de *firmware* [4], cuja complexidade é geralmente menor que os *softwares* (Sistemas Operacionais e Aplicativos) dos computadores pessoais domésticos (*Personal Computer* - PC).

Um bom exemplo é um forno de microondas, milhares de pessoas possuem e fazem uso diário dele, porém poucas têm conhecimento de que existe um processador ou microcontrolador e um programa (*firmware*) envolvidos na preparação do seu almoço ou jantar.

Ele é um contraste direto com o PC presente nos lares, que nada mais é do que a combinação de *hardware* e *software* e partes eletromecânicas (*disk drives, winchester, CD, etc.*), porém o PC não foi desenhado para cumprir uma única função específica. O mesmo é usado para o trabalho, o estudo, para a comunicação e o entretenimento, sendo que de uma forma geral têm-se em todas as aplicações o mesmo *hardware* e inúmeras possibilidades de *software*. No caso dos PC's, os fabricantes vendem seu produto conscientes apenas do seu potencial, mas não imaginam qual será o seu uso.

Os sistemas embarcados não são como PC's domésticos. Frequentemente são subsistemas de um sistema maior [5], como no caso dos carros modernos, como foi exposto anteriormente. Estes sistemas podem estar interligados em rede ou trabalhando de forma isolada desempenhando a função a qual foram projetados.

A característica principal de um sistema embarcado (ou embutido) bem projetado é a facilidade de comunicação com o usuário e a forma intuitiva como ele o manipula. Essa característica faz com que o MC ou MP do sistema seja transparente ao usuário e este nem o percebe, por exemplo temos as Interfaces Homem-Máquina (IHM's) presentes nos celulares modernos. O *firmware* dos celulares é tão intuitivo que independente de idade ou sexo. O usuário muitas vezes começa a operá-lo usando suas funções básicas sem ler o manual.

A consequência direta disso é o alto custo de desenvolvimento devido à complexidade de implementação do *software*. Contudo, esta despesa poderá ser diluída no processo de fabricação em larga escala, pois os sistemas embarcados tendem à uma redução da quantidade de componentes, o que diminui o custo do projeto de *hardware*. É possível desenvolver um módulo dedicado que não contenha um processador, criando-se um circuito customizado para executar a mesma função *hardware* e *software* integrados, no entanto ele perderia a flexibilidade de alteração do produto. É melhor investir na engenharia inicial de *software*, mesmo que de custo elevado, do que na engenharia de *hardware*, uma vez que a primeira é mais flexível e aberta a novas atualizações que poderão ser demandadas pelos clientes, assim como os produtos de *softwares* aplicativos, e uma vez implementada, as alterações muitas vezes não passarão de meras poucas linhas de código sobre um sistema de *software* já concebido.

Normalmente, sistemas eletrônicos microprocessados de veículos ou de equipamentos industriais de uma fábrica automatizada, concebidos sob a ótica dos Sistema Embarcados, trabalhando sozinhos ou integrados, são frequentemente denominados de "Sistemas Inteligentes". Isto porque se utilizam de um algoritmo implementado no seu *firmware* que, ao ser executado pela sua CPU, lhes provê uma certa "inteligência" para tomada de decisões. A exemplo, no chão de fábrica de uma planta industrial, o sistema pode acionar um determinado atuador para desligar uma válvula ou uma bomba ao constatar que, dada a análise de um

sinal adquirido de um sensor, a grandeza supervisionada esteja chegando em um limite crítico, ou então, o sistema pode informar a uma unidade de supervisão remota, por meio de um protocolo de comunicação digital, a provável ocorrência do evento. Neste caso ele pode decidir entre tomar uma medida preventiva ou simplesmente repassar a análise para um nível de supervisão superior tomar a decisão.

1.1.3 Evolução e Perspectivas

O número de soluções utilizando sistemas embarcados cresce rapidamente, acompanhando as novas tecnologias disponibilizadas para fabricação de CI's, que levam a elevada miniaturização e aumento do poder e velocidade de processamento dos novos MP's e MC's. Com um potencial maior de processamento, torna-se possível a implementação de programas (algoritmos) cada vez mais complexos.

Na indústria, por exemplo, seja qual for a aplicação, o uso de CLP's permite aumentar a competitividade. Os processos que usam CLP's incluem: empacotamento, engarrafamento e enlatamento, transporte e manuseio de materiais, usinagem, geração de energia, sistemas de controle predial e de ar condicionado, sistemas de segurança, montagem automatizada, linha de pintura e para o tratamento de água. Os CLP's são utilizados nas mais diversas indústrias, incluindo alimentos e bebidas, automotiva, química, plásticos, papel e celulose, farmacêutica e siderurgia/metalurgias. Basicamente qualquer aplicação que exija um controle elétrico pode usar um CLP [3].

Para as soluções proporcionadas pelos avanços tecnológicos na área de sistemas embarcados, há um mercado mundial potencialmente grande, como por exemplo: o mercado de telefones celulares, modems, câmeras digitais, computadores de mão (PALM), sistemas de navegação GPS (*Global Positioning System*), jogos e entretenimento, dispositivos biomédicos, equipamentos industriais, entre outros. A **Figura 1.2** ilustra a grande leque de possibilidades para Aplicações dos Sistemas Embarcados (*Embedded Systems*)

Há uma pressão dos órgãos reguladores para a extensão das exigências normativas de EMC (*Electro-Magnect Compatibility*, ou Compatibilidade Eletromagnética, em português) e de redução de EMI (*Electro-Magnect Interference*, ou Interferência Eletromagnética, em português) a outros produtos fornecidos, já sendo uma realidade em alguns tipos (a exemplo de biomédicos e automotivos). Com este cenário, as portas do mercado internacional fechar-se-ão aos produtos que não estão adequados.

Nesse aspecto, estão sendo aplicados nas indústrias PC's desenvolvidos com modificações que os adequem ao trabalho nas condições agressivas de campo, sujeitos a vibração, ruídos eletromagnéticos, alta temperatura e umidade. São os chamados PC's industriais, com grande poder de processamento, flexibilidade e velocidades muito superiores aos PLC's convencionais. São uma promessa e talvez uma nova tendência, mas que ainda esbarra nos altos custos.

No que tange ao desenvolvimento, as aplicações com processamento digital de sinais em tempo real e a crescente popularização dos DSP's (*Digital Signal Processors*) são uma grande aposta de inovação na indústria nacional. É recomendável o investimento na pesquisa e desenvolvimento baseados nestes processadores, além de novas tecnologias de chips analógicos de alta velocidade.

Outra aposta é a tecnologia OMAP (*Open Media Platform*), plataforma para criação de aplicações de baixo consumo embutidas em PDA's, *Web PADS*, telemáticos, instrumentação médica, terminais de ponto de venda, celulares, multimídia e *wireless*. A OMAP já foi adotada como padrão em grandes empresas

mundiais como a *Nokia*, a *Hewlet Packard*, *Nec* e *Palm*, bem como fabricantes de *design wireless*, como a *Sendo*, a *HTC* e a *Compac*.

Outras possibilidades para o Brasil são os Sistemas Micro-Eleto-Mecânicos (*Micro-Electro-Mechanics Systems* - MEMS) com grande possibilidade de utilização em inovação tecnológica de produtos e cuja estrutura fabril pode ser adaptada a partir de unidades fabris de chips obsoletas.



Figura 1.2: Aplicações Emergentes dos Sistemas Embarcados (*Embedded Systems*).

1.2 Processamento Digital de Sinais em Sistemas Inteligentes

O Processamento Digital de Sinais (*Digital Signal Processing* - DSP) é utilizado em qualquer área onde informações são manipuladas ou controladas por um processador digital. O processamento digital de sinais oferece muitas vantagens e maior flexibilidade em relação ao tratamento analógico. Diversos procedimentos que envolvem cálculos numéricos de equações complexas, que só poderiam ser obtidos em sistemas analógicos com a utilização de equipamento especializado, complexo e caro, podem ser mais eficientemente executados no domínio digital [7].

Existe uma lista muito grande de definições do que constitui um sinal. A exemplo, a comunicação humana se desenvolve através do uso de sinais da fala. Todas as formas de comunicação pela *Internet* envolvem o uso de sinais que transmitem informações de tipos diversificados. Formalmente, um sinal é definido como “*uma função de uma ou mais variáveis, a qual veicula informações sobre a natureza de um fenômeno físico*” [8]. Em um sinal, sempre há um sistema associado à sua geração, e outro associado à extração da informação do sinal.

Em muitos casos, o sinal pode ser representado por uma tensão ou corrente elétrica analógica produzida por algum tipo de aparelho, denominado sensor. Em outros, o sinal já está na sua forma digital, como é o caso na leitura de um CD pelo CD-Player. Antes de podermos aplicar a técnica de processamento digital de sinais faz-se necessário que o sinal esteja em sua forma digital, ou seja, numérica. Um sinal analógico pode ser convertido para forma digital utilizando, por exemplo, um Circuito Integrado (CI) chamado conversor analógico para digital (*Analog-to-Digital Converter* - ADC).

O processamento digital de sinais é a ciência empregada para usar aplicações computacionais para entender estes tipos de dados chamados de sinais [7]. Isso inclui grande variedade de atividades: filtragem, reconhecimento de voz, compressão de dados, análise de dados e muitas outras.

O processamento digital de sinais distingue-se das outras áreas da ciência da computação justamente pelo tipo singular de dados sobre os quais opera, os sinais. O interesse está centrado na representação digital dos sinais e no uso dos processadores digitais para analisar, modificar, ou extrair informação dos sinais. Muitos sinais, na natureza, são analógicos, significando que eles variam continuamente no tempo. As formas mais comuns de DSP têm como variáveis de entrada os sinais analógicos, os quais são amostrados em intervalos regulares no tempo e convertidos para sua forma digital.

Como mencionado anteriormente, antes de aplicar-se a técnica de processamento digital de sinais é necessário que o sinal esteja em sua forma digital. A maioria dos sinais encontrados diretamente em ciência e engenharia são contínuos (analógicos): intensidade luminosa que se modifica com a distância, tensão que varia no tempo, velocidade de uma reação química dependente da temperatura, etc. A Conversão Analógica/Digital (ADC) e a Conversão Digital/Analógico (DAC) são os processos que possibilitam aos computadores digitais interagirem com estes sinais.

Associado ao processo de conversão, existe um transdutor, que possui a função de converter estes fenômenos analógicos em sinais elétricos de tensão ou corrente, com características adequadas para que possam ser tratados com a utilização de circuitos eletrônicos. O correto entendimento de quais informações que devem ser mantidas, e quais podem ser descartadas, indicam a seleção do número de bits, da frequência de amostragem e do tipo de filtragem analógica necessários para uma conversão analógica/digital apropriada.

A **Figura 1.3** ilustra o processo de conversão analógica/digital.

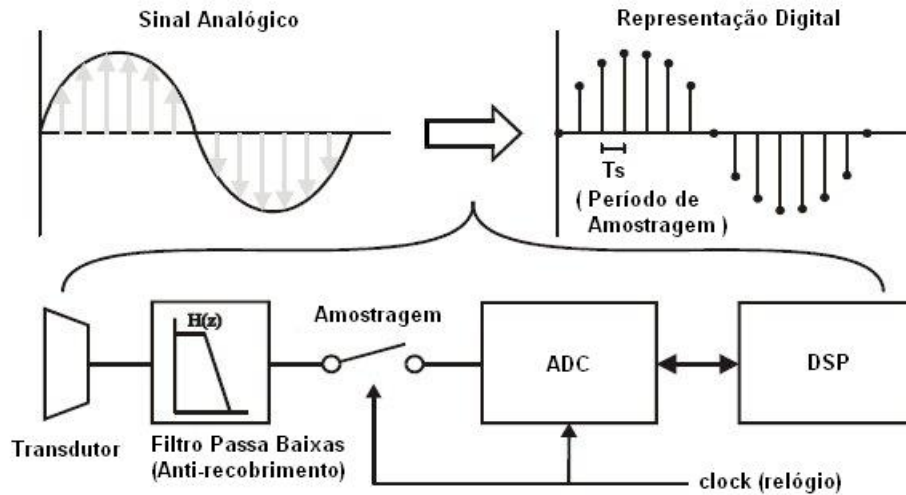


Figura 1.3: Conversão do sinal Analógico para Digital.

O processo DAC é responsável por converter os sinais digitais oriundos do processo DSP em sinais analógicos compatíveis com o meio para qual é destinado. Após a conversão DAC, o sinal passa por um filtro de saída chamado de filtro de reconstrução. Na **Figura 1.4** é ilustrado um sistema de processamento digital de sinais com seus ADC's e DAC's, inclusive os filtros de *anti-aliasing* (anti-recobrimento do espectro) e reconstrução.



Figura 1.4: Diagrama de Blocos exemplificando um Sistema de Processamento Digital de Sinais.

Sendo assim, o processamento digital de sinais engloba as técnicas e os algoritmos utilizados para manipular os sinais após estes terem sido convertidos para a forma digital. No processamento digital de sinais, quando todo o processamento é feito num intervalo bem pequeno, entre a aquisição de duas amostras consecutivas ou, simplesmente, em um tempo ideal e definido para o processamento das operações executadas [4], dizemos que o processamento é feito em tempo real para esta aplicação. É óbvio que na realidade isto não procede, pois na aquisição de um sinal contínuo em intervalos de tempo discretos, o sinal entre uma aquisição e outra é perdido, e sobre este não é aplicado nenhum processamento, mas desde que se obedeça ao critério de *Nyquist* [8, 7] na aquisição de um sinal com largura de banda de frequência definida, para o usuário, os efeitos originados desse processamento serão instantâneos, ou seja, em tempo real.

Com o advento dos microcontroladores, abordado na **Seção 1.1.1**, já há alguns anos a maioria dos equipamentos eletrônicos dotados de alguma forma de processamento digital continha um microcontrolador,

que geralmente era programado em *Assembly* (vide **Capítulo 6**).

No ambiente industrial, muitos sistemas inteligentes se desenvolveram tendo como base essa tecnologia. Eles passaram a ser utilizados para automatizar processos fabris, seja na produção, no controle ou na supervisão dos mesmos. Um exemplo típico desses equipamentos é visto na **Figura 1.5**. Trata-se de um controlador de banco de capacitores para subestações automatizadas de energia elétrica. Este equipamento tanto efetua o processamento de sinais a partir de amostras coletadas, calculando o fator de potência e os valores de tensão e corrente eficazes, quanto controla a abertura e fechamento de bancos de capacitores, além de gerenciar a comunicação remota por meio de protocolos de comunicação digitais padrões da indústria, como o *ModBus/RTU (Remote Terminal Unit)*.



Figura 1.5: CBC20 - Controlador Inteligente de Bancos de Capacitores em Subestações de Energia Elétrica Automatizadas (Cortesia da Enautec Sistemas Eletrônicos).

Os CLP's também podem ser inseridos nesse contexto. Em muitas indústrias são elementos chave para a concepção de sistemas inteligentes para automatização de processos. Na **Subseção 1.1.3** foram descritas várias das suas aplicações nesta área. No entanto, ele possui uma limitação muito séria no requisito velocidade de processamento. Um CLP padrão executa em média 1.000 instruções em cerca de 1ms. Este tempo pode ser ainda maior a depender do programa do usuário [3]. Assim, ele possui um tempo de ciclo (tempo gasto para execução de uma varredura) muito lento caso se queira efetuar o processamento de sinais em tempo real. Somado a isto, o circuito de condicionamento analógico de sinais para os ADC's das entradas analógicas da maioria dos CLP industriais são constituídos de filtros passa-baixas com uma resposta em frequência muito baixa, ou seja, com uma frequência de corte muito pequena. Essas características conferem ao CLP's desvantagens que inviabilizam a aplicação de algoritmos de DSP voltados a análise de harmônicos de ordem elevada.

Com o crescimento do mercado de produtos eletrônicos, tanto no ambiente industrial quanto no mercado de consumo, a difusão do acesso à internet e a equipamentos multimídia, hoje os sistemas dedicados necessitam reagir em tempo real, ou, no mínimo, com grande velocidade à maior quantidade de periféricos externos, como *displays* gráficos, câmeras de aquisição de foto e vídeo, captura e reprodução de som, acionamento de motores, uma grande quantidade de botões, diversas formas de comunicação, etc. [4], constituindo assim IHMs complexas, mas intuitivas ao usuário, como foi visto na **Seção 1.1.2**.

Assim sendo, com o passar dos anos, e o mundo se tornando cada vez mais digital e demandante de uma eletrônica programável com processamento "instantâneo", o surgimento dos chamados Processadores

Digitais de Sinal (DSP - *Digital Signal Processor*) veio como um grande recurso para suprir essa necessidade. Eles tornaram-se praticamente o centro desta revolução. Estes processadores, capazes de operar em tempo real, atualmente representam o segmento que mais cresce no mercado de semicondutores e são capazes de atender a crescente demanda por processamento rápido de informações (**Figura 1.6**). Os DSP's são os principais componentes em 70% dos telefones celulares existentes em todo o mundo, melhoram o desempenho dos sistemas de freios em automóveis e permitem conexões mais rápidas entre redes de computadores.



Figura 1.6: Processador Digital de Sinais da Família TMS320 (Cortesia da *Texas Instruments*).

Perceba que a sigla DSP pode ser utilizada tanto para referenciar o Processamento Digital de Sinais quanto para referenciar o Processador Digital de Sinais. Caberá ao leitor diferenciá-los dentro do contexto.

Os DSP's são MP's com características próprias que podem ser programados e operam em tempo real [9], com velocidades muito superiores aos microprocessadores para aplicações genéricas. A capacidade de processar grandes quantidades de números em pouco tempo é um dos principais benefícios que os DSP's oferecem ao mundo da eletrônica. As desvantagens de um DSP original residem no alto custo e no fato de ele ser um processador dedicado exclusivamente ao cálculo numérico voltado ao processamento digital de sinais, ou seja, um processador tipo entrada-saída, que implementa unicamente uma função de transferência. Para o gerenciamento do sistema, como comunicação com periféricos e controle das interfaces, torna-se necessária a utilização de um MC ou MP adicional e o DSP transforma-se apenas em um acessório auxiliar.

Dessa forma, os DSC's, ou Controladores Digitais de Sinais (*Digital Signal Controllers*), derivados dos DSP's, foram desenvolvidos para cobrir essa limitação dos DSP's originais. Eles atuam numa faixa intermediária entre o MP e o DSP, promovendo um bom desempenho, mas com baixo custo, além de uma grande quantidade de periféricos internos e pequenos encapsulamentos (vide **Capítulo 5**), aliando assim tanto características dos MC's quanto dos DSP's [4]. Os DSC's são muito utilizados em processamento de áudio, controle de motores, sensores e atuadores.

Eles também se diferenciam em relação a suas características construtivas internas, como os que possuem as arquiteturas clássicas: RISC (*Reduced Instructions Set Computer*) e arquitetura CISC (*Complex Instructions Set Computer*), originadas em 1980 [1]. Muitos ainda possuem arquiteturas derivadas dessas arquiteturas clássicas [4].

Como se pôde concluir, para a concepção de um equipamento ou sistemas inteligentes que efetuem um processamento de sinais complexo em tempo-real, como Filtragem Digital, Convoluções, Transformadas

Rápidas de Fourier (FFT - *Fast Fourier Transforming*), Transformadas de Fourier Discretas (DFT - *Discrete Fourier Transforming*), *Wavelets*, e etc., os MC's comuns de mercado deixariam a desejar nos requisitos velocidade, eficiência e desempenho [9], mas os sistemas inteligentes utilizando como núcleo um DSP ou um DSC poderiam ser projetados satisfatoriamente.

1.3 Objetivo do Trabalho

Este Trabalho tem como objetivo a criação de um protótipo de equipamento, utilizando a Tecnologia dos Sistemas Embarcados (*Embedded Systems*), para a aquisição de valores instantâneos da corrente de uma das fases que alimenta um motor de indução trifásico, realizar o processamento do sinal de corrente adquirido, e efetuar a estimação do valor do Torque no eixo deste motor. Em outras palavras, esta Dissertação visa a concepção de um equipamento que utilize um método de estimação do torque desenvolvido pelo motor de indução, auxiliado pela análise do espectro da corrente solicitada.

O equipamento proposto deverá ser, a priori, aplicável aos poços da PETROBRÁS que utilizem o sistema de elevação artificial de petróleo por Bombeamento por Cavidades Progressivas (BCP). De posse do valor do Torque estimado, o equipamento deverá gerar um sinal ou uma informação relativo ao torque desenvolvido na haste da bomba nos sistemas BCP para um CLP, além de atender a critérios que garantam sua inserção nos Sistemas de Supervisão de Poços Automatizados (SGPA) como será descrito no **Capítulo 2**.

A estimação do valor do Torque é feita de acordo com o método proposto em [10], apresentado como uma boa opção para estimação do torque na haste e supervisão do BCP. Como este método depende de algumas características intrínsecas do motor, além dos próprios dados de placa fornecido pelo fabricante, o equipamento contempla também a implementação do algoritmo de detecção automática de parâmetros, também por meio da análise do espectro de corrente, descrito no Trabalho da referência [11].

Dessa forma, com a utilização desses algoritmos e métodos, cuja vantagem está em não haver necessidade de interferências na estrutura mecânica do equipamento do poço, ter-se-á um instrumento de estimação não intrusivo [10, 11].

Como está demonstrado no **Capítulo 2**, a utilização de um equipamento com estas características propiciará um aumento significativo na evolução tecnológica de sistemas de supervisão e controle de poços de petróleo, a custo reduzido, o que possibilitará a sua implementação em poços antigos ou no final da vida produtiva, como é o caso da maioria dos poços da Bahia.

Para alcançar esse objetivo, este Trabalho contempla no projeto e no desenvolvimento do protótipo para o equipamento proposto, um circuito eletrônico baseado em um DSP (ou DSC), encarregado do gerenciamento do sistema, da comunicação e da supervisão remotas, e do processamento digital dos sinais adquiridos.

1.4 Antecedentes

Como antecedentes do presente Trabalho, a metodologia de utilização da análise espectral para estimação da rotação do eixo do motor e posterior utilização desta informação para determinação das características intrínsecas do motor [11] e estimação do torque no eixo do mesmo [10] foram estudadas e validadas pelas equipes dos Laboratórios de Acionamentos Elétricos e Instrumentação Eletrônica do Departamento de Engenharia Elétrica da Escola Politécnica da Universidade Federal da Bahia, utilizando uma bancada de teste equipada de um gerador funcionando como carga, um torquímetro dinâmico, um dinamômetro, um tacômetro óptico, um freqüencímetro e um motor elétrico.

Para aquisição de dados, a equipe utilizou um alicate para aquisição de sinais de corrente por meio da medição do campo magnético gerado pela mesma e um sistema de aquisição de dados da *National Instruments* (cartão de aquisição, conectores, e *LABVIEW*) [10, 11]. E para o tratamento dos dados, foi utilizada como ferramenta computacional, além do *LABVIEW*, o *software MATLAB* [11]. Os resultados obtidos geraram trabalhos e artigos técnicos apresentados em congressos, além de três dissertações de mestrado, representados pelas nas referências [10, 11, 12, 13].

A iniciativa deste Trabalho originou-se com o projeto de desenvolvimento do Sistema de Supervisão para BCP, concebido inicialmente no âmbito do Projeto-10 da Rede-10 (Rede Cooperativa de Pesquisa Norte-Nordeste em Instrumentação e Controle - REDIC) com apoio da ANP (Agência Nacional de Petróleo) e da PETROBRAS S/A, para suprir a demanda e/ou necessidade de monitoração do torque desenvolvido nas hastes das bombas de forma a evitar grandes custos futuros na manutenção por quebra os desgastes das mesmas.

1.5 Contribuições

Como principais contribuições desta Dissertação podemos enumerar:

- (i) Uma proposta de Engenharia de *Hardware* e de Engenharia de *Software* necessárias ao projeto de um equipamento inteligente, baseado em um DSP, dedicado à estimação do valor de grandezas elétricas e mecânicas em Motores de Indução Trifásicos (MIT's), tendo como foco a estimação do torque mecânico desenvolvido no eixo desses motores;
- (ii) Uma descrição sistemática do projeto e desenvolvimento de um protótipo para o equipamento proposto, com características, elementos e acessórios que o tornam próximo a um produto de mercado, comercialmente viável e adaptado ao trabalho nas condições de campo dos poços automatizados para elevação artificial de petróleo;
- (iii) A proposição de métodos, alternativas e algoritmos otimizados para implementação do Algoritmo de Detecção Automática de Parâmetros do MIT, descrito na referência [11], e do Método de Estimação do Torque no eixo destes mesmos motores, proposto na referência [10], no protótipo concebido.

Como consequência das atividades supracitadas, este Trabalho contribui adicionalmente para:

- (i) Proposição de técnicas de programação, estruturação e modularização de códigos para projeto de *firmware* multitarefa dedicado ao gerenciamento do sistema, à comunicação e ao processamento de sinais em tempo real no protótipo do equipamento fruto desta Dissertação;
- (ii) Demonstração de como se pode obter a variação da resolução DFT's mantendo um número de amostras constante, bem como a descrição da construção de um algoritmo para tal, a fim de utilizá-lo na implementação dos trabalhos citados anteriormente (referências [10, 11]);
- (iii) Apresentação de uma avaliação da aplicabilidade e das restrições em sistemas embarcados, do Algoritmo de Detecção Automática de Parâmetros do Motor de Indução, descrito em [11], e do Método para Estimção do Torque, proposto na referência [10];
- (iv) Descrição, a partir da estimção do valor do torque, da implementação de algoritmos neste mesmo protótipo, para avaliar outras grandezas elétricas e mecânicas, a exemplo, o rendimento de MIT's conforme o Trabalho realizado na referência [12].

1.6 Organização do Texto

O **Capítulo 1** aborda inicialmente a tecnologia dos sistemas embarcados. Tecnologia esta utilizada no desenvolvimento da proposta deste Trabalho. Sobre o tema, são levantados alguns conceitos, o histórico desta tecnologia, seu desenvolvimento, suas características e aplicações. Ainda neste capítulo, é apresentada uma breve discussão sobre os equipamentos inteligentes que efetuam processamento de sinais, além de um esclarecimento acerca do objetivo deste Trabalho, das contribuições ofertadas e da organização desta Dissertação.

Complementando o capítulo anterior, o **Capítulo 2** apresenta o sistema de elevação artificial de petróleo por Bombeamento por Cavidades Progressivas (BCP), foco da aplicação deste Trabalho, e sua inserção nos sistemas de gerenciamento de poços automatizados (SGPA). Neste capítulo são abordados os elementos, as características e os problemas operacionais do método de elevação BCP que o fazem requerer a estimção do valor do Torque.

Como se pôde perceber, o **Capítulo 1** e o **Capítulo 2** são capítulos introdutórios, que visam contextualizar o leitor frente o problema e a aplicação, compondo, assim, as justificativas para o desenvolvimento deste Trabalho.

Uma vez apresentados todos os conjuntos constituintes do sistema, o **Capítulo 3** apresenta, como fruto de uma pesquisa de campo, o levantamento dos requisitos adicionais e necessários ao desenvolvimento do equipamento proposto para que, além de atender à estimção do valor do torque, possa ser instalado num poço BCP de forma integrada ao SGPA.

Ao tratar da revisão bibliográfica, o **Capítulo 4** aborda toda a fundamentação teórica básica descrita na literatura, necessária e utilizada no desenvolvimento deste Trabalho. Toda essa fundamentação inicia-se com os motores de indução, aborda os trabalhos anteriores (referências [10, 11, 12]), bem como suas metodologias que serviram de base para a concepção do equipamento proposto e finaliza discutindo as ferramentas

utilizadas para o Processamento Digital de Sinais efetuado no equipamento fruto deste Trabalho. Como neste capítulo são transcritos os aspectos teóricos genéricos, a teoria específica a qual está fundamentada cada contribuição é abordada dentro de tópicos da própria contribuição, como forma de fundamentar a sua justificativa. Até aqui, o leitor já terá tido acesso a maior parte dos conceitos teóricos básicos, preliminares e necessários, para a compreensão do conteúdo da Dissertação, objetivando o entendimento ou um vocabulário comum sobre alguns conceitos e definições.

Continuando, no **Capítulo 5** é descrito todo o desenvolvimento do *hardware* do equipamento. As topologias propostas de circuitos eletrônicos são apresentadas do projeto à concepção. Dentro do projeto, são descritas as tecnologias de mercado adotadas, os componentes eletrônicos fundamentais utilizados, a especificação e tópicos sobre o dimensionamento, bem como todas as ferramentas de *design* e simulação utilizadas. Dentro da concepção, são apresentadas as soluções encontradas para o *layout* das placas eletrônicas e para a caixa de acondicionamento dessas placas.

Dando seguimento a abordagem da solução proposta por esta Dissertação, o **Capítulo 6** descreve todo o desenvolvimento do *firmware* do equipamento. Neste capítulo são descritos os algoritmos implementados tanto para gerenciamento do sistema e comunicação remota, quanto para o processamento de sinais, além da descrição do *software* implementado em plataforma PC (*Personal Computer*). Este *software* é um aplicativo visual, com características comerciais, para parametrização e supervisão remota do equipamento. O capítulo inicia com uma breve introdução a respeito das linguagens e filosofias de programação, bem como o formato adotado para variáveis como proposta para utilização no processamento digital de sinais. Após esses tópicos introdutórios, são apresentadas as soluções encontradas para implementar e otimizar, no *firmware* do equipamento proposto, o algoritmo descrito em [11] e a metodologia descrita em [10], juntamente com propostas de modificação de ambos visando a implementação em sistemas embarcados.

No **Capítulo 7** são descritos todos os métodos, ferramentas, equipamentos e ambientes utilizados para testar e validar experimentalmente o funcionamento do protótipo do equipamento, bem como avaliar os resultados apresentados e a aplicabilidade dos métodos e algoritmos utilizados como referência, tanto no aspecto erros quanto no aspecto desempenho.

As conclusões principais obtidas sobre o Trabalho realizado são apresentadas no **Capítulo 8**. Adicionalmente neste capítulo, são citadas algumas dificuldades encontradas na realização do Trabalho e abordadas perspectivas para o equipamento proposto, bem como sugestões para trabalhos futuros. De acordo com o exposto na **Seção 1.5**, o material mais denso das contribuições está contido nos **Capítulos 5, 6, 7 e 8**, mencionados anteriormente.

Encerrando a Dissertação, o **Capítulo 9** aborda algumas considerações finais comentando e enfocando aspectos gerais relevantes e não cobertos na descrição técnica do Trabalho realizado e apresentado. São feitas, neste capítulo, breves discussões a respeito da engenharia integrada de desenvolvimento de produtos e a inovação tecnológica no país, bem como a contribuição deste Trabalho para mesma. Nas últimas páginas desta Dissertação, após o **Capítulo 8**, estão registradas as **Referências Bibliográficas** utilizadas e, posteriormente nos **Apêndices**, informações adicionais a respeito de elementos do protótipo desenvolvido, constituindo parte da documentação levantada no projeto de desenvolvimento do protótipo (esquemáticos, *layouts*, especificações, etc.).

Capítulo 2

Aplicação do Equipamento em Sistemas BCP

EM poços de petróleo, os métodos de elevação do óleo podem ser divididos em duas categorias: o natural e o artificial. No método natural, o petróleo é coletado na superfície aproveitando-se da própria pressão interna do poço. No artificial, utiliza-se de mecanismos feitos pelo homem no intuito de provocar a elevação do óleo. Os métodos artificiais são empregados na impossibilidade de uma elevação espontânea, ou seja, quando a pressão de fundo do poço não é suficiente para fazer o fluido emergir à superfície, como ocorre no caso de estar no fim da sua vida produtiva, ou simplesmente por uma característica própria do poço. Nesse contexto, o Bombeio por Cavidades Progressivas (BCP) é um dos métodos de elevação artificial mais empregados. A **Figura 2.1** ilustra um poço com BCP.

Nesta técnica, bombeia-se com eficiência fluidos de alta e baixa viscosidade mesmo com areia [14]. O BCP possui torque uniforme e consome menos energia que outros métodos, a exemplo, o Bombeio Mecânico (BM) ilustrado na **Figura 2.2**. O equipamento para BCP também é menor, oferecendo mais facilidade de transporte e manuseio[14].

O método BCP é aplicado em poços pouco profundos, até 2.000 metros. Sua aplicação iniciou-se no Brasil em 1983, em fase experimental [10]. Teve rápida difusão devido à simplicidade e às vantagens citadas anteriormente. O acionamento é feito na superfície, semelhante ao BM.



Figura 2.1: Poço com BCP.



Figura 2.2: Poço com BM.

2.1 Princípio e Elementos do Sistema BCP

Na superfície do poço há um cabeçote, com redução, acionado por um motor elétrico e acoplado por correias e polias, como ilustrado na **Figura 2.3**. A princípio, usavam-se apenas estas polias para adequar a velocidade da bomba. Atualmente, o motor elétrico empregado é um de indução trifásico e nele é aplicado um inversor de frequência para sua alimentação e variação de velocidade.

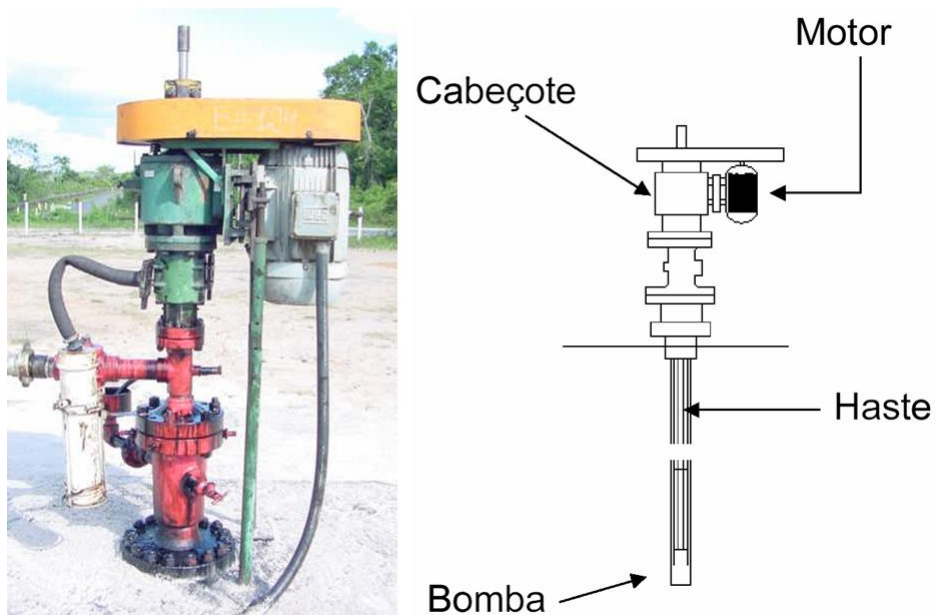


Figura 2.3: Elementos do Sistema BCP.

A bomba no método BCP trabalha submersa no fundo do poço, sendo constituída de um rotor helicoidal de aço e de um estator de material macio, geralmente um elastômero [14], conforme mostrado na **Figura 2.4**.



Figura 2.4: Detalhamento da Bomba/Haste no Sistema BCP.

O transporte do petróleo ocorre devido a geometria do conjunto. Ao formar uma série de cavidades idênticas, o giro do rotor desloca progressivamente o óleo no sentido de bombeio [14]. Sem necessidade de válvulas, o acionamento (giro do rotor) pode ser originado no cabeçote do poço na superfície e transmitido à bomba por meio de hastes, ou pode ser originado diretamente no fundo do poço por meio de um motor elétrico ou hidráulico acoplado à bomba [14].

2.2 Inconveniências do Método BCP

O método BCP apresenta inconveniências traduzidas em dois sérios problemas operacionais: o primeiro é o torque em excesso na haste que movimenta a bomba no fundo do poço, e o segundo é um torque muito abaixo do normal.

A ocorrência do primeiro caso, o torque elevado, pode partir a correia de acoplamento ao motor e/ou romper a própria haste, paralisando a produção até que se possa corrigir o defeito [13]. A substituição da haste rompida é um processo complexo. Neste, faz-se necessária a remoção de uma coluna de hastes com centenas de metros, bem como a coluna de produção e a bomba. Quando há rompimento da estrutura tem-se que resgatar o que caiu no fundo do poço usando equipamentos especiais e mão de obra especializada para a tarefa. Dependendo da situação, a recuperação do poço pode demorar semanas, com grandes prejuízos relacionados a gastos com equipamentos, mão de obra e perda de produção com o poço parado [13], traduzindo, no final, grandes perdas financeiras.

O segundo problema, torque muito abaixo do normal, causa fator de potência baixo na rede elétrica e pode indicar a não ocorrência de fluxo do fluido, o que poderia danificar o elastômero do estator, impedindo com isso a perfeita rotação da haste e, conseqüentemente, elevando o torque, voltando assim ao problema anterior. Isto porque a existência de fluxo de fluido é importante para lubrificação e refrigeração do subsistema mecânico do poço [13].

Dados os problemas supracitados, torna-se clara a elevada importância da variável torque ao sistema BCP. A análise do torque fornece informação valiosa sobre o carregamento do motor elétrico, viabilizando ações para evitar que o sistema opere em algumas das situações perigosas descritas acima.

Um método provável para medir o torque desenvolvido na haste no método BCP, é a instalação de um torquímetro na haste, como no esquema da **Figura 2.5**. No entanto, um torquímetro dinâmico é um equipamento pouco robusto e de alto custo [13], principalmente levando-se em conta que deve ser instalado na superfície do poço, ao ar livre, sujeito às intempéries e ao vandalismo. Muitos poços na Bahia, a exemplo os do complexo da Bacia Rio Pojuca, funcionam com pouca presença humana, acarretando furtos de equipamentos caros. Outro aspecto negativo é a instalação do equipamento. Para que isto seja feito, é necessário interromper o processo paralisando a produção, para desacoplar o motor do cabeçote e inserir o torquímetro no acoplamento, como mostrado na **Figura 2.5**. Dessa forma, esta solução propicia um alto grau de intrusividade ao sistema.

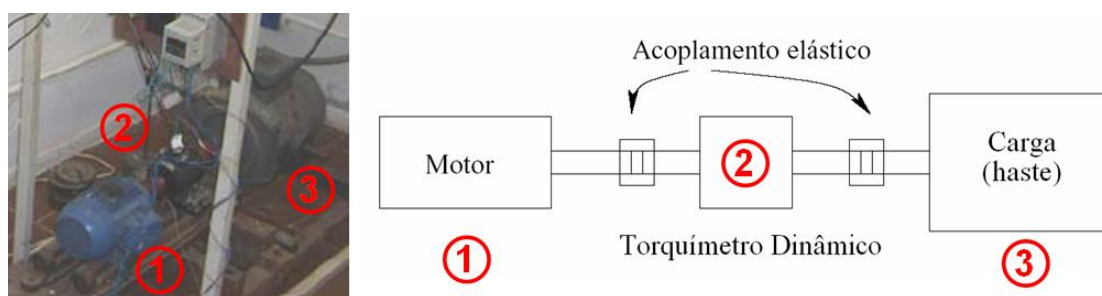


Figura 2.5: Método provável, mas inconveniente, para medição do torque no Sistema BCP.

Os mesmos inconvenientes são também observados analisando a possibilidade de inserção do torquímetro no eixo do motor no cabeçote. Esse artifício teria como vantagem o funcionamento sob torques menores, aplicando apenas uma transformação matemática utilizando o fator de redução do redutor ao equacionamento do torque. Sob torques menores, também seria mantida a integridade do rotor [13].

2.3 Sistema de Supervisão para BCP

Desde o início da era da automação dos poços de petróleo, a Petrobrás possui, no recôncavo baiano, em torno de 200 poços com bombeamento BCP ligados a um Sistema de Gerenciamento de Poços de Petróleo Automatizados (SGPA).

Num local de um poço automatizado com BCP, como ilustra a **Figura 2.6**, têm-se armários lacrados (**Figura 2.7**), contendo no seu interior equipamentos eletrônicos destinados a automação do poço: o inversor de frequência trifásico que alimenta e comanda o motor de indução, um CLP, atuando diretamente no poço com sensores e atuadores, *links* de rádio para transferência remota de dados para supervisão, além de todo um conjunto de cabos específicos bem como outros acessórios. Dessa forma, os poços tornam-se autônomos, praticamente independentes da presença humana e mais protegidos contra furtos e roubos.

O emprego do SGPA está inserido no contexto da evolução dos sistemas de controle inteligentes. Os preços cada vez mais baixos de equipamentos industriais inteligentes (apresentados e discutidos na **Subseção 1.1.2**) fez o nível de automação dos poços aumentar significativamente [13]. Também, a inserção do inversor no controle do motor permitiu controlar a velocidade de forma mais efetiva, adequando à condição de maior eficiência do bombeamento e menor desgaste do equipamento.



Figura 2.6: Local de um poço BCP automatizado.



Figura 2.7: Armário de um poço BCP automatizado.

Um campo de produção de petróleo pode conter centenas ou milhares de poços. Como consequência da automação crescente desses poços, eles passaram a gerar um volume muito grande de informações que necessitam ser analisadas por engenheiros operadores. Em algumas situações, estas análises necessitam ser feitas para decidir sobre a necessidade de intervenção na operação do poço, objetivando assegurar a integridade do sistema de produção. Para atender a essa demanda, no Nível 1 do SGPA os equipamentos trabalham integrados, comunicando-se entre si, ou com um CLP, por meio de protocolos de comunicação digitais ou interfaces analógicas como o padrão de corrente industrial de 4 a 20 mA. Os dados coletados pelo CLP são transmitidos via *link* de rádio para um sistema supervisor inteligente do Nível 2, cujos dados supervisionados são analisados no Nível 3. Como resultado dessa análise, são feitos diagnósticos para tomada de ações de correção e melhoria dos sistemas de elevação. São usadas técnicas de Inteligência Artificial (IA) tais como Redes Neurais Simbólicas (RNS) e Lógica Fuzzy para aplicação do conhecimento de especialistas em engenharia de petróleo [13].

Apesar de toda a filosofia desse sistema, da forma como ele está implantado atualmente não há uma informação adequada do torque na haste ou no eixo do motor, grandeza relevante a ser supervisionada, como demonstrado na **Seção 2.2**. No ano de 2007, têm-se registros na PETROBRAS de acidentes com operadores num dos poços da Bacia Rio Pojuca, sendo que um deles resultou em óbito de um dos operadores devido a quebra da correia e a destruição do cabeçote causadas pelo alto torque na haste. Devido a este fato, como também aos problemas operacionais citados na **Seção 2.2**, tem-se avaliado as vantagens que esta estimação poderia trazer ao SGPA em termos de eficiência e segurança. Além do exposto, uma prévia detecção de falhas permitiria um planejamento oportuno da manutenção preventiva e corretiva do sistema de elevação artificial, de modo a atenuar os impactos provocados pelas paradas e reduzir custos de operação [13].

Capítulo 3

Requisitos para o Equipamento Proposto

DE acordo com a **Seção 2.2**, um equipamento que meça ou estime o valor do torque é uma necessidade, mas ele não deve atendê-la unicamente. Para poder ser inserido no SGPA, descrito na **Seção 2.3**, o equipamento selecionado deverá atender a uma série de requisitos que garantam sua plena operação em consonância com as características dos equipamentos já existentes nesse sistema. A seguir serão apresentados requisitos prioritários e sugeridos pelos técnicos e engenheiros da PETROBRÁS para compor as especificações do equipamento proposto.

3.1 Exatidão Satisfatória

De acordo com os técnicos e engenheiros consultados, não há uma exigência rigorosa para definir a exatidão do aparelho. Ela será aceitável dentro de um erro máximo em torno de 10%, o que seria suficiente para que se consiga distinguir faixas de condições de operação normal e anormal, ou para permitir traçar dados de oscilografia para acompanhamento da evolução da variável torque na haste do poço. Não há necessidade de um erro máximo absoluto de décimos ou centésimos percentuais do torque.

3.2 Critérios Físicos e Mecânicos

O primeiro critério diz respeito às características mecânicas máximas e dimensões do equipamento proposto. Na **Figura 3.1** temos aberto o mesmo armário da **Figura 2.7**. A maioria dos equipamentos e acessórios desses poços, como fontes de alimentação, disjuntores, interfaces e outros, quando localizados dentro dos armários, além de terem um caráter modular, devem ser fixados e instalados em trilhos DIN.

Um trilho DIN (do acrônimo alemão para ‘*Deutsches Institut für Normung*’ e.V. ou, em português, Instituto Alemão de Padronização), ou também chamado trilho “*top-hat*” (topo de chapéu), é um trilho de metal padronizado de 35 milímetros com forma de chapéu no corte lateral, como na **Figura 3.2**. Ele é

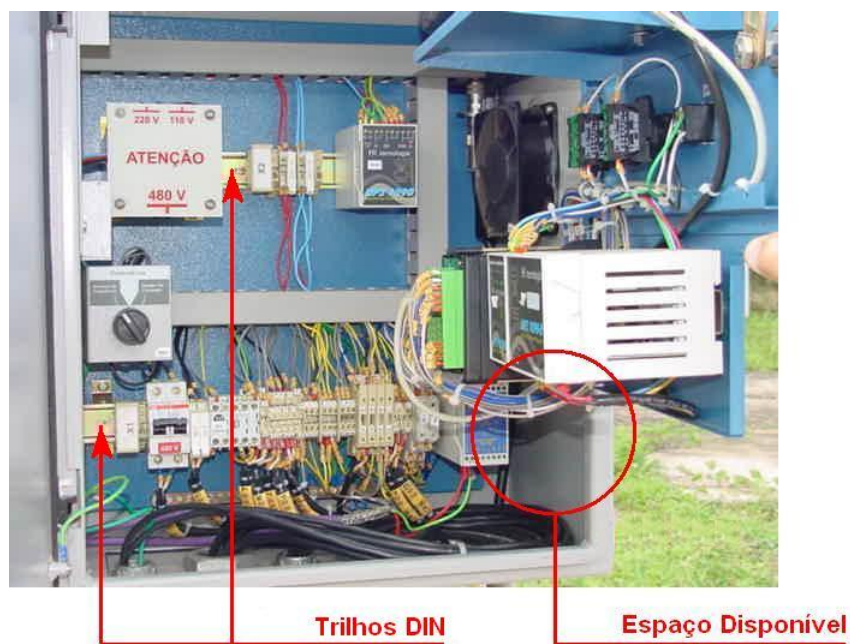


Figura 3.1: Armário aberto de um poço BCP automatizado.

usado extensamente, especialmente na Europa, para montagem de disjuntores e equipamentos industriais de atuação, controle e supervisão, dentro de *racks* de quadros elétricos (**Figura 3.3**).

Além do popular trilho DIN de 35 milímetros, o TS35 (especificado nas normas EN 50022, BS 5584 e EN 60715), diversos tipos menos usados de trilhos de montagem foram padronizados:

- 15 mm wide top-hat rail (EN 50045, BS 6273);
- 75 mm wide top-hat rail (EN 50023, BS 5585);
- G-type rail (EN 50035, BS 5825).

De acordo com informações adquiridas de Engenheiros da PETROBRÁS que operam nos poços BCP da Bahia, todos os trilhos DIN dos armários desses poços são de 35 mm, ou seja, TS35. Não existem nesses poços nenhum dos trilhos menos usados especificados acima. Sendo assim, para adequação do equipamento, a caixa de acomodação das placas eletrônicas deve seguir o mesmo padrão de fixação, ou seja, ela deve permitir a fixação em trilho DIN TS35.

Além desse requisito, como pode-se perceber na **Figura 3.1**, existe um espaço limitado para acomodação do equipamento, criando uma exigência quanto ao tamanho máximo da caixa. Uma possibilidade é a instalação no local indicado pelo círculo na **Figura 3.1**. O equipamento deve ter dimensões reduzidas para caber neste espaço. Tendo por base o espaço sugerido para instalação (informação obtida por meio visitas aos poços, para inspeção dos armários e entrevistas com engenheiros e operadores de campo) as dimensões máximas que definem o volume do espaço necessário para instalação foram especificadas como sendo:

- Largura Máxima (L_{max}): 90,0 mm;

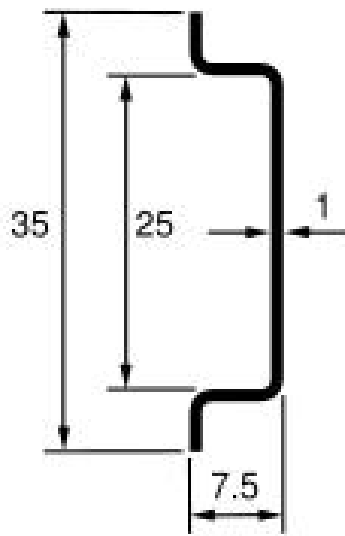


Figura 3.2: Corte transversal do Trilho DIN TS35.



Figura 3.3: Equipamento instalado em Trilho DIN.

- Altura Máxima (H_{max}): 80,0 mm;
- Profundidade Máxima (W_{max}): 150,0 mm.

Um outro critério sugerido pelos engenheiros da PETROBRÁS diz respeito ao material com o qual deve ser feita a caixa. A caixa deverá ser plástica, ao invés de metálica, para aumentar a isolação, reduzir problemas com curto circuito, ferrugem e ainda reduzindo o peso do equipamento, que será sustentado apenas pela fixação no trilho DIN. Além disso, como todos os outros equipamentos (fontes, interfaces, acopladores e disjuntores) têm suas caixas feitas de material plástico, o ideal seria o equipamento seguir a mesma linha.

Além do critério de a caixa ser plástica, ela deve possuir borneiras parafusadas para fixação de cabos elétricos de sinal e alimentação, visto que no cabeamento interno dos armários, a maioria das conexões nos equipamentos é feita por meio de borneiras parafusadas. Elas localizam-se nas laterais da parte frontal das caixas plásticas, ou nas laterais superior e inferior, ou nas laterais esquerda e direita.

3.3 Adequação da Alimentação do Equipamento

Grande parte dos dispositivos eletrônicos instalados nos armários de um poço automatizado BCP, são alimentados por uma fonte de tensão contínua externa. No caso do poço alvo desta experimentação, é utilizada dentro dos armários uma fonte de alimentação modular de +24 V_{DC}, encarregada de alimentar o CLP utilizado no armário do poço, além de todos os outros módulos. As conexões para distribuição da alimentação para os aparelhos vizinhos são feitas, no módulo da fonte, por meio de borneiras parafusadas. Tanto o modelo da fonte de alimentação quanto o modelo do CLP, adotados no poço BCP pesquisado e

ilustrados respectivamente na **Figura 3.4** e na **Figura 3.5**, são da empresa de automação industrial “HI Tecnologia”. Atualmente, ambos estão descontinuados pela empresa, mas ainda existem em alguns dos poços BCP.



Figura 3.4: Fonte de Alimentação UPS1090-24 adotada no poço BCP pesquisado (Cortesia da HI Tecnologia).



Figura 3.5: CLP ZAP500 adotado no poço BCP pesquisado (Cortesia da HI Tecnologia).

Para se adequar aos recursos disponíveis no armário do poço, a fonte e o CLP citados acima, o equipamento de estimação de torque proposto por este Trabalho deverá ser especificado para receber uma alimentação contínua compatível em tensão ($+24 V_{DC}$) e corrente máxima de consumo que a fonte apresentada pode oferecer. Dadas as especificações técnicas dessa fonte e a estimativa do consumo dos outros módulos a ela conectados, foi restringido o consumo máximo de corrente para o aparelho de 1,5A. Caso haja necessidade de se alimentar outros módulos, ultrapassando a capacidade de fornecimento de corrente da fonte, outra deverá ser instalada no interior do mesmo armário.

3.4 Operação em Condições de Campo

Muitos dos equipamentos de um poço automatizado operam ininterruptamente dentro dos armários, funcionando 24 hs/dia sob as condições de operação de campo (**Figuras 2.6 e 2.7**). Estas condições podem afetar a integridade física dos equipamentos, o seu funcionamento normal, ou ambos ao mesmo tempo.

Dentre as condições que afetam a integridade física, ou seja, desgaste de partes mecânicas, oxidação, danificação de componentes eletrônicos e etc, temos a temperatura dentro dos armários, onde se localizam os equipamentos e acessórios, a umidade do ar, as condições de tempo, o salitre, ou seja, as intempéries em geral.

As condições que afetam o funcionamento dizem respeito às interferências decorrentes da interação entre os equipamentos dispostos no mesmo local. Como há a presença de equipamentos eletrônicos digitais ou de potência nos arredores, como inversores de frequência, disjuntores e chaveadores, o equipamento estará exposto a ruídos e EMI's (*Electro Magnetic Interferences*, ou Interferências Eletromagnéticas), como também,

o próprio equipamento não deverá gerar ruídos ou interferências eletromagnéticas para os equipamentos vizinhos. Portanto, ele deverá ser compatível eletromagneticamente com o meio que o circunda.

Claro que uma vez afetada a integridade física do equipamento, devido à maresia, ao salitre e às intempéries, o seu funcionamento também será afetado, em um prazo curto ou longo a depender da gravidade e da extensão do dano provocado.

Em suma, o equipamento proposto para estimação do Torque deve estar apto a funcionar plenamente exposto aos rigores das condições de campo citados acima, e a um longo período de tempo sem apresentar falhas, ou seja, o equipamento a ser concebido deverá ter uma boa curva MTBF (*Mean Time Between Failures*, ou em português, Tempo Médio Entre Falhas).

3.5 Adequação ao MIT Especificado

Os motores elétricos empregados nos poços com BCP investigados normalmente são Motores de Indução Trifásicos (MIT's) da indústria WEG Equipamentos Elétricos S/A, conforme apresentado na **Figura 3.6**.



Figura 3.6: MIT de um poço BCP.

Esses motores são alimentados por inversores escalares com variação da frequência de alimentação de 30 a 90 Hz . A maioria dos motores instalados têm como especificações principais:

- Descrição: Motor de Indução Trifásico (MIT);
- Tipo de Ligação: Delta (Δ);
- Tensão de Alimentação Nominal fase-fase (V_n): 380,0 V_{RMS} ;
- Frequência Nominal de Alimentação (f_n): 60,0 Hz ;
- Corrente de Alimentação Nominal (I_n): 36,0 A ;
- Potência Nominal (P_n): 15 CV ;

Será estimado o torque desenvolvido no eixo de motores elétricos com as características supracitadas, sendo assim, as especificações acima serão essenciais para o dimensionamento dos circuitos de condicionamento de sinais do protótipo do equipamento proposto.

3.6 Interface Máquina-Máquina (IMM) Compatível

O poço automatizado opera com um mínimo de presença humana. A intervenção humana apenas se justifica nos momentos da instalação de novos aparelhos, da manutenção, da substituição ou inspeção de equipamentos ou acessórios já existentes.

Para atuar dessa maneira, os dispositivos devem estar aptos para trabalhar integrados entre si ou com uma unidade central no campo, responsável por supervisionar todos os processos, relatando possíveis ocorrências de defeitos, gerando alarmes, ou simplesmente reportando valores das grandezas supervisionadas ao nível mais alto do SGPA. A unidade central também tem meios de acionar atuadores para efetuar controle do processo ou intertravamentos quando da detecção de determinada anormalidade.

Toda essa integração entre módulos, dispositivos ou equipamentos inteligentes é feita por meio da comunicação. Os dispositivos físicos que permitem essa comunicação são as Interfaces Máquina-Máquina (IMM). Serão apresentadas a seguir interfaces e o protocolo de comunicação que devem ser incorporados ao equipamento proposto, constituindo seus recursos de IMM, para atendimento aos critérios de inserção no SGPA.

3.6.1 Interface de Corrente

Um sinal elétrico, se propagando ao longo de um condutor, está sujeito a ruídos e a atenuação do próprio cabo, devido ao fato de sua resistência elétrica aumentar proporcionalmente com o aumento do comprimento do mesmo.

Uma solução antiga para estes dois problemas, mas que ainda persiste no ambiente industrial devido à simplicidade do seu princípio, é a transmissão da informação por meio de um sinal de corrente padrão de 4 a 20 mA (4-20 mA). O princípio se baseia no fato de, como o sinal é de corrente, independentemente da variação da resistência do condutor a corrente não se altera e com relação aos ruídos, estes normalmente são sinais de tensão que não afetam a informação contida no sinal de corrente [15].

A conexão por meio do padrão 4-20 mA é também conhecida como *loop* (elo) 4-20 mA [15]. Ela é dimensionada para que, por meio de uma função de transformação, o sinal de corrente analógica a ser transmitida varie proporcionalmente ao valor da grandeza supervisionada, assumindo o valor de 4mA para o valor mínimo da grandeza (normalmente o valor nulo da grandeza) e 20mA para o valor máximo. Com isso, tem-se a vantagem adicional da possibilidade de detecção da danificação ou ausência do *loop* de corrente, uma vez que, dada a abordagem do padrão, uma corrente de 0,0 mA recebida na estação remota de supervisão representaria um valor incoerente [15]. Como desvantagem, tem-se a obrigatoriedade da determinação, a priori, do valor máximo da grandeza que pode ser medido, limitando a faixa de medição. No padrão de telemetria com sinais 4-20 mA , a corrente é convertida num sinal de tensão por meio de uma resistência de entrada do receptor de 250 Ω [15]. Um diagrama para o sistema é visto na **Figura 3.7**.

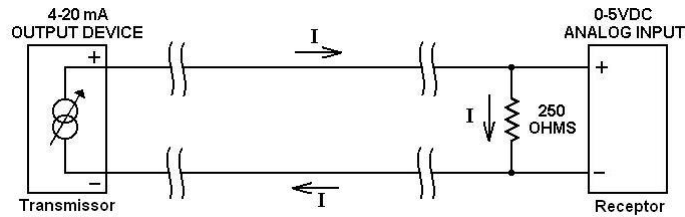


Figura 3.7: Diagrama de um sistema de telemetria com interface 4-20mA.

O equipamento proposto deverá conter, nas suas especificações, uma interface de corrente analógica no padrão 4-20mA, como descrita acima, para transmitir a informação relativa ao torque para o CLP utilizado no poço (**Figura 3.5**), logo, a saída de corrente do equipamento deverá ser compatível com a especificação da entrada analógica de corrente deste CLP.

3.6.2 Interface de Comunicação Serial RS-232

A maioria das mensagens digitais são mais longas que alguns poucos bits, inviabilizando o uso de vários cabos de sinais para transportá-los. Sendo assim, por não ser prático nem econômico transferir todos os bits de uma mensagem simultaneamente, a mensagem é quebrada em partes menores e transmitida seqüencialmente por um canal um bit por vez. Isto é chamado transmissão bit-serial. Ela é normalmente chamada de transmissão serial, e é o método de comunicação escolhido por diversos periféricos de computadores, produtos eletrônicos de consumo e equipamentos industriais inteligentes. Nela, cada bit representa uma parte da mensagem. Os bits individuais são rearranjados no destino para compor a mensagem original. Em geral, pelo canal os bits trafegarão num dos três sentidos possíveis: *simplex* (um único canal, um único sentido), *half-duplex* (um único canal, sentido reversível) ou *full-duplex* (dois canais, dois sentidos) [16].

Em sistemas assíncronos (sistemas de comunicação seriais que, ao contrário dos sistemas síncronos, não possuem uma linha de sinal de *clock* ou relógio), o transmissor e o receptor devem ser configurados antecipadamente para que a comunicação se estabeleça a contento (mesmo tempo de transmissão de um bit, mesmo formato dos dados, mesma quantidade de bits de parada, etc.). Um oscilador preciso no receptor irá gerar um sinal de *clock* interno igual (ou muito próximo, com um erro em frequência desprezível) ao do transmissor que, juntamente com a configuração idêntica das portas seriais do transmissor e do receptor, propiciarão o envio e a recuperação da informação sem a necessidade do envio do sinal de *clock*.

O padrão RS-232 (“RS” é uma abreviação de “*Recommended Standard*”) define uma interface física comum para comunicação de dados entre equipamentos, criada no início dos anos 60, por um comitê conhecido atualmente como “*Electronic Industries Association*” (EIA) [16]. Naquela época, a comunicação de dados compreendia a troca de dados digitais entre um computador central (*mainframe*) e terminais de computador remotos, ou entre dois terminais sem o envolvimento do computador. Estes dispositivos poderiam ser conectados através de linha telefônica, e conseqüentemente necessitavam de um *modem* (modulador-demodulador) em cada lado para fazer a decodificação dos sinais. Dessas idéias nasceu o padrão RS-232. Ele especifica as tensões, temporizações e funções dos sinais, um protocolo físico (definido por *hardware*) para troca de informações e as conexões mecânicas. Pela Norma RS-232, só é permitida a conexão ponto-a-ponto,

ou seja, não há barramento (“bus”). Numa rede com esse padrão, não pode haver conexão direta de um equipamento a outros que porventura estariam “pendurados” ao barramento.

Na comunicação serial, a taxa de transferência refere-se à velocidade com que os dados (bits) são enviados através de um canal e é medida em transições elétricas por segundo. Na norma EIA-232, ocorre uma transição de sinal por bit e as taxas de transferência e de bit (*bit rate*) são idênticas. Nesse caso, uma taxa de 9600 *bauds* corresponde a uma transferência de 9600 bits por segundo, ou um período de aproximadamente, 104 μ s (1/9600 s). O comprimento do pacote de dados é pequeno em sistemas assíncronos para minimizar o risco dos osciladores do transmissor e do receptor variarem. Quando osciladores a cristal são utilizados, a sincronização pode ser garantida sobre os 11 bits de período. A cada novo pacote enviado, o “*start bit*” “reseta” a sincronização, portanto a pausa entre pacotes pode ser longa.

Assim, no formato do protocolo físico (definido por *hardware*) RS, ilustrado na **Figura 3.8**, os dados são enviados em pequenos pacotes de 10 ou 11 bits, dos quais 8 constituem a mensagem. Quando o canal está em repouso, o sinal correspondente no canal tem um nível lógico ‘1’. Um pacote de dados sempre começa com um nível lógico ‘0’ (“*start bit*”) para sinalizar ao receptor que uma transmissão foi iniciada. O “*start bit*” inicializa um temporizador interno no receptor avisando que a transmissão começou e que serão necessários pulsos de *clocks*. Seguido do start bit, 8 bits de dados de mensagem são enviados na taxa de transmissão especificada. O pacote é concluído com os bits de paridade e de parada (“*stop bit*”).

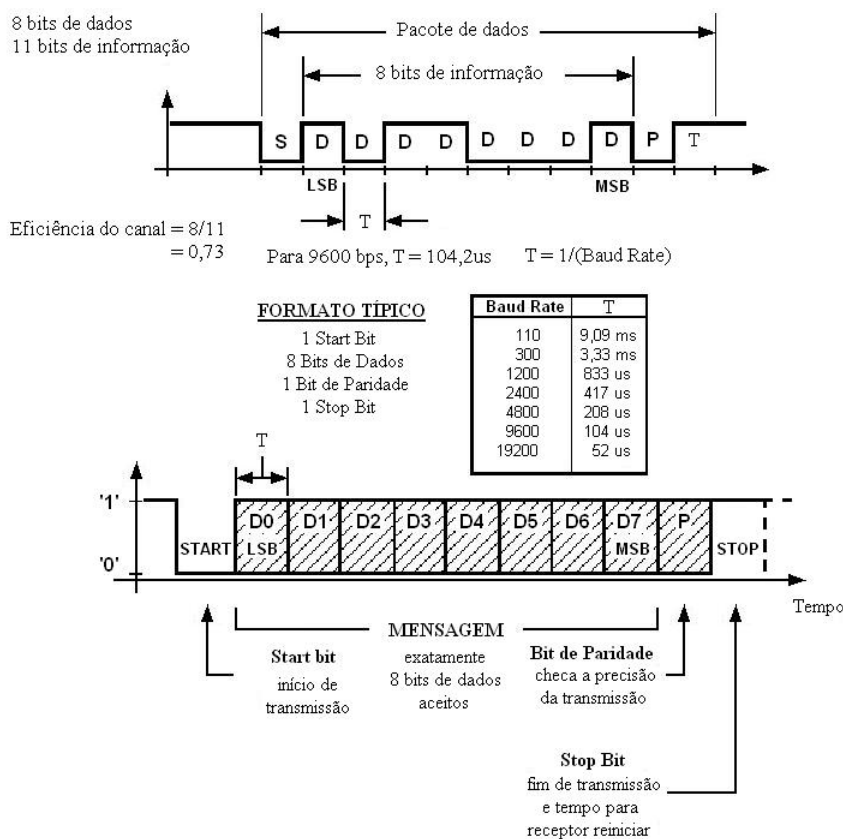


Figura 3.8: Formato do *frame* de dados seriais RS-232.

A mais de 30 anos, desde que essa padronização foi desenvolvida, a EIA publicou três modificações. A mais recente, EIA-232E, foi introduzida em 1991 [16]. Ao lado da mudança de nome de RS-232 para EIA-232, algumas linhas de sinais foram renomeadas e várias linhas novas foram definidas. Embora tenha sofrido poucas alterações, muitos fabricantes adotaram diversas soluções mais simplificadas que tornaram impossível a simplificação da padronização proposta [16]. As maiores dificuldades encontradas pelos usuários na utilização da interface RS232 incluem pelo menos um dos dois seguintes fatores:

1. A ausência ou conexão errada de sinais de controle, podendo resultar em estouro do *buffer* (“*overflow*”) ou travamento da comunicação;
2. Função incorreta de comunicação para o cabo em uso, resultante da inversão das linhas de Transmissão e Recepção, bem como a inversão de uma ou mais linhas de controle (“*handshaking*”).

Felizmente, os *drivers* utilizados são bastante tolerantes aos erros cometidos, e os CI's normalmente resistem às condições impróprias de operação.

Na EIA-232, o equipamento que faz o processamento dos sinais é chamado DTE (*Data Terminal Equipment*, usualmente um computador ou terminal), tem um conector *Centronics* DB25 macho, e utiliza 22 dos 25 pinos disponíveis para sinais ou terra. O equipamento que faz a conexão (normalmente uma interface com a linha telefônica) é denominado de DCE (*Data Circuit-terminating Equipment*, usualmente um modem), tem um conector DB25 fêmea, e utiliza os mesmos 22 pinos disponíveis para sinais e terra [16]. Atualmente, no DTE é utilizado um conector *Centronics* DB9 macho e no DCE um conector DB9 fêmea. Na **Figura 3.9** têm-se um diagrama dos equipamentos envolvidos (DTE e DCE) e na **Figura 3.10** têm-se os conectores padronizados.

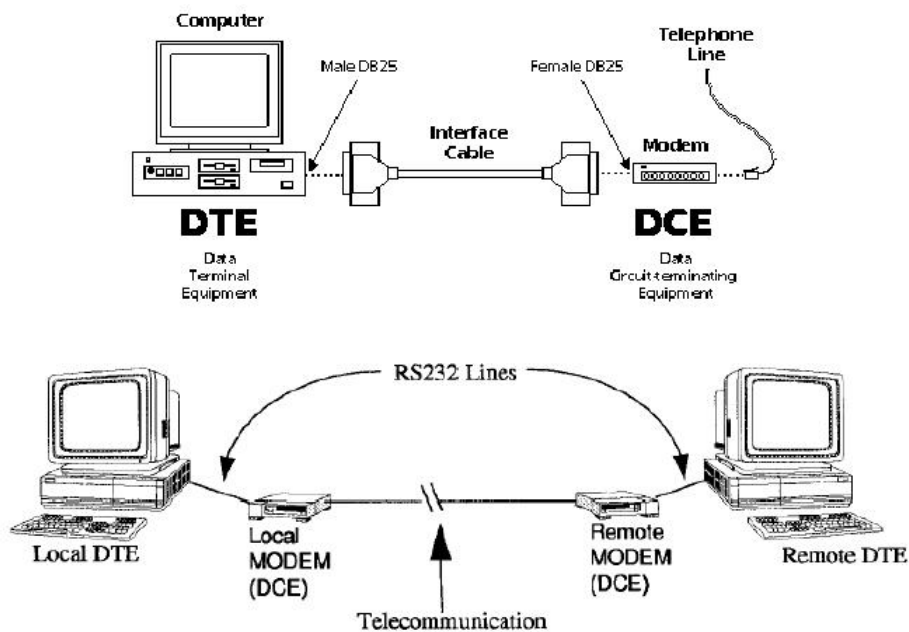


Figura 3.9: Conexão DTE-DCE.

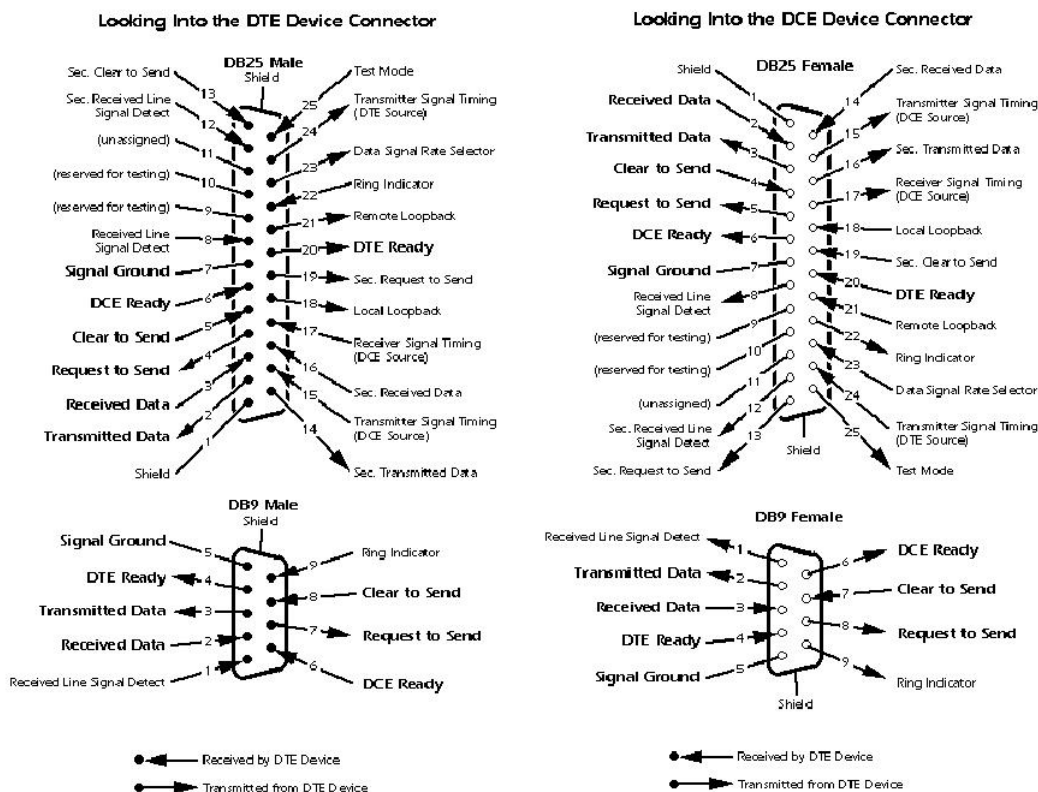


Figura 3.10: Conectores RS-232.

Um cabo de conexão entre dispositivos DTE e DCE contém ligações em paralelo, não necessitando mudanças na conexão de pinos. Se todos os dispositivos seguissem essa norma, todos os cabos seriam idênticos, e não haveria chances de haver conexões incorretas. No entanto, alguns dispositivos são erroneamente configurados como DTE. Numa situação em que se necessita conectar dois dispositivos DTE, um cabo *cross* (“cruzado” ou “*null-modem*”) deverá ser utilizado de acordo com o diagrama da **Figura 3.11**.

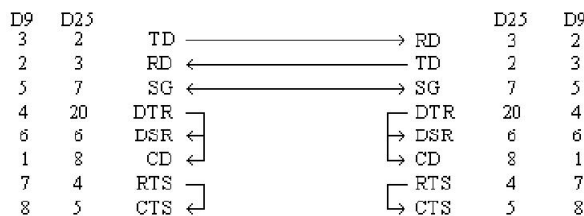


Figura 3.11: Ligação entre os sinais na conexão DTE-DTE RS-232 (“*null-modem*”).

Quanto aos níveis dos sinais elétricos, a RS-232 define que tensões entre $-3,0$ volts e $-25,0$ volts com relação ao terra (pino 5 no conector DB9) são consideradas nível lógico “1” (condição marca), e tensões entre $+3,0$ volts e $+25,0$ volts são consideradas nível lógico “0” (condição espaço). A faixa de tensões entre $-3,0$ volts e $+3,0$ volts é considerada uma região de transição para o qual o estado do sinal é indefinido. O padrão elétrico dos sinais RS-232 é ilustrado na **Figura 3.12**.

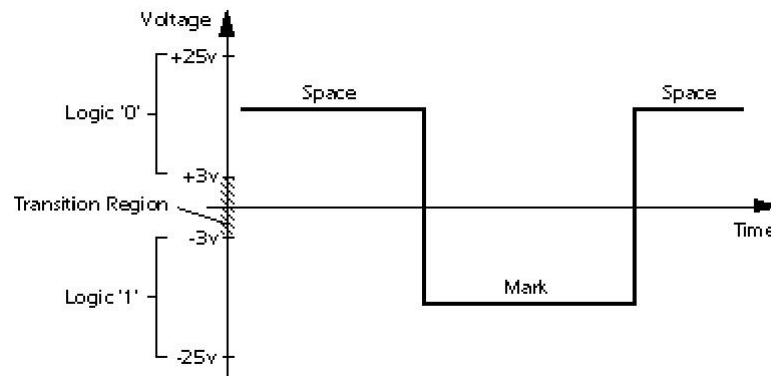


Figura 3.12: Níveis elétricos de tensão no padrão RS-232.

O padrão RS-232 é adotado como conexão física para comunicação entre CLP e alguns dos equipamentos instalados nos armários do poço BCP. A adoção desse padrão é, portanto, um dos requisitos que o equipamento proposto deverá atender.

3.6.3 Protocolo de Comunicação Necessário - O Modbus/RTU

Em comunicação digital, a informação é representada por bits de dados individuais, que podem ser encapsulados em mensagens de vários bits. Um *byte* (conjunto de 8 bits) é um exemplo de uma unidade de mensagem que pode trafegar através de um canal digital de comunicações. Uma coleção de *bytes* pode ser agrupada em um “*frame*” (estrutura ou pacote) ou outra unidade de mensagem de maior nível. Esses múltiplos níveis de encapsulamento facilitam o reconhecimento de mensagens e interconexões de dados complexos. A forma com que esses dados digitais são organizados para transmissão e recepção serial é definido como “protocolo de comunicação”. Ele pode ser físico (quando o *hardware* define o formato, como no serial RS) ou lógico (quando é definido por *software*) e deve ser de conhecimento tanto do transmissor quanto do receptor. Será feita seguir uma breve apresentação do protocolo de comunicação digital Modbus, uma vez que há uma vasta literatura técnica disponível que descreve em detalhes este protocolo, como também não é o foco do tema do Trabalho desenvolvido.

O Modbus é um protocolo de comunicação de dados utilizado em sistemas de automação industrial. Criado na década 70 e padronizado em 1979 pela *Modicon* [17]. É um dos mais antigos protocolos utilizados em redes de CLP's para aquisição de sinais de instrumentos e comandar atuadores. A *Modicon* (atualmente parte do grupo *Schneider Electric*) disponibilizou em domínio público as especificações e normas que definem o Modbus. Por esta razão, é utilizado em milhares de equipamentos existentes e é uma das soluções de rede mais baratas a serem utilizadas em automação industrial.

O mecanismo de controle de acesso é do tipo mestre-escravo, permitindo a existência de um único mestre e vários escravos. A estação mestre (geralmente um CLP) envia mensagens solicitando dos escravos que enviem os dados lidos pela instrumentação ou envia sinais a serem escritos nas saídas para o controle dos atuadores. Durante a ocorrência de algum evento relevante, como um alarme, mesmo que o escravo tenha a informação, ele só repassa ao mestre se o mesmo fizer a solicitação. Pela norma do protocolo, o escravo

sempre responde a um *frame* do mestre (a exceção de comando de *broadcast*) e nunca toma a iniciativa de enviar espontaneamente qualquer informação. Para que o mestre detecte a ocorrência do evento, ele deve efetuar um *pooling* (ciclo periódico) para supervisionar as estações da rede [18]. Em cada ciclo de comunicação, o mestre (CLP, um PC ou *notebook*) lê e escreve valores nos “Registros Modbus” presentes na memória de cada um dos escravos.

O Modbus utiliza o RS-232, RS-485 ou *Ethernet* como meio físico. O protocolo possui comandos para envio de dados discretos (entradas e saídas digitais) ou numéricos (entradas e saídas analógicas). Internamente, os escravos mapeiam os endereços desses dados nos chamados “Registros Modbus”, correlacionando-os com endereços dos seus dados internos ou com comandos a serem executados. Pelo padrão Modbus, cada Registro na memória tem um tamanho de 1 *word*, ou seja, 16 bits [17].

A **Figura 3.13** mostra um exemplo de rede Modbus com um mestre (CLP) e três escravos (módulos de E/S). O meio físico é o RS-485, que permite que vários equipamentos compartilhem o barramento. A **Figura 3.14** ilustra um equipamento mestre comunicando-se com um equipamento via RS-232. Neste padrão, como abordado anteriormente na **Subseção 3.6.2**, só é permitida a conexão ponto-a-ponto, ou seja, entre dois equipamentos unicamente. Adiante, é apresentada na **Figura 3.15** um exemplo de arquitetura de rede Modbus completa com mais de um padrão (RS-232 e RS-485).

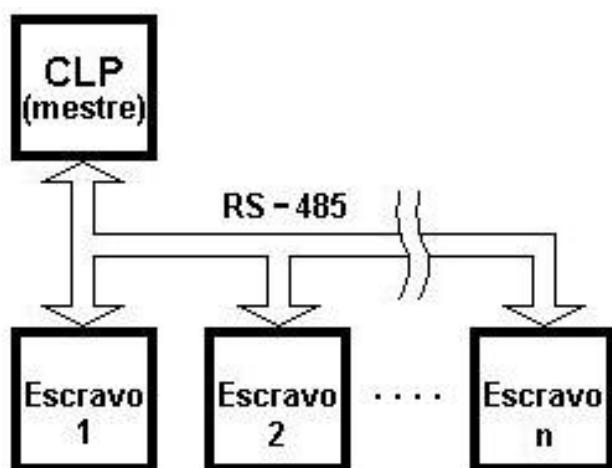


Figura 3.13: ModBus em um barramento RS-485 para constituição de uma rede multi-ponto.

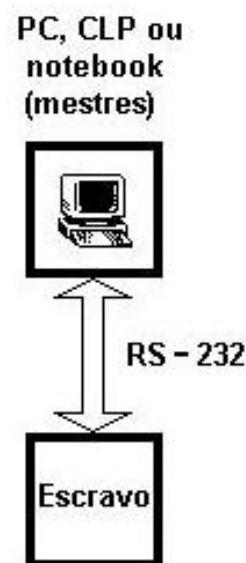


Figura 3.14: ModBus em RS-232 para constituição de uma rede ponto-a-ponto.

Em redes seriais baseadas em RS-485 ou RS-232, o Modbus pode ter duas variações [18]:

- **Modbus/RTU**: os dados são transmitidos em formato binário de oito bits, permitindo a compactação dos dados em pequenos pacotes. RTU é o acrônimo para *Remote Terminal Unit*, ou Unidade Terminal

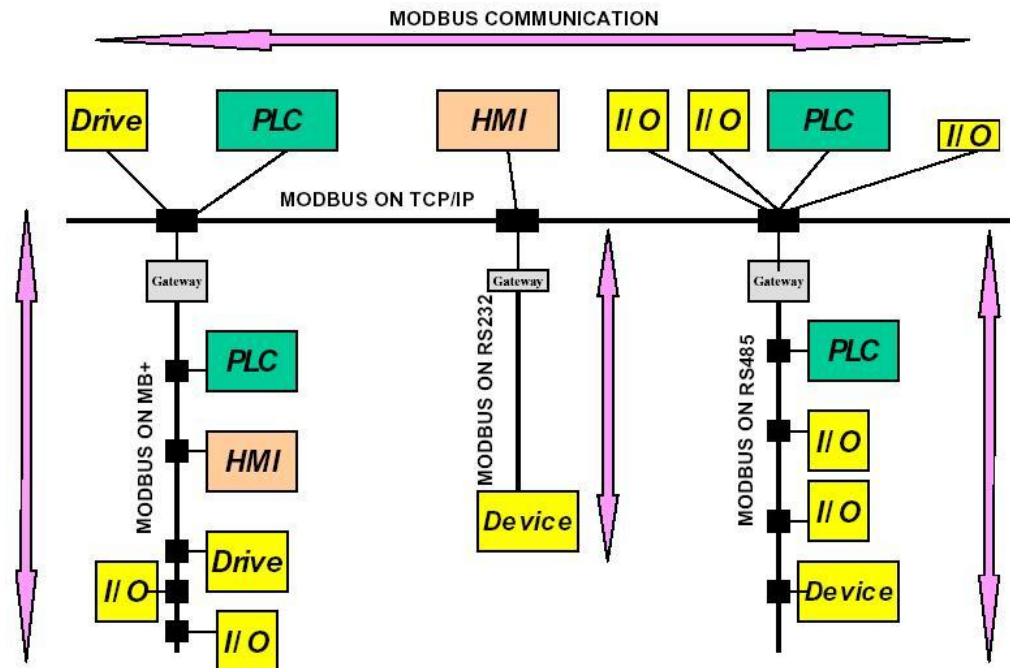


Figura 3.15: Exemplo de arquitetura de rede ModBus completa.

Remota, em português. Neste modo, os endereços e valores podem ser representados em formato binário. Números inteiros variando entre -32768 e 32767 podem ser representados por 2 bytes. O mesmo número precisaria de quatro caracteres ASCII para ser representado (em hexadecimal).

- **Modbus/ASCII:** os dados codificados são transmitidos em caracteres ASCII de sete bits. Apesar de gerar mensagens legíveis por pessoas este modo consome mais recursos da rede.

Basicamente, uma comunicação Modbus/RTU obedece a um *frame* (quadro, estrutura ou pacote) de dados (**Figura 3.16**) que contém o endereço do escravo, o comando a ser executado, uma quantidade variável de dados complementares e uma verificação de consistência de dados chamada CRC (*Cyclic Redundancy Check* ou, em português, Checagem de Redundância Cíclica), um método de detecção polinomial que permite a detecção da maioria dos erros ocorridos [17], desde que o tamanho do *frame* se mantenha até o limite de 256 *bytes*. O CRC tem um comprimento de 16 bits e os comandos do Modbus/RTU são conhecidos como “Funções Modbus”.



Figura 3.16: Formato Genérico de um *frame* de dados Modbus.

O protocolo Modbus/RTU se baseia num intervalo de silêncio durante o recebimento de *bytes*, padronizado em 3,5 vezes o tempo de transmissão de 1 byte, para determinar se a recepção do *frame* foi concluída [18]. Após este intervalo de silêncio o CRC é verificado para validar a integridade do *frame* recebido.

Os *frames* Modbus/RTU variam de acordo com a Função ModBus usada, mas há sempre campos comuns ao formato dos dois *frames*. Estes são o Endereço do escravo/mestre seguido da Função Modbus, constituindo os dois primeiros *bytes*, e o CRC, que é sempre os dois últimos *bytes*. Como os Registros são de 16 bits (*word*), os endereços dos Registros, bem como seu conteúdo, são enviados serialmente dividindo-os em 2 partes: LSB (*Less Significant Byte*, ou Byte Menos Significativo em português) e MSB (*Most Significant Byte*, ou Byte Mais Significativo em português) [17]. Todos os dados de 16 bits são transmitidos enviando o MSB primeiro e o LSB depois, a única exceção é o CRC, cuja ordem é invertida (LSB primeiro e MSB depois). Um exemplo típico do formato dos *frames* ModBus/RTU originados do mestre para o escravo é mostrado na **Tabela 3.1**, enquanto que na **Tabela 3.2** têm-se um exemplo do formato mais comum da resposta do escravo.

Ordem de Envio	Campo	Tamanho
1. ^o	Endereço do Escravo	1 <i>byte</i>
2. ^o	Função ModBus/RTU	1 <i>byte</i>
3. ^o	MSB do Endereço do 1. ^o Registro	1 <i>byte</i>
4. ^o	LSB do Endereço do 1. ^o Registro	1 <i>byte</i>
5. ^o	MSB da Quantidade de Registros	1 <i>byte</i>
6. ^o	LSB da Quantidade de Registros	1 <i>byte</i>
7. ^o	LSB do CRC	1 <i>byte</i>
8. ^o	MSB do CRC	1 <i>byte</i>

Tabela 3.1: Formato típico de um *frame* originado do mestre no Modbus/RTU.

Ordem de Envio	Campo	Tamanho
1. ^o	Endereço do Mestre	1 <i>byte</i>
2. ^o	Função ModBus/RTU	1 <i>byte</i>
3. ^o	Quantidade de <i>bytes</i> (Q)	1 <i>byte</i>
4. ^o	MSB do 1. ^o Registro	1 <i>byte</i>
5. ^o	LSB do 1. ^o Registro	1 <i>byte</i>
6. ^o	MSB do 2. ^o Registro	1 <i>byte</i>
7. ^o	LSB do 2. ^o Registro	1 <i>byte</i>
... <i>bytes</i>
$Q - 1$	MSB do Registro ($Q - 1$)	1 <i>byte</i>
Q	LSB do Registro Q	1 <i>byte</i>
$Q + 1$	LSB do CRC	1 <i>byte</i>
$Q + 2$	MSB do CRC	1 <i>byte</i>

Tabela 3.2: Formato típico de um *frame* originado do escravo no Modbus/RTU.

Algumas das Funções Básicas do ModBus/RTU são apresentadas na **Tabela 3.3** [17]. Para alguns comandos de diagnóstico, tais como reinício de comunicação, *reset* do módulo ou sincronização de relógio, podem ser utilizadas comunicações do tipo *broadcast* [18], ou seja, destinada a todos os escravos simultaneamente. Esse é o único tipo de comando em que não há resposta do escravo, pois como é aceito por todos,

haveria uma quantidade significativa de colisões de informações na rede devido a resposta simultânea de todos os escravos.

Código	Função Modbus/RTU	Descrição
01	<i>Read Coils</i>	Lê um número de saídas digitais (bobinas) especificados pelo mestre
03	<i>Read Holding Register</i>	Lê um número de registros especificados pelo mestre
04	<i>Read Input Register</i>	Lê um número de registros de entrada (entradas analógicas) especificados pelo mestre
05	<i>Force Single Coil</i>	Força uma única bobina (altera o estado de uma saída digital)
06	<i>Preset Single Register</i>	Escreve em um único registro da memória ou altera o estado de uma saída analógica
07	<i>Read Exception Status</i>	Lê registros com informações de erros (exceções)
16	<i>Preset Multiple Register</i>	Escreve em vários registros especificados pelo mestre a partir de um endereço inicial

Tabela 3.3: Tabela de Funções Modbus/RTU.

Com a evolução da tecnologia e dos meios físicos de comunicação, novas versões para este protocolo (não mais baseadas nos padrões RS-232 e RS-485) passaram a existir [18]:

- **Modbus/TCP:** Aqui os dados são encapsulados em formato binário em frames TCP para a utilização do meio físico *Ethernet* (IEEE 802.3). Quando o Modbus/TCP é utilizado, o mecanismo de controle de acesso é o CSMA-CD (próprio da rede *Ethernet*) e as estações utilizam o modelo cliente-servidor.
- **Modbus Plus:** Versão que possui vários recursos adicionais de roteamento, diagnóstico, endereçamento e consistência de dados. Esta versão ainda é mantida sob domínio da *Schneider Electric* e só pode ser implantada sob licença deste fabricante.

No caso do poço alvo desta aplicação, o CLP presente no mesmo (**Figura 3.5**) comunica-se via RS-232 por meio do protocolo ModBus/RTU. O acesso ao módulo de estimação de Torque pelo Nível 3 do SGPA (vide **Seção 2.3**) será feito via CLP instalado no armário do poço. Sendo assim, no equipamento proposto deverá ser implementado, sobre um padrão de interface RS-232, o protocolo Modbus/RTU como linguagem de comunicação digital, para que se permita a sua parametrização (configuração) em campo de forma remota. Na documentação do equipamento, deverá constar uma tabela de endereçamento dos Registros Modbus (Tabela de Endereços Modbus) onde se possam ler os valores das grandezas medidas/estimadas (no caso, o torque), ou onde se possam escrever comandos para serem executados pelo equipamento, caso existam.

3.7 Interface Homem-Máquina (IHM) Simplificada

Não há uma exigência que especifique a IHM a ser adotada. Como o equipamento é destinado a operar lacrado a um armário, com pouco ou nenhum contato humano durante o funcionamento, não há a necessidade de recursos sofisticados de interação com o usuário, como *displays* (mostradores) LCD, teclados, alarmes sonoros, dentre outros. No entanto, a sugestão dos Engenheiros da PETROBRÁS que atuam com poços automatizados BCP é que se tenha ao menos LED's (*Light Emitting Diode* ou, em português, Diodo Emissor de Luz) que permitam diagnosticar a ocorrência de algum defeito ou o "status" do funcionamento do equipamento.

3.8 Isolação

Um requisito adicional, mas importante para o perfeito atendimento dos requisitos de funcionamento em campo, expostos na **Seção 3.4**, diz respeito ao isolamento elétrico do equipamento. Uma vez que o mesmo trabalhará também próximo a dispositivos, fontes e equipamentos eletrônicos de alta potência, a exemplo dos inversores de frequência e MIT's, ele deverá estar protegido contra descargas, transientes e ainda não deverá passá-los adiante, tanto por meio das interfaces de E/S (Entrada/Saída) especificadas na **Seção 3.6**, quanto pelos cabos de alimentação provenientes da fonte especificada na **Seção 3.3**.

Na escolha da topologia de circuito eletrônicos para o projeto dos circuitos de alimentação e interfaces, deverão estar previstos mecanismos de isolamento elétrica, para que curtos-circuitos, transientes e descargas elétricas não ultrapassem os limites do confinamento do equipamento, quando da ocorrência das mesmas, não sendo assim passadas adiante para os dispositivos a ele conectados, como CLP's, *notebooks*, fontes de alimentação, etc.

3.9 Baixo Grau de Intrusão

Como foi levantado na **Seção 2.2**, uma das inviabilidades da instalação de um torquímetro dinâmico é o fato de propiciar um alto grau de intrusividade ao sistema. Isso eleva o custo devido ao próprio processo de instalação, por exigir, além da mão de obra, a interrupção da produção para sua realização.

O equipamento proposto deverá ter um grau mínimo de intrusividade, permitindo que sua instalação possa ser realizada sem interrupções na produção, com o poço em pleno funcionamento.

3.10 Custo Final Viável do Produto

Um torquímetro dinâmico seria a solução ideal no que diz respeito a exatidão na medição do torque, mas como foi abordado na **Seção 2.2**, ele apresenta um alto custo de aquisição e instalação, tornando-o uma alternativa descartada. A solução proposta deve ser bem mais acessível, com valor comparável, preferencialmente, à média dos outros módulos adquiridos para automação do poço. Ou, de acordo com as premissas dos técnicos e engenheiros consultados, o valor limítrofe da metade do valor do equipamento mais

caro: o próprio CLP adotado (**Figura 3.5**). Isto se justifica pois a necessidade não é de se ter um “outro CLP”, mas sim um novo módulo para auxiliá-lo, disponibilizando uma nova informação antes inexistente. Apenas mais um equipamento para medição em campo.

Como o CLP adotado é adquirido a um custo aproximado de R\$4.000,00 (dado fornecido pela PETROBRÁS em 2006), o resultado deste Trabalho deverá conceber um protótipo de um equipamento que crie condições de se gerar um produto com boa precisão, que além de atender a todos os outros requisitos técnicos expostos até agora, seja comercialmente viável e a um custo final máximo estimado em torno de R\$2.000,00.

Capítulo 4

Fundamentações Teóricas

NESTE capítulo serão levantadas as bases teóricas necessárias aos capítulos seguintes, onde serão definidas as topologias dos circuitos eletrônicos e descrito o desenvolvimento do *firmware* do *protótipo* do equipamento proposto. Em alguns dos tópicos a seguir as discussões serão feitas de forma resumida, uma vez que existe uma vasta literatura disponível sobre cada tema abordado.

4.1 Motores de Indução Trifásicos (MIT's)

A **Seção 3.5** mostrou que para efetuar o acionamento do rotor da haste no método BCP é empregado um motor elétrico de indução. O motor elétrico é uma máquina que tem como função transformar a energia elétrica em energia mecânica [19]. O motor assíncrono ou de indução é um motor elétrico cuja alimentação consiste de uma fonte de corrente alternada. Funciona, como o nome sugere, através do princípio da indução eletromagnética e de forma não síncrona com a rede de alimentação, variando ligeiramente a velocidade em função da carga [19]. Se o circuito de alimentação é polifásico de 3 fases, dissemos que o motor elétrico é um Motor de Indução Trifásico, ou MIT. Este motor possui a característica de boa performance, robustez, simplicidade, baixo custo e pouca necessidade de manutenção, tornando-se o motor mais utilizado e preferido nas indústrias [19]. Serão tomados como base os motores construídos pela empresa WEG Equipamentos Elétricos S/A.

4.1.1 Elementos Construtivos Principais

O motor de indução é um motor de construção simples. Ele é composto basicamente de duas partes: estator e rotor. O estator e rotor são montados solidários e concêntricos, com um eixo comum aos “anéis” que os compõem. A **Figura 4.1** mostra os elementos construtivos do MIT, entre eles, o rotor e o estator [20].

O estator constitui a parte estática (a carcaça) e o rotor a parte móvel. O espaço entre o estator e o rotor é denominado “entreferro”. Para efetuar o enrolamento das espiras de cobre, tanto o estator quanto o rotor são vazados, garantindo espaço para acomodação dos fios. Esses espaços são denominados “ranhuras”.

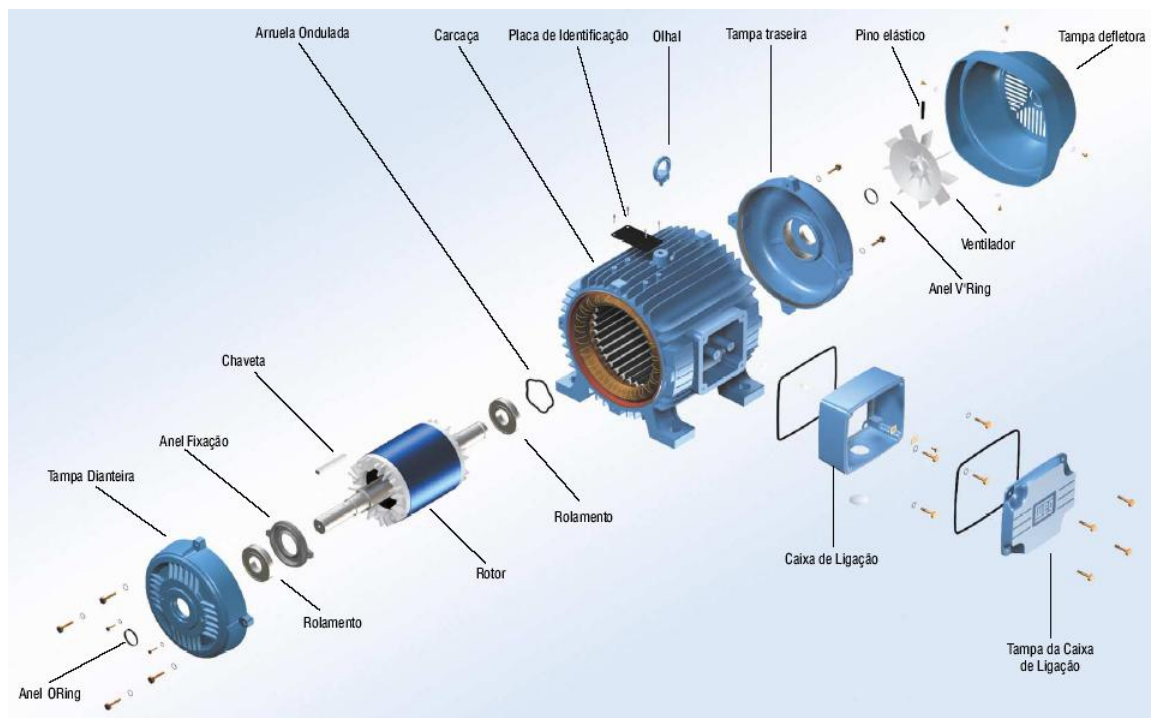


Figura 4.1: MIT explodido evidenciando seus elementos construtivos (Cortesia da WEG Equipamentos Elétricos S/A - Motores).

As ranhuras (R) são sempre em número par. Nos motores convencionais, o número de ranhuras possíveis vão de 28 a 54 [11]. A **Figura 4.2** ilustra, de uma forma esquemática, uma secção transversal de um MIT destacando o entreferro, o estator, o rotor e as respectivas ranhuras.

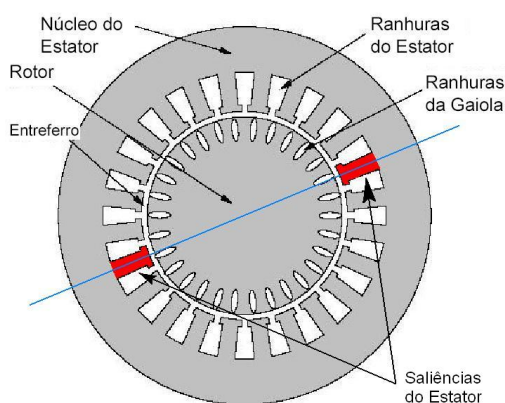


Figura 4.2: Diagrama de uma secção transversal de um MIT.

No rotor, as espiras formadas constituem pares de pólos magnéticos (p) quando ocorre indução de corrente devido a circulação de corrente alternada no estator. São encontrados comercialmente motores de 2, 4, 6 e 8 pólos [20].

4.1.1.1 O Estator

O estator, ilustrado na **Figura 4.3**, é de construção robusta, composto basicamente de: chapas finas de aço magnético (tratadas termicamente para reduzir ao mínimo as perdas por correntes parasitas e histerese), carcaça, núcleo de chapas e enrolamento primário.

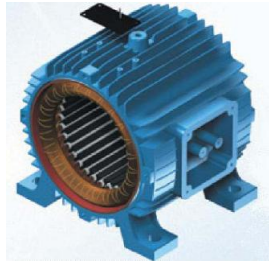


Figura 4.3: Carcaça (estator) de um MIT.

As chapas têm o formato de um anel com ranhuras e saliências internas de tal maneira que possam ser alojados enrolamentos que criarão um campo magnético no estator durante a operação (**Figura 4.2**). A carcaça é a estrutura de suporte do conjunto (**Figura 4.1**).

4.1.1.2 O Rotor

O rotor também é composto de chapas finas de aço magnético, no formato de anel e com os enrolamentos alojados longitudinalmente. Na grande maioria dos motores de indução, o rotor é do tipo “gaiola” (ou “gaiola de esquilo”), chamado dessa maneira por possuir um formato que se assemelha a uma gaiola de esquilo, como ilustrado na **Figura 4.4**. Essa semelhança ocorre devido ao fato de ser constituído por um conjunto de condutores (barras) não isoladas e interligadas por anéis de curto-circuito [19].

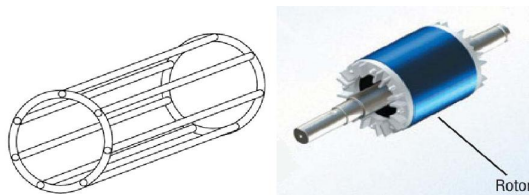


Figura 4.4: Rotor tipo gaiola de esquilo de um MIT.

Todo o conjunto do rotor está imerso em um núcleo de chapas com funções semelhantes as do estator. O eixo do rotor também faz parte deste conjunto e é responsável pela transferência de potência mecânica desenvolvida pelo motor [11].

4.1.2 Princípio de Funcionamento

O enrolamento trifásico é constituído por três conjuntos iguais de bobinas, uma para cada fase, formando um sistema trifásico ligado à rede trifásica de alimentação. Através da arrumação física, o enrolamento dos condutores tem a função de criar um campo magnético girante quando por eles circula uma corrente alternada.

Esse campo girante, originado no estator, ocasiona uma variação do fluxo magnético, induzindo o surgimento de uma força eletromotriz (*fem*) no circuito fechado do rotor (ou induzido), gerando correntes induzidas que por sua vez geram campos magnéticos [11]. Assim, o estator pode ser considerado como o primário de um transformador e o rotor como seu secundário [19]. A alimentação do MIT pode ser aplicada no estator como no primário de um transformador trifásico, nas configurações delta (Δ) ou estrela (Y).

Os campos magnéticos citados são tais que, obedecendo a Lei de Lenz [19], se opõem à variação do fluxo original produzindo o torque que mantém girando o rotor. Ou seja, os enrolamentos são organizados no estator de tal forma a produzir um efeito rotórico entre as resultantes dos campos magnéticos [19]. Como em um MIT têm-se três enrolamentos de bobinas, ter-se-á três campos magnéticos girantes, representados graficamente na **Figura 4.5**.

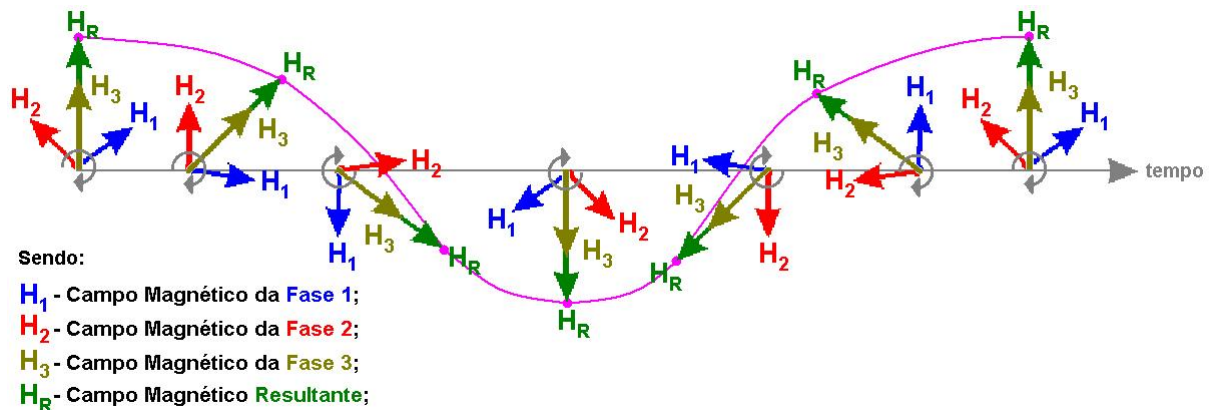


Figura 4.5: Campos magnéticos girantes devido as 3 fases de um MIT, resultando no movimento circular do seu eixo.

No MIT, os enrolamentos das fases individuais são deslocados de 120 graus elétricos ao longo da circunferência do entreferro [19]. As três fases do enrolamento do estator normalmente são identificadas como fases ‘R’, ‘S’ e ‘T’ (mais adotado), ou ‘U’, ‘V’ e ‘W’, ou ‘A’, ‘B’ e ‘C’, ou simplesmente fases ‘1’, ‘2’ e ‘3’.

O campo do fluxo magnético gira numa velocidade correspondente à frequência aplicada ao estator e dividida pelo número de par de pólos (vistos na **Figura 4.2**) do enrolamento do estator. Essa velocidade é chamada de velocidade síncrona, n_s , e é expressa pela equação (4.1), sendo f_1 a frequência de alimentação e p o número de pólos do MIT (“ $p/2$ ” equivale ao número de pares de pólos do MIT).

$$n_s = \frac{f_1}{\left(\frac{p}{2}\right)} \quad (4.1)$$

Na equação acima, como f_1 é dado em Hz , n_s também será dado em Hz . Para que n_s seja dado em rpm , o resultado da (4.1) deverá ser multiplicado por 60.

No motor de indução, para que ocorra a geração de correntes induzidas a velocidade do rotor não poderá ser igual à do campo girante do estator [19]. A velocidade de giro deve ser diferente da síncrona a fim de que se produza torque [11]. Essa diferença entre a velocidade síncrona e a velocidade de giro do eixo dá o nome de “assíncrono” ao motor de indução. O valor por unidade ou percentual da diferença entre essas duas velocidades, a síncrona e a de giro do eixo, em relação a própria velocidade síncrona, é denominado “escorregamento” (s) do motor e é expresso pelas equações (4.2) e (4.3), em que n é a velocidade de rotação do eixo. O escorregamento é um parâmetro fundamental de medida de velocidade, muito utilizado nas diversas equações matemáticas que envolvem os MIT's.

$$s\% = \left(\frac{n_s - n}{n_s} \right) \times 100\% \quad (4.2)$$

Na maioria dos motores comerciais, s atinge um valor máximo de 10% [10, 11], dessa maneira, podemos considerar $s_{\%max} = 10\%$. s também pode ser escrito na forma por unidade:

$$s = \frac{n_s - n}{n_s} \quad (4.3)$$

Assim, será admitido $s_{max} = 0,1$. Utilizando a forma por unidade, podemos escrever a velocidade de rotação do eixo em função do escorregamento como sendo:

$$n = n_s(1 - s) \quad (4.4)$$

Quando acionado por uma turbina e operando com uma rotação acima da síncrona, um motor de indução pode também gerar potência ativa e entregá-la ao sistema onde está conectado, funcionando como gerador. No entanto, essa forma de utilização é rara devido ao desempenho insatisfatório na maioria das aplicações [19].

4.1.3 Excentricidades Mecânicas

O ideal é que o rotor e o estator estejam montados perfeitamente concêntricos. No entanto, podem ocorrer desalinhamentos, ou devido ao motor ser muito grande, o que aumenta a possibilidade de folgas e desvios durante a fabricação, ou devido ao motor estar velho, cujos anos de uso e desgaste provocaram desalinhamentos durante sua vida produtiva. Em qualquer um dos casos, o estator e rotor deixam de girar concêntricamente e passam a girar de forma desalinhada. Quando isso ocorre diz-se que há uma excentricidade entre o estator e o rotor. A excentricidade pode ser de dois tipos: estática e dinâmica.

A excentricidade estática é causada pelo mau posicionamento do rotor e geralmente não muda com o uso, devido a rigidez da montagem da carcaça [11]. Esse tipo de excentricidade é caracterizado por ter o centro de rotação do rotor numa posição fixa e deslocada do centro do estator como ilustra a **Figura 4.6** [11] (Nessa figura “ R_s ” é o raio do estator, “ R_r ” é o raio do rotor e “ a ” é a distância entre o centro do rotor e do estator). Assim, a espessura mínima do entreferro não muda de posição em função da rotação do rotor.

A excentricidade dinâmica pode ser causada pelo dobramento da carcaça (*bent-shaft*), ressonância mecânica em velocidades críticas, ou desgaste devido ao uso (*bering wear*) [11]. Ela é função do espaço e do tempo, pois nesse tipo de excentricidade o centro do rotor não está fixo em relação ao centro do estator, mudando de posição com a rotação [11] e fazendo com que a distância mínima do entreferro gire com o rotor, como ilustra a **Figura 4.7** [11].

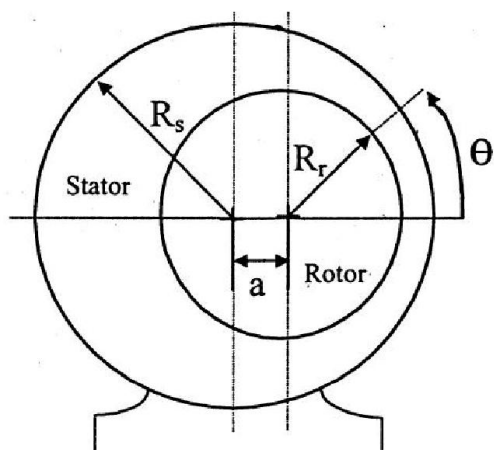


Figura 4.6: Excentricidade Estática em um MIT.

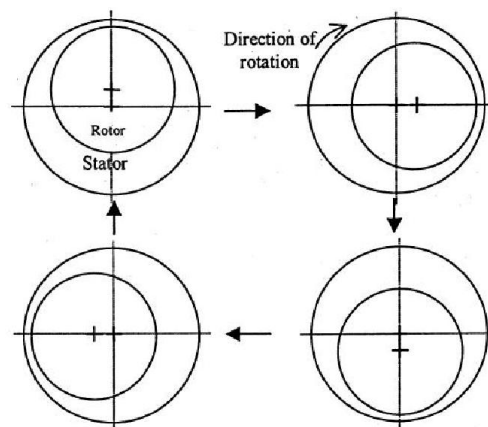


Figura 4.7: Excentricidade Dinâmica em um MIT.

Apesar de ser algo indesejável a priori, a existência de excentricidades no MIT será de grande relevância para este Trabalho, como será explanado na **Subseção 4.2.4** nos capítulos posteriores.

4.1.4 Curva Velocidade x Torque

O campo magnético resultante gerado no entreferro possibilita as interações eletromagnéticas que originam o torque (ou conjugado) no eixo de um motor de indução. O aumento da carga no eixo provoca o freio no giro do rotor, diminuindo a rotação do mesmo, aumentando assim as variações de fluxo e, conseqüentemente, o valor das correntes induzidas. Esse aumento cria maior torque, necessário para equilibrar o efeito do freio [11]. O comportamento descrito está presente na curva “torque \times velocidade (rotação)” de um motor de indução de gaiola, mostrada na **Figura 4.8**, caminhando no sentido do aumento do eixo da velocidade, a partir do ponto onde ocorre o conjugado (torque) máximo.

Na **Figura 4.8**, têm-se curvas características de vários motores, de acordo com as categorias (classes), determinadas pela ABNT (Associação Brasileira de Normas Técnicas) e com base de estudos da NEMA (*National Electrical Manufacturers Association* ou, em português “Associação Nacional de Fabricantes de Elétricos”), representadas por um código alfabético com letras maiúsculas (A, B, C...) [19]. Dessa forma, essas curvas são também usadas para seleção de um MIT para uma determinada aplicação [19].

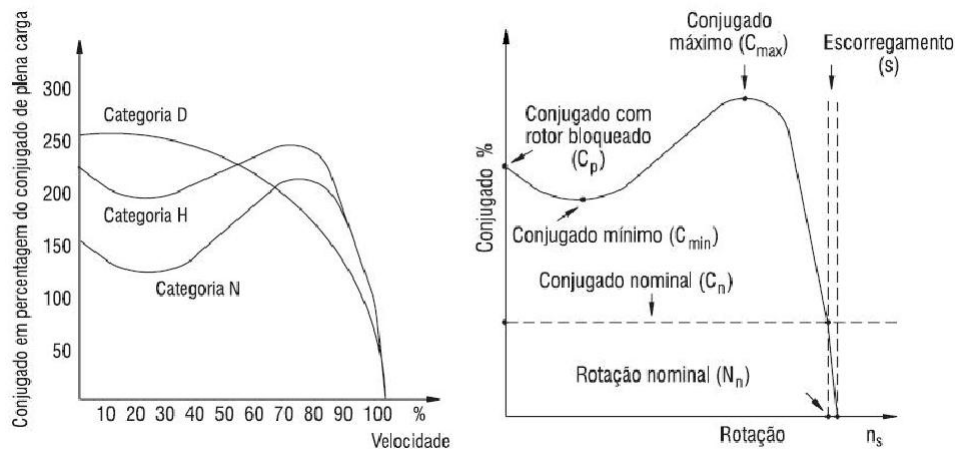


Figura 4.8: Curvas torque X velocidade típicas de um motor de indução.

4.1.5 Controle de Velocidade

Quando se deseja variar a velocidade de giro do eixo de MIT's, há duas opções: ou pode-se variar a resistência interna do enrolamento do rotor, ou pode-se variar a frequência de alimentação no estator. Esta última, de acordo com (4.1), proporciona a variação da velocidade pela variação da síncrona [19]. Como no MIT o rotor de gaiola possui a construção fechada e inacessível [19], a opção de variar a frequência da alimentação torna-se a única viável dentre as duas.

Para variar a frequência do sinal de alimentação, um método eletrônico muito utilizado atualmente é o uso de conversores de frequência. Também chamado de “inversor” [10], o conversor de frequência é utilizado para transformar uma fonte de corrente contínua em uma fonte de corrente alternada. Para tanto, utiliza-se de circuitos eletrônicos de controle de estado sólido [19], baseados em SCR's (*Silicon Controlled Rectifier*, ou Retificador Controlado de Silício), MOSFET's (*Metal Oxide Semiconductor Field Effect Transistor*, ou Transistor de Efeito de Campo de Metal-Óxido Semicondutor) ou, em maioria, IGBT's (*Insulated Gate Bipolar Transistor*, ou Transistor Bipolar de Porta Isolada) [21, 22]. Seja qual for o transistor ou tiristor usado, todos operam como “chave” e são montados numa configuração em ponte, que podem ter de 1 a 3 braços [21, 22]. Nesse último ter-se-ia uma ponte inversora trifásica, como mostra a representação em blocos do conversor de frequência da **Figura 4.9**.

O “chaveamento” dos transistores é feito de tal forma que gere na saída um sinal com modulação PWM (*Pulse Width Modulation*, ou Modulação por Largura de Pulso) [21, 22], dessa forma, o sinal de alimentação gerado pelo inversor não é uma senóide pura, até ser demodulado, como mostra a **Figura 4.10**. O sinal demodulado pode ter, graças a modulação PWM, tanto a amplitude quanto a frequência variáveis [21, 22].

Existem dois tipos de inversores de frequência disponíveis no mercado: o escalar e o vetorial [10, 23]. A diferença entre inversor escalar e vetorial está basicamente na curva “torque × velocidade (rotação)”. O inversor escalar opera mantendo a relação V/F (tensão/frequência) constante [10]. Como o controle é em função de V/F , o inversor escalar não oferece altos torques em baixas rotações, pois o torque é função direta da corrente de alimentação. A curva V/F pode ser parametrizada no inversor escalar, enquanto que no

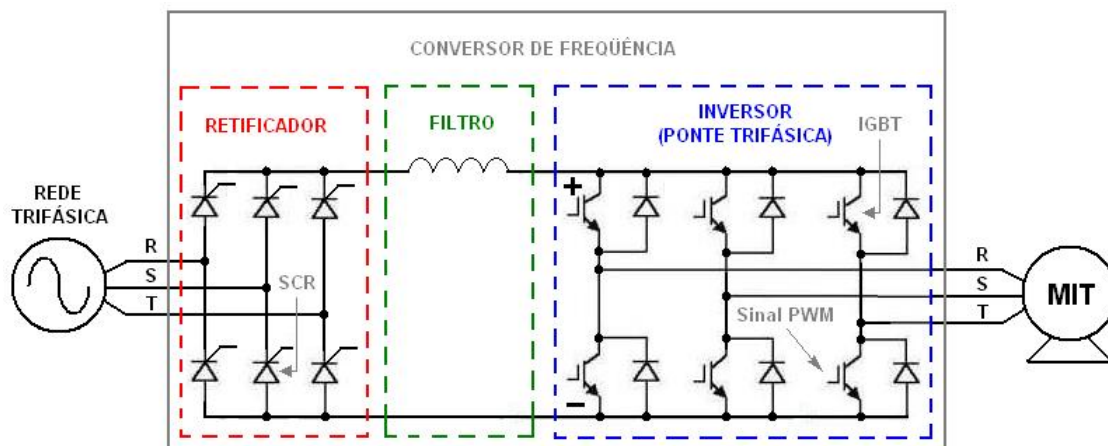


Figura 4.9: Diagrama de blocos de um conversor de frequência para controle de velocidade de um MIT.

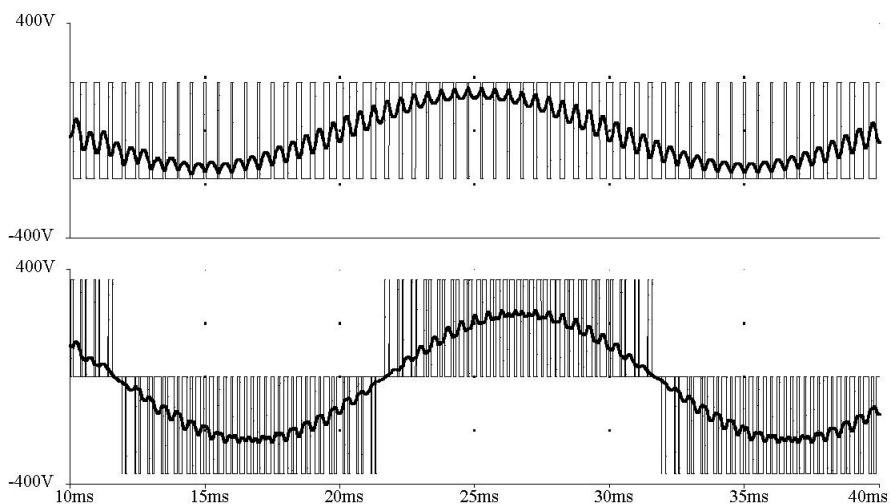


Figura 4.10: Sinais PWM gerados por conversores de frequência com seus respectivos sinais demodulados.

inversor vetorial a curva não é parametrizada [23]. Na verdade, essa curva varia de acordo com a solicitação de torque. Portanto, este possui circuitos que variam a tensão e a frequência do motor, através do controle das correntes de magnetização (IM, a corrente do estator) e do rotor (IR). O inversor vetorial é indicado para torque elevado com baixa rotação, controle preciso de velocidade e torque regulável. Já o escalar é indicado para partidas suaves, operação acima da velocidade nominal do motor e operação com constantes reversões [23].

4.1.6 Dados de Placa

O fabricante disponibiliza de forma simplificada as especificações principais do motor elétrico numa etiqueta de metal presa na carcaça e em local de fácil visibilidade [20], como mostra a **Figura 4.11**. Justamente por isso, essas especificações são denominadas “dados de placa”.

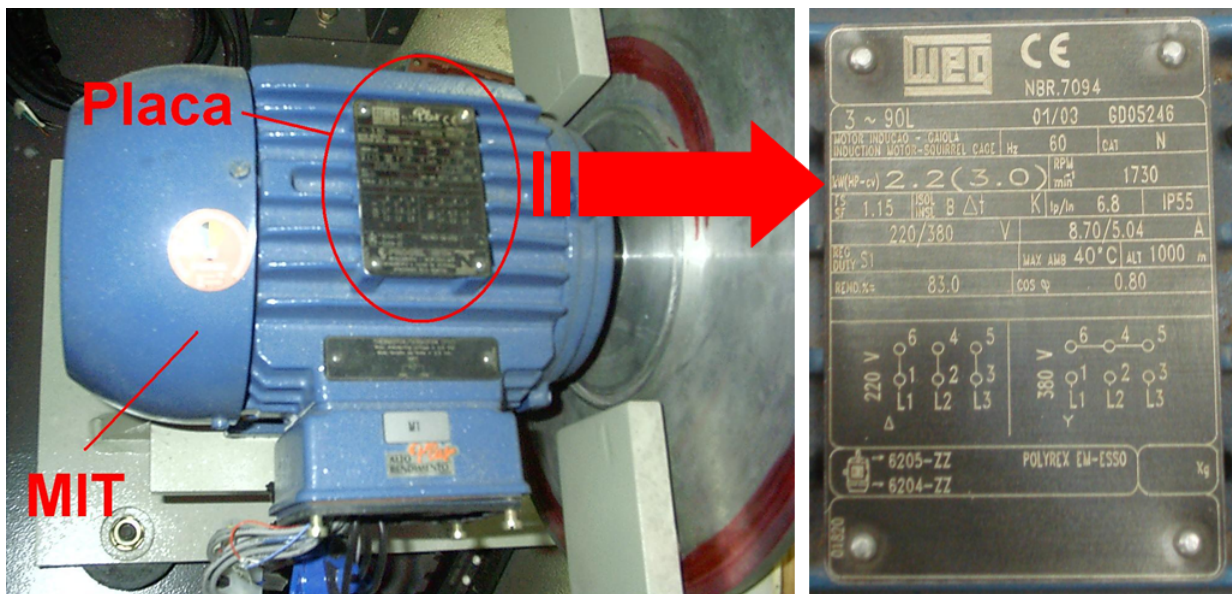


Figura 4.11: Placa na carcaça com as especificações do MIT.

Dados ausentes na placa, mas fornecidos pelos fabricantes por meio de manuais e catálogos, passaram a receber o mesmo jargão, sendo também considerados dados de placa. Os dados de placa normalmente são:

- Categoria (N, H, D, etc...);
- Tipo do Motor (de indução com rotor tipo gaiola, etc.);
- Instruções com tipos de ligação para alimentação (Δ ou Y);
- Tensão de Alimentação Nominal fase-fase (V_n), em V_{RMS} ;
- Frequência Nominal de Alimentação (f_n), em Hz ;
- Velocidade Nominal de giro do eixo (n_n), em rpm (rotações por minuto);
- Corrente de Alimentação Nominal (I_n), em A ;
- Potência Nominal (P_n), em cavalo-vapor (CV);
- Rendimento (adimensional);
- Fator de Potência ($\cos \varphi$), também adimensional;
- Outros dados como: marca do fabricante, selos de certificação e etc.

4.2 Análise de MIT's

Serão descritas nesta seção as ferramentas técnicas utilizadas para análise de MIT's operando em regime permanente, visando a estimação não só do valor do torque, como também de parâmetros intrínsecos da máquina, além dos valores de outras grandezas elétricas e mecânicas.

4.2.1 Equacionamento de Grandezas Relevantes

As equações a seguir constituem uma breve parte da revisão da literatura e serão referenciadas e utilizadas nas seções e capítulos futuros desta Dissertação.

4.2.1.1 Velocidade Angular de Rotação do Eixo

A velocidade angular de giro do eixo ω é obtida pela equação (4.5) [11]:

$$\omega = 2\pi n_{Hz} \quad (4.5)$$

Onde n_{Hz} é a rotação do eixo em Hz , ou seja, é a frequência de giro do eixo. Caso a rotação do eixo n seja dada em rpm , a conversão de n em Hz para rpm e vice-versa pode ser feita por meio de (4.6):

$$n_{Hz} = \frac{n}{60} \quad (4.6)$$

4.2.1.2 Velocidade Síncrona Nominal

A velocidade síncrona nominal n_{sn} não é um dado de placa, mas pode ser obtido indiretamente utilizando (4.1), substituindo f_1 pela frequência nominal de alimentação do MIT, f_n :

$$n_{sn} = \frac{f_n}{\left(\frac{p}{2}\right)} \quad (4.7)$$

Pela equação acima, n_{sn} será dado em Hz . Para que o resultado seja dado em rpm , basta utilizar a (4.6) para efetuar a conversão.

4.2.1.3 Escorregamento Nominal

O Escorregamento Nominal (s_n) é obtido substituindo em (4.3) os valores nominais do MIT obtidos da placa, ou seja:

$$s_n = \frac{n_{sn} - n_n}{n_{sn}} \quad (4.8)$$

Sendo n_{sn} a velocidade síncrona nominal. n_{sn} e n_n devem estar na mesma unidade (rpm ou Hz), efetuando a conversão descrita na equação (4.6) quando necessário.

4.2.1.4 Potência Mecânica

Uma vez de posse do valor do Torque Mecânico (τ) e do valor da velocidade angular do eixo (ω) do MIT, a Potência Mecânica (P_{mec}) é obtida indiretamente por meio da equação [10]:

$$P_{mec} = \omega \cdot \tau \quad (4.9)$$

4.2.1.5 Torque Nominal

Torque, binário, momento estático, momento de alavanca ou conjugado, é uma grandeza vetorial da física. Ele é definido como a fração da força aplicada sobre um objeto que é efetivamente utilizada para fazê-lo girar em torno de um eixo ou ponto central, conhecido como ponto pivô ou ponto de rotação. O torque (τ) é expresso em newtons-metro ($N.m$).

Numa linguagem mais informal, diz-se que o torque é a medida de quanto uma força que age em um objeto faz com que o mesmo gire. Dessa forma, em motores, o torque é uma grandeza mecânica que mede o esforço despendido para girar seu eixo.

Utilizando-se de (4.9), podemos obter o torque nominal (τ_n) do MIT (dado ausente na placa mas especificado nos manuais do fabricante, como visto na **Subseção 4.1.6**). Para isso, explicita-se o torque τ na (4.9) e substitui-se ω por (4.5). Assim:

$$\tau = \frac{P_{mec}}{2\pi n_{Hz}} \quad (4.10)$$

A partir daí substitui-se as grandezas pelos valores nominais (dados de placa) P_n e n_n do MIT. Como na placa a rotação nominal n_n é dada em *rpm*, no lugar de n_{Hz} utiliza-se a equação (4.6), substituindo n por n_n . Para que τ_n seja dado em newton-metro ($N.m$), P_n , que é dado em cavalos-vapor (CV), também deverá ser convertida para watts (W) multiplicando-se pela constante 735,6. Logo, com P_n em CV e n_n em *rpm*, a equação final para τ_n em $N.m$ será:

$$\begin{aligned} \tau_n &= \frac{735,6 P_n}{2\pi \left(\frac{n_n}{60}\right)} \\ &\vdots \\ \tau_n &\simeq 7024,2444 \left(\frac{P_n}{n_n}\right) \end{aligned} \quad (4.11)$$

4.2.1.6 Potências Elétricas

Em sistemas de corrente alternada (CA) estão envolvidas três tipos de potência: a potência aparente S , entregue à carga, dada em volt-ampère (VA); a potência elétrica ativa, real ou útil P_{ea} , aproveitada de fato para a carga realizar trabalho, dada em watts (W); e, por fim, a potência reativa Q , que por permanecer armazenada nos elementos reativos na forma de campo elétrico ou magnético, não é aproveitada pela carga, no entanto ela é necessária para a magnetização do campo dos motores, geradores e transformadores. Q é, dada em volt-ampère-reativo (VAr). Trataremos nesse item das duas primeiras citadas.

A Potência Aparente S equivale ao produto da tensão e da corrente eficazes, V e I respectivamente, entregues a carga [24], ou seja:

$$S = V \cdot I \quad (4.12)$$

Em sistemas trifásicos, como é o caso do sistema do MIT, V e I são, respectivamente, a tensão e a corrente eficazes de uma única fase, caso o tipo da ligação seja a quatro fios (ligação Y). A Potência Aparente Total do MIT ligado em Y , S_{T-Y} , será a soma das contribuições das potências de cada fase (R, S e T) [24], ou seja:

$$\begin{aligned} S_{T-Y} &= S_R + S_S + S_T \\ &\therefore \\ S_{T-Y} &= V_R I_R + V_S I_S + V_T I_T \end{aligned} \quad (4.13)$$

Se o MIT estiver ligado a três fios (ligação Δ), a Potência Aparente Total do MIT ligado em Δ , $S_{T-\Delta}$, poderá ser obtida por meio do “Método dos Dois Wattímetros” [24]:

$$S_{T-\Delta} = V_{RS} I_R + V_{TS} I_T \quad (4.14)$$

Na equação acima, V_{RS} é a tensão eficaz de linha entre V_R e V_S , ou $V_R - V_S$; V_{TS} é a tensão eficaz de linha entre V_T e V_S , ou $V_T - V_S$. Nesse método, um dos fios, no caso o da fase S, é tomado como referência, como diagramado na **Figura 4.12**.

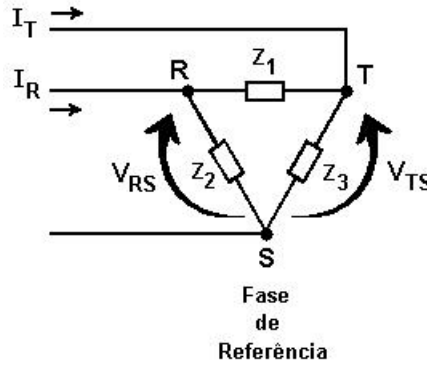


Figura 4.12: Tensões (V) e correntes (I) de linha em uma carga trifásica ligada em Δ , consideradas no “Método dos Dois Wattímetros”.

A segunda potência considerada, a Potência Elétrica Ativa P_{ea} , é o valor médio da potência elétrica instantânea $p(t)$ [24]:

$$p(t) = v(t) \cdot i(t) \quad (4.15)$$

Sendo $v(t)$ e $i(t)$ os sinais contínuos e periódicos instantâneos da tensão e da corrente, respectivamente. Assim, P_{ea} é determinado por [24]:

$$\begin{aligned} P_{ea} &= \frac{1}{T} \int_{t_0}^{t_0+T} p(t) dt \\ &\vdots \\ P_{ea} &= \frac{1}{T} \int_{t_0}^{t_0+T} v(t) \cdot i(t) dt \end{aligned} \quad (4.16)$$

Onde: t_0 é o instante inicial e T é o período ou ciclo fundamental dos sinais $v(t)$ e $i(t)$.

Em um MIT ligado a quatro fios (ligação Y), $v(t)$ e $i(t)$ são sinais de uma única fase. Sendo assim, a Potência Elétrica Ativa Total a quatro fios, P_{eaT-Y} , será a soma das contribuições das potências ativas de cada fase [24], ou seja:

$$\begin{aligned} P_{eaT-Y} &= P_{eaR} + P_{eaS} + P_{eaT} \\ &\vdots \\ P_{eaT-Y} &= \left(\frac{1}{T} \int_{t_0}^{t_0+T} v_R(t) i_R(t) dt \right) + \left(\frac{1}{T} \int_{t_0}^{t_0+T} v_S(t) i_S(t) dt \right) + \left(\frac{1}{T} \int_{t_0}^{t_0+T} v_T(t) i_T(t) dt \right) \end{aligned} \quad (4.17)$$

Novamente, se o MIT estiver ligado a três fios (ligação Δ), a Potência Ativa Total do MIT ligado em Δ , $P_{eaT-\Delta}$, também poderá ser obtida pelo “Método dos Dois Wattímetros” de acordo com a expressão (4.18) [24]:

$$\begin{aligned} P_{eaT-\Delta} &= P_{eaRS} + P_{eaTS} \\ &\vdots \\ P_{eaT-\Delta} &= \left(\frac{1}{T} \int_{t_0}^{t_0+T} v_{RS}(t) i_R(t) dt \right) + \left(\frac{1}{T} \int_{t_0}^{t_0+T} v_{TS}(t) i_T(t) dt \right) \end{aligned} \quad (4.18)$$

Sendo P_{eaRS} e P_{eaTS} as potências ativas parciais referente às fases R-S e T-S respectivamente; $v_{RS}(t)$ a tensão instantânea de linha entre $v_R(t)$ e $v_S(t)$, ou $v_R(t) - v_S(t)$; e $v_{TS}(t)$ a tensão instantânea de linha entre $v_T(t)$ e $v_S(t)$, ou $v_T(t) - v_S(t)$. Da mesma forma que a anterior, um dos fios, no caso o da fase S, é tomado como referência.

O Método dos Dois Wattímetros é aplicável para circuitos trifásicos a três fios (Δ), equilibrados ou não, sendo todos os três fios de fase. Poderá ser aplicado ao circuito a quatro fios (Y) se o mesmo for equilibrado, o que significa não circular corrente pelo neutro [24].

4.2.1.7 Fator de Potência

A soma das três potências citadas na **Subsubseção 4.2.1.6** é vetorial [19, 12], representada pelo “Triângulo das Potências”, diagramado na **Figura 4.13**.

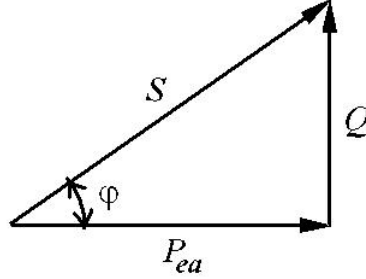


Figura 4.13: Triângulo de Potências.

O fator de potência f_P é o atraso da corrente em relação à tensão, medido pelo cosseno do ângulo de atraso φ , ou seja, f_P corresponde, no triângulo das potências, ao cosseno do ângulo de defasagem φ entre a potência aparente S e a potência ativa P_{ea} [19, 12, 25]. Assim:

$$f_P = \cos \varphi = \frac{P_{ea}}{S} \quad (4.19)$$

Apesar da notação f_P adotada, $\cos \varphi$ é uma simbologia muito utilizada para representar o fator de potência, inclusive nos dados de placa (vide **Subseção 4.1.6**).

Calculados os valores das potências totais S_T e P_{eaT} , obtidos pelos métodos descritos na **Subsubseção 4.2.1.6**, f_P pode ser obtido indiretamente por **4.19**. Especificamente para o Método dos Dois Wattímetros, como o argumento $\widehat{(v_{RS}(t), i_R)} = (\pi/6) - \varphi$ e o argumento $\widehat{(v_{RS}(t), i_R)} = (\pi/6) + \varphi$ para cargas equilibradas, f_P pode ser obtido calculando-se indiretamente φ pelas expressões [24]:

$$\cos \varphi = \frac{P_{eaT-\Delta}}{\sqrt{3} V_{RS} I_R}; \quad \text{ou} \quad \sin \varphi = \frac{P_{eaRS} - P_{eaTS}}{V_{RS} I_R}; \quad \text{ou} \quad \tan \varphi = \left(\frac{P_{eaRS} - P_{eaTS}}{P_{eaRS} + P_{eaTS}} \right) \sqrt{3} \quad (4.20)$$

De posse do valor de φ calcula-se f_P por **(4.19)**. A determinação do f_P contribui para análise do desempenho do MIT em plena operação, visto que dada a sua utilização em um sistema de potência trifásico, a indicação de um baixo f_P pode evidenciar que o motor está operando “em vazio”, com cargas muito pequenas, ou superdimensionado [12]. Como consequência do baixo f_P , têm-se o aumento de perdas elétricas, a flutuação da tensão (podendo causar a queima de motores e outros equipamentos), a sobrecarga nos equipamentos ou um aumento do desgaste dos dispositivos de proteção e manobra. Em última análise, o fator de potência indica se a energia está sendo bem utilizada. Quanto mais próxima da unidade melhor. Em suma, quem tem um melhor fator de potência está utilizando melhor a energia e economizando dinheiro, uma vez que se paga uma multa à fornecedora de energia, que custa o valor da conta de consumo, vezes a relação do fator de potência estabelecido como padrão e o fator de potencia medido na instalação. De acordo com a legislação em vigor (resolução ANEEL - Agência Nacional de Energia Elétrica - 456/2000) o fator de potência padrão foi estabelecido em 0,92, então, “Multa = Consumo normal(R\$) \times 0,92/ f_P medido” [12].

4.2.1.8 Rendimento

O desenvolvimento do rotor de dupla-gaiola criou uma versatilidade para os projetos dos motores de indução, conduzindo a uma variedade de característica torque versus velocidade. Modificando a construção das ranhuras do rotor, a curva torque velocidade também se modifica, provocando variantes que resultam em torques e correntes de partidas maiores ou menores e que influenciam no rendimento do motor [19, 12]. O rendimento (η) de um MIT é um índice que relaciona o quanto da potência elétrica entregue é realmente aproveitada na conversão eletromecânica [12], sendo equacionada da forma:

$$\eta = \frac{P_{mec}}{P_{ea}} \quad (4.21)$$

Onde P_{mec} é a potência mecânica transferida ao eixo do MIT e P_{ea} é a potência elétrica ativa entregue ao MIT, ambas abordadas anteriormente.

Motores elétricos são máquinas que desenvolvem apenas a potência que lhes é demandada. Assim, por exemplo, um motor de 50 CV pode acionar cargas de 0 a 50 CV. Acionar uma carga de 20 CV, por exemplo, é “confortável” para este motor, pois ele trabalhará a uma temperatura menor e terá uma vida útil maior. Em compensação, o seu rendimento cairá muito, ou seja, haverá um desperdício grande de energia [25].

4.2.1.9 Carregamento

O carregamento de um motor (γ) é a potência desenvolvida pelo motor em relação à potência nominal [25], ou seja:

$$\gamma = \frac{P_{mec}}{P_n} \quad (4.22)$$

Onde P_{mec} é a potência mecânica transferida ao eixo do motor e P_n é a potência nominal do motor.

O carregamento funciona como um índice que, do ponto de vista da potência desenvolvida, expressa o quanto o motor está sendo requisitado para realizar um dado trabalho, e do ponto de vista do consumo para motores elétricos, expressa o quanto o motor está demandando da energia útil a ele fornecida.

A equação (4.23) descreve um método simples e aproximado utilizado para o cálculo do γ em um MIT. I_m é a média dos valores eficazes (RMS) das três correntes de linha (I_R , I_S e I_T), e I_n é a corrente nominal eficaz (RMS) do motor (dado de placa).

$$\gamma = \frac{I_m}{I_n} \quad (4.23)$$

Sendo:

$$I_m = \frac{I_R + I_S + I_T}{3} \quad (4.24)$$

A estimação do carregamento e do rendimento de motores elétricos são alguns dos recursos utilizados para avaliação da eficiência energética e do planejamento energético dos sistemas de potência aos quais está inserido [25, 12].

4.2.2 Análise Espectral da Corrente do Estator

Os componentes de frequência do espectro de corrente do estator, no motor de indução, estão relacionados com a velocidade de rotação do rotor. Estes componentes não são múltiplos inteiros da fundamental, justamente por isso são chamados de “componentes” ao invés de “harmônicos”, evitando assim falsas analogias [11].

Os componentes de frequência surgem de variações na permeância do entreferro P_{ag} que, interagindo com a força magneto motriz de entreferro MMF_{ag} , produz uma densidade de fluxo magnético de entreferro B_{ag} expresso na equação (4.25) [26]:

$$B_{ag} = P_{ag} \times MMF_{ag} \quad (4.25)$$

As variações na permeância de entreferro são causadas através das ranhuras e excentricidades do rotor. De princípios fundamentais, pode ser mostrado que os resultados destes efeitos nos componentes de frequência da corrente do estator são expressos pela equação (4.26) [26, 27]:

$$f_{sh} = f_1 \left[(K \cdot R + n_d) \left(\frac{1-s}{p/2} \right) + n_w \right] \quad (4.26)$$

Sendo: f_{sh} o componente de frequência de ranhura ou excentricidade do rotor; f_1 a frequência fundamental de alimentação do MIT; s o escorregamento; R é o número de ranhuras do rotor; p é o número de polos; $K = 0, 1, 2, 3, \dots$ ($K \in \mathbb{N}$); n_d a ordem da excentricidade; n_w é a ordem do harmônico da MMF_{ag} .

Quanto à amplitude, os componentes de frequência são bem menores que a fundamental, podendo chegar a 60 dB abaixo (1.000 vezes menor que a amplitude de f_1) [11, 10]. Dessa maneira, faz-se necessária uma atenuação da amplitude de f_1 de forma a tornar detectáveis os componentes de frequência localizados por meio de (4.26).

Para aplicação neste Trabalho, trataremos apenas de dois componentes de frequência principais: os componentes de excentricidade f_{ecc} e de ranhura f_{sh} .

Os componentes de excentricidade f_{ecc} surgem de imperfeições do posicionamento do rotor em relação ao estator, como apresentado na **Subseção 4.1.3**. Seu equacionamento é obtido substituindo em (4.26) $K = 0$, $n_d = \pm 1$ e $n_w = 1$ [26] resultando na equação:

$$f_{ecc} = f_1 \left[1 \pm \left(\frac{1-s}{p/2} \right) \right] \quad (4.27)$$

O componente de excentricidade, f_{ecc} , quando localizado no espectro e relacionado à equação (4.27) pode fornecer o valor de s e n_{Hz} sem a necessidade do conhecimento do número de ranhuras R . Entretanto, a estimação do s ou da n_{Hz} através dos componentes de excentricidade não é exata em algumas situações de operações do MIT.

O Trabalho descrito em [11] mostrou que os componentes de frequência de excentricidade de primeira ordem, próximos de f_1 com $nd = \pm 1$, nem sempre são detectáveis com confiabilidade. No entanto, [11] mostrou o surgimento de outros componentes de excentricidade que podem ser localizados substituindo em (4.26) os valores: $k = 0$; $n_w = 1$; $nd = 2$ ou $nd = 3$. Cada um desses componentes de ordem 2 e 3

mostraram-se detectáveis em condições particulares, normalmente, quando os de $n_d = 1$ e $n_d = -1$ possuíam amplitudes baixas, distorções ou quando o motor operava com altas cargas ou com escorregamentos próximo de zero. Os componentes de excentricidade de primeira ordem, $nd = \pm 1$, serão nomeados de $f_{ecc\pm 1}$, e os de ordem três e dois, $n_d = 3$ e $n_d = 2$, como f_{ecc+2} e f_{ecc+3} respectivamente.

Dessa forma, combinando as equações (4.1), (4.3) e (4.26) obtém-se uma equação generalizada para determinação da velocidade de giro do eixo do MIT em Hz , n_{Hz} , com erro grosseiro, utilizando os componentes de excentricidade $nd = \pm 1, +2$ e $+3$ [11]:

$$n_{Hz} = \frac{f_{ecc(n_d)} - f_1}{n_d} \quad (4.28)$$

Para $nd = \pm 1$, (4.28) reduz-se a $n_{Hz} = |f_{ecc\pm 1} - f_1|$. Na Figura 4.14 são mostradas as faixas prováveis de localização dos componentes de frequência de excentricidade de primeira ordem próximos de $f_1 = 60,18 Hz$ com $nd = \pm 1, p = 4$. Nessa figura, f_1 já aparece atenuada pelo processamento analógico do circuito de condicionamento de sinais utilizado na aquisição.

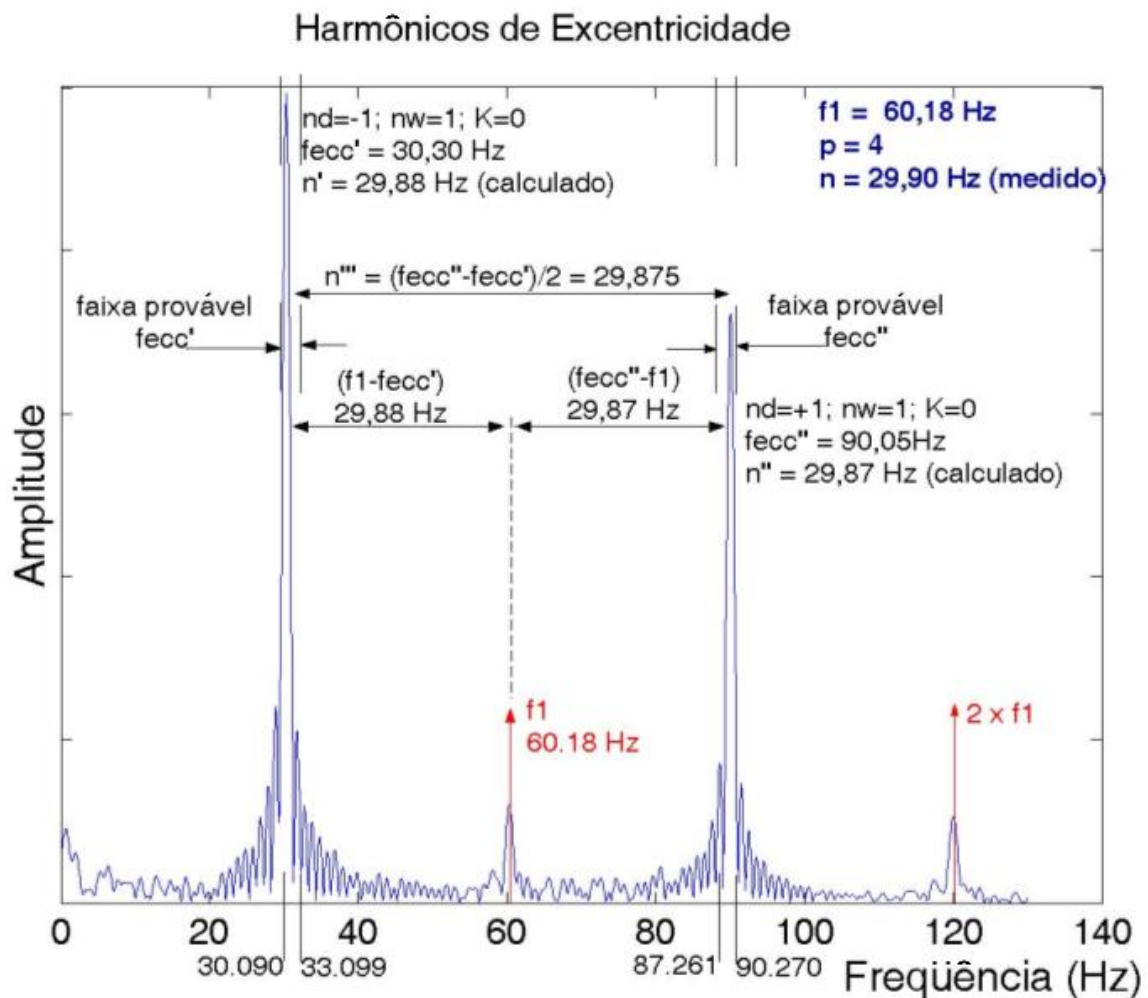


Figura 4.14: Faixas prováveis para localização dos componentes de frequência de excentricidade $f_{ecc\pm 1}$.

Os componentes de frequência de ranhuras, também identificados por f_{sh} , podem ser localizados no espectro da corrente elétrica do MIT através de (4.26) substituindo $K = 1$. Nessa situação percebe-se que esses componentes mantêm relações com o número de ranhuras, R , justificando seu nome (componentes de frequência de ranhuras) [11].

Substituindo em (4.26) o produto $f_1 \left(\frac{1-s}{p/2} \right)$ por n_{Hz} , obtém-se (4.29), que relaciona a velocidade de rotação (n_{Hz}) com o componente de ranhura f_{sh} e os demais parâmetros (K , R , n_d e n_w):

$$f_{sh} = (K \cdot R + n_d)n_{Hz} + f_1 n_w \quad (4.29)$$

O espectro na **Figura 4.15**, obtido em experimentos realizados em laboratório com o MIT, ilustra alguns componentes de frequência de ranhura do espectro da corrente de um motor de indução de 2 CV, $p = 4$, $R = 44$ no rotor e alimentado por um inversor. O inversor fornece uma tensão de alimentação trifásica a 220 V e frequência fundamental, $f_1 = 60,18 \text{ Hz}$. A velocidade do motor é $n_{Hz} = 29,9 \text{ Hz}$.

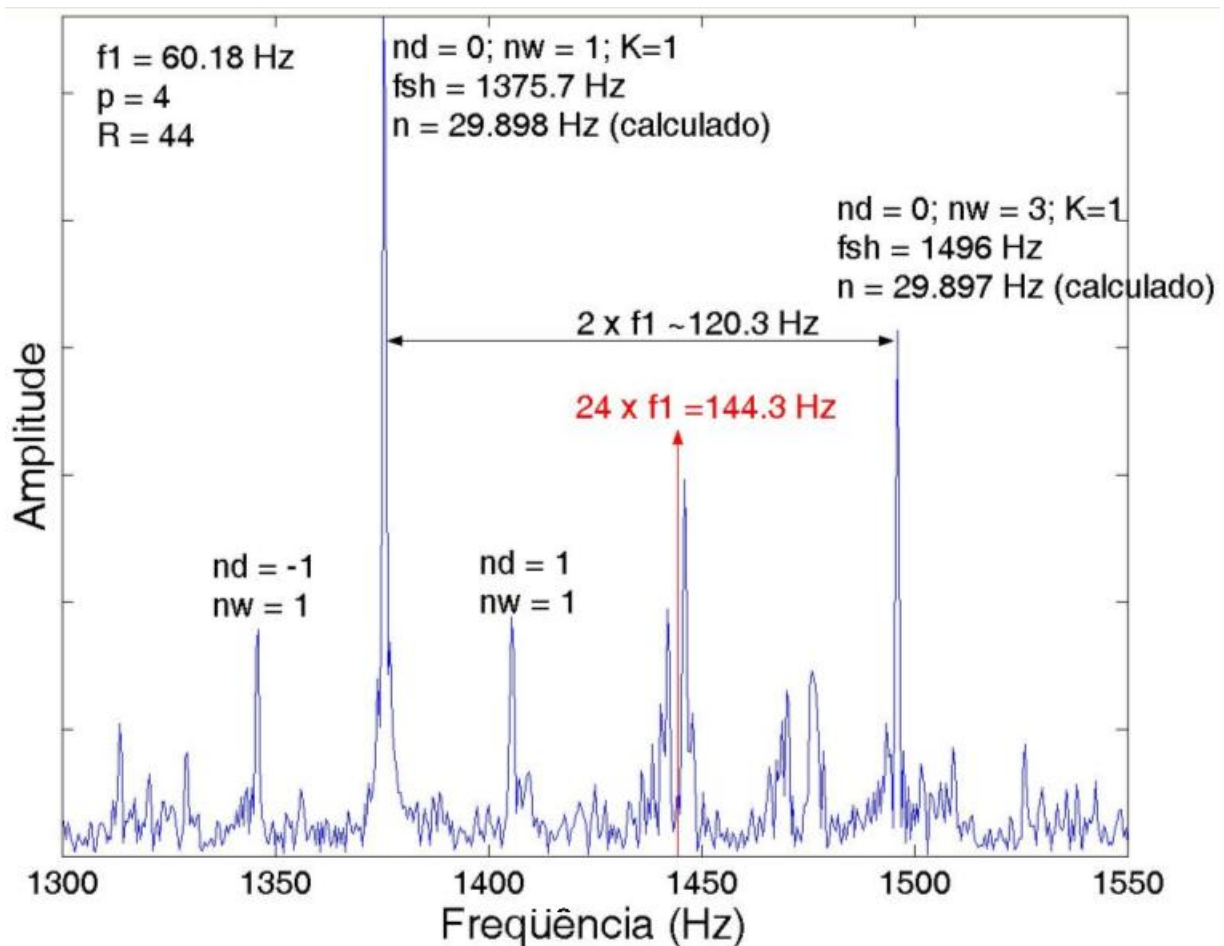


Figura 4.15: Componentes de frequência de ranhuras f_{sh} .

Tipicamente, o componente de frequência com $K = 1$ e $n_d = 0$ (excentricidade estática) ou $n_d = 1$ (excentricidade dinâmica) são muito evidentes [11]. No caso ilustrado na **Figura 4.15**, os componentes

resultantes de $n_d = 0$ são de maiores amplitudes. Pode-se obter n_{Hz} evidenciando-o em (4.29):

$$n_{Hz} = \frac{f_{sh} - f_1 n_w}{(K \cdot R + n_d)} \quad (4.30)$$

A vantagem da utilização do método 4.30 em relação ao método (4.28) é a precisão do valor obtido da rotação do eixo n_{Hz} , uma vez que ao se buscar componentes de frequência mais distantes de f_1 a faixa provável de localização aumenta, compatibilizando com a resolução espectral existente, além do fato de a amplitude ser mais detectável [11]. Em contrapartida, o método 4.30 depende de características estruturais da máquina (R , K , n_d , n_w).

Com n_{Hz} estimado por meio da localização de qualquer um dos dois componentes de frequência citados, pode-se obter n em *rpm* utilizando da equação (4.6) e s por meio de (4.3).

As equações (4.26) e (4.29), bem como a localização de componentes de frequência significativos em função de parâmetros específicos (R , K , n_d , n_w), são a base para estimação do escorregamento s e velocidade n através do método da análise espectral.

Finalizando, as interações dos efeitos eletromagnéticos com as perturbações causadas pelas ranhuras do rotor e pelas imperfeições de excentricidade no entreferro são fatos que gerarão componentes de frequências no espectro da corrente de linha do estator. Aliando a utilização de inversores de frequência no controle de velocidade, como exposto na **Subseção 4.1.5**, implica na geração de outros componentes de frequência, devido à natureza retangular das tensões de alimentação (de linha) geradas pela PWM. Dessa forma, perturbações elétricas e mecânicas externas serão refletidas no espectro de corrente do estator, originadas pelas contribuições dos componentes de frequência induzidos por qualquer uma das fontes citadas. Percebe-se, com isso, a possibilidade de se inferir muito sobre o funcionamento e o comportamento do MIT conhecendo-se apenas o espectro dos componentes de frequência da corrente de alimentação, a exemplo, estimação de velocidade [26], análise de vibração e de falha [27].

Existem muitas técnicas difundidas na literatura para leitura e aquisição do sinal da corrente instantânea do estator sem a necessidade do contato físico a partir do campo magnético gerado pela mesma. A utilização de uma dessas técnicas de aquisição aliado ao processamento digital de sinais voltado à análise no domínio da frequência, oferecem a vantagem de permitir o desenvolvimento de equipamentos para medição indireta e análise com um grau de intrusividade mínimo, ou até nulo.

As metodologia de estimação do torque no eixo de MIT's [10], experimentada em ambiente *LABVIEW* da *National Instruments*, bem como o algoritmo de identificação de parâmetros intrínsecos e construtivos do MIT [11], validado por meio da ferramenta computacional *MATLAB*, da *MathWorks*, ambos descritos nas seções seguintes, são baseados na análise do espectro de corrente para localização dos componentes de frequência f_{sh} e f_{ecc} . A análise e a localização de f_{sh} e f_{ecc} são feitas por meio do processamento digital de sinais utilizando uma DFT ou uma FFT. Com os componentes de frequência localizados, é feita a estimação de n_{Hz} , que será utilizada para obter indiretamente o torque τ , além de outras grandezas elétricas e mecânicas do MIT. Estas técnicas serão empregadas para o desenvolvimento do *firmware* do equipamento proposto, atendendo ao requisito de baixa intrusividade exposto na **Seção 3.9**.

4.2.3 Metodologia de Estimação do Torque

Realizando uma ampliação fora de escala na curva “velocidade (rotação) \times torque”, abordada na **Subseção 4.1.4**, e representada agora na **Figura 4.16**, verifica-se que entre a velocidade síncrona (n_s) e a velocidade nominal (n_n), esta curva pode ser aproximada por uma reta com coeficiente angular negativo [10, 13].

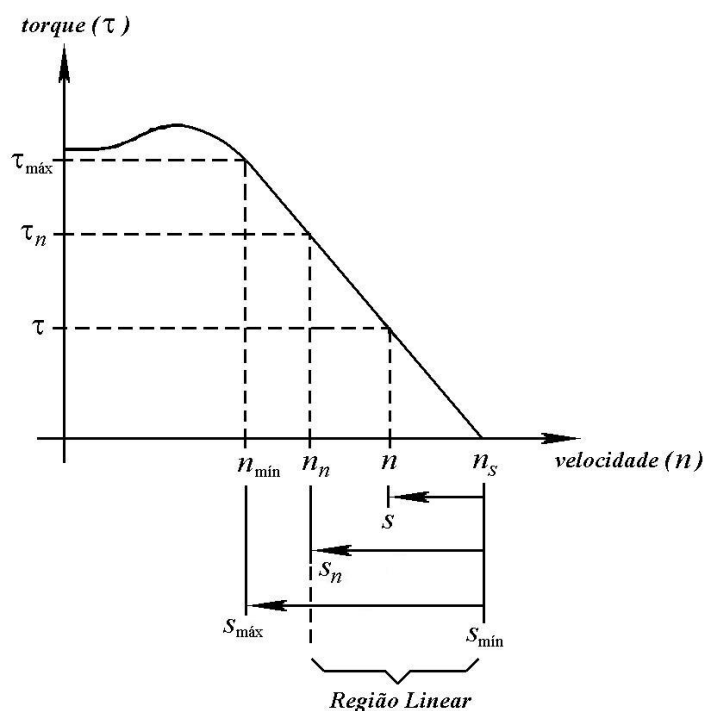


Figura 4.16: Curva “Velocidade (rotação) \times Torque” fora de escala evidenciando a região linear.

De acordo com a referência [10], dentro da região linear o torque teórico do MIT pode ser estimado pelo método do escorregamento:

$$\tau \simeq \frac{s}{s_n} \cdot \tau_n \quad (4.31)$$

O escorregamento s é obtido conhecendo-se a velocidade do motor n de acordo com a equação (4.3). De posse dos dados nominais de placa do MIT (vide **Subseção 4.1.6**), τ_n é obtido por (4.11) e s_n é obtido por (4.8). Assim, a equação (4.31) estima o torque no eixo do MIT relacionando apenas os dados nominais com a velocidade do giro do rotor (n). No caso da aplicação em poços com BCP (vide **Capítulo 2**), conhecendo-se a relação do redutor, pode-se obter também o torque na haste da bomba.

Nesta Dissertação, a grandeza τ_{max} transcrita na **Figura 4.16** não representa o torque máximo alcançado pelo MIT, mas sim, o valor máximo do torque τ que pode ser alcançado pelo método fora da região linear, mas com um desvio pouco significativo da reta aproximada. Por isso, τ_{max} não se encontra no ponto mais alto da curva da **Figura 4.16**. Normalmente, τ_{max} é obtido quando $s_{max} = 0,1$ (vide **Subseção 4.1.2**).

Relembrando a abordagem do **Capítulo 2**, o MIT em um poço BCP é alimentado por um inversor escalar. Na **Subseção 4.1.5** foi apresentado o princípio de funcionamento desse conversor, baseado na variação da frequência f e da tensão V de alimentação de forma a manter a relação V/f constante. Ao considerar que a variação da velocidade do MIT pode ser influenciada tanto pela variação da frequência quanto pela variação da tensão da alimentação do estator, é empregado em **(4.31)** um fator de correção em função da frequência e da tensão de alimentação, multiplicando este fator ao valor resultante do torque teórico τ calculado em **(4.31)** [10]. Assim, não só a aquisição do sinal de corrente é necessária ao processo, como também a identificação da frequência do sinal de alimentação f e a aquisição do sinal de tensão do estator V , ambos gerados pelo inversor.

Para determinação do fator de correção considerando as variações de V e f , novas variáveis devem ser definidas. A primeira, chamada de β , relacionada à frequência do sinal de alimentação (f_1) com a frequência nominal de alimentação do MIT (f_n) tomada como base, ou seja:

$$\beta = \frac{f_1}{f_n} \quad (4.32)$$

A segunda, cuja notação é b , relacionada à tensão eficaz de alimentação do MIT (V_{MIT}) com a tensão eficaz nominal de alimentação do MIT (V_n) também tomada como base:

$$b = \frac{V_{MIT}}{V_n} \quad (4.33)$$

Dessa forma, o fator de correção do torque f_{corr} estará relacionado indiretamente com as variações de V e f por meio dos parâmetros β e b , logo, $f_{corr} = f_{corr}(\beta, b)$.

$f_{corr}(\beta, b)$ não é linear e seu cálculo depende de duas situações de operação do MIT [10]:

- 1.^a $\beta \leq 1$ - Funcionamento da máquina até a frequência nominal com o uso de conversor de frequência escalar (condição de torque nominal constante): $f_{corr}(\beta, b) = b^2\beta$;
- 2.^a $1 < \beta < 1,5$ - Funcionamento da máquina acima da frequência nominal com o uso de conversor de frequência escalar (condição de potência nominal constante): $f_{corr}(\beta, b) = b^2\beta^{-1}$;
- 3.^a $\beta \geq 1,5$ - Funcionamento da máquina acima da frequência nominal com o uso de conversor de frequência escalar na condição de altas perdas no ferro e corrente reduzida de estator: $f_{corr}(\beta, b) = b^2\beta^{-2}$.

Nota-se acima que para o MIT operando nas condições nominais, ou seja, $f_1 = f_n$ e $V_{MIT} = V_n$, $\beta = 1$ e $b = 1$ respectivamente, logo, $f_{corr}(\beta, b) = 1$. Observa-se também que para $f_{corr}(\beta, b)$ as correções de tensão por meio de b são feitas considerando a variações do torque com o quadrado da tensão em qualquer faixa, mesmo na faixa onde a tensão deve ser mantida constante. Afinal, a variação quadrática com a tensão é uma característica intrínseca do motor de indução [10].

Considerando a correção do torque teórico, **(4.31)** é reescrita como:

$$\tau \simeq f_{corr}(\beta, b) \left(\frac{\tau_n}{s_n} \right) s \quad (4.34)$$

Como a razão (τ_n/s_n) é uma constante originada dos dados de placa, futuramente ela será calculada na execução do *firmware* uma única vez após a parametrização do equipamento.

A proposta dessa metodologia é estimar a velocidade do motor n utilizando a análise do sinal de corrente do estator do MIT no domínio da frequência. Isso é feito da seguinte forma: de acordo com o exposto na **Subseção 4.1.2**, admite-se $s_{max\%} = 10\%$, logo, é feita uma análise espectral para estimação da velocidade, a partir do escorregamento 0% (valor utilizado apenas no método, pois para $s = 0$, não há indução no rotor do MIT, como exposto na **Subseção 4.1.2**) até escorregamento limite de 10%, ou seja, substituindo em (4.26) os valores $s = s_{min} = 0$ e $s = s_{max} = 0,1$, utilizando os valores de R , n_d e n_w pré-determinados. Para s_{min} e s_{max} são obtidos de (4.26) os valores limites $f_{sh(max)}$ e $f_{sh(min)}$, respectivamente, constituindo juntos uma faixa de frequência onde será feita a busca da f_{sh} . Sobre as amostras coletadas e digitalizadas do sinal de corrente do estator, é calculada uma FFT e, posteriormente, busca-se f_{sh} dentro da faixa especificada por $f_{sh(max)}$ e $f_{sh(min)}$. Ela será o componente de frequência cujo pico se destaca em amplitude em relação aos demais. Uma vez localizada a f_{sh} , o seu valor é substituído em (4.30) e, assim, obtemos o valor estimado da velocidade no eixo n_{Hz} com precisão. De posse de n_{Hz} , calcula-se o s utilizando (4.3) e, posteriormente, estima-se o torque τ por (4.34).

Dentro da faixa determinada por $f_{sh(max)}$ e $f_{sh(min)}$, quanto menor f_{sh} , menor será a velocidade do rotor n e maior será o escorregamento s , conseqüentemente, maior será o torque τ . Quando $f_{sh} = f_{sh(min)}$, o torque será máximo (τ_{max}). Quanto maior f_{sh} , maior será a velocidade do rotor n e menor será o escorregamento s , conseqüentemente, menor será o torque τ . Quando $f_{sh} = f_{sh(max)}$, o torque será mínimo (τ_{min}). A **Figura 4.17** apresenta essa análise da faixa de frequência para localização de f_{sh} .

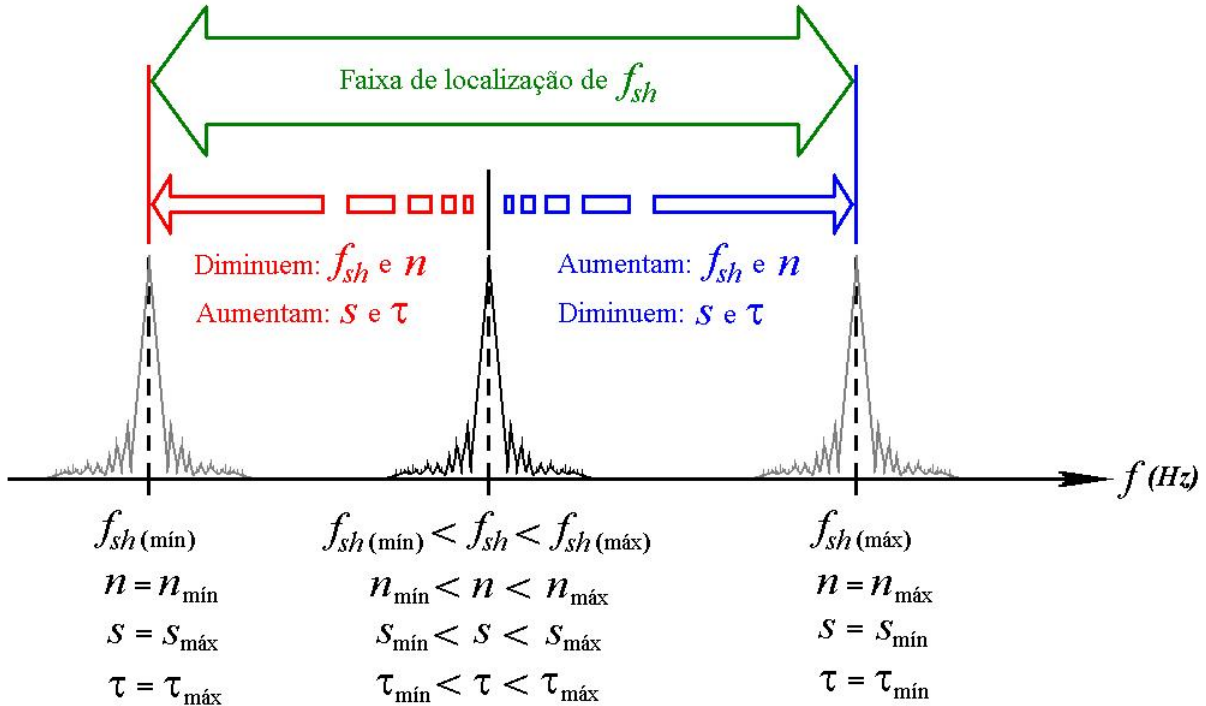


Figura 4.17: Análise da faixa de frequência para localização de f_{sh} .

A solução adotada para adquirir de forma não intrusiva o sinal de corrente utilizado para identificar o componente de frequência de interesse (f_{sh}) será abordada no **Capítulo 5**. As soluções adotadas para obter o valor da tensão eficaz de alimentação do MIT (V_{MIT}) e para inferir a frequência do sinal de alimentação do MIT (f), ambas necessárias à determinação de f_{corr} , serão abordadas nos **Capítulos 5 e 6**.

Observando em (4.26) e (4.30), percebe-se que há parâmetros nestas equações que não são dados de placa do motor, mas sim, características construtivas e algumas até intrínsecas a cada MIT. São eles: o número de ranhuras R (característica construtiva), a ordem dos harmônicos de excentricidade n_d e a ordem dos harmônicos de ranhura n_w (ambos características intrínsecas), e é feito $K = 1$ sempre. As características construtivas são adquiridas na fabricação e podem ser levantadas visualmente, no caso de R , que pode ser contado. Já características intrínsecas, como a ordem dos harmônicos de excentricidade e ranhura (n_d e n_w respectivamente) devem ser levantadas por meio de complexos ensaios experimentais em laboratório.

Outra metodologia descrita na referência [10] é a estimação do torque por meio do “Método da Corrente”. Este método presume que o torque desenvolvido pelo motor de indução é de alguma forma proporcional a corrente consumida. A **Figura 4.18** mostra o erro cometido quando se usa esta aproximação. O torque é normalmente superestimado até a corrente nominal I_n [12].

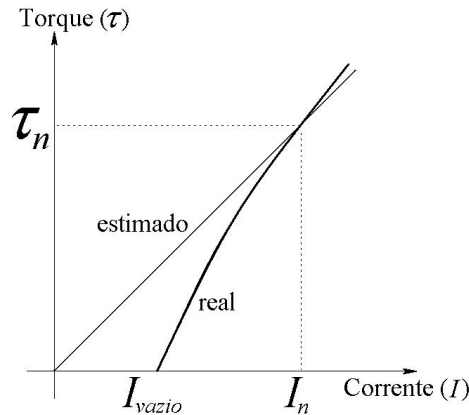


Figura 4.18: Comportamento da curva “Torque \times Corrente” para o Método da Corrente.

Sendo I_{vazio} a corrente a vazio do motor, o torque τ pode ser estimado como sendo:

$$\tau \simeq \left(\frac{I - I_{vazio}}{I_n - I_{vazio}} \right) \tau_n \quad (4.35)$$

I_{vazio} é utilizada em (4.35) como uma opção para melhorar a performance do método da corrente [10], mas a informação de I_{vazio} nem sempre é dada pelo fabricante e não é uma informação de placa (vide **Subseção 4.1.6**). Para o caso de não estar disponível, ou quando o motor já foi rebobinado, é necessário o ensaio a vazio, aumentando consideravelmente a intrusividade do método.

Sendo assim, como também o fato de apresentar um erro maior que o método do escorregamento, a alternativa de estimação do torque pelo método da corrente proposto na referência [10] não será utilizada neste Trabalho para implementação no *firmware* do equipamento proposto. Será utilizado apenas para a estimação do torque o método do escorregamento obtido pela análise espectral.

4.2.3.1 Análise das Influências dos Erros sobre a Metodologia

Para o método de estimação do torque auxiliado pela análise espectral descrito anteriormente, vários erros podem ser obtidos, uma vez que se trata de um método indireto dependente de uma série de parâmetros e grandezas que necessitam ser previamente determinadas, como a frequência de alimentação do MIT oriunda do inversor, os componentes de frequência de excentricidade e de ranhura, a velocidade e o escorregamento. Há sempre um erro associado na determinação do valor de cada grandeza necessária à estimação do valor do torque, propagando-se e refletindo-se no mesmo.

As influências dos erros sobre o valor final das grandezas estimadas para aplicação no método utilizado por esta Dissertação estão descritos na referência [10], sendo os mais relevantes para este Trabalho enumerados a seguir:

1. **Influência do erro da velocidade no escorregamento:** Seja $\varepsilon_s = 100 \times (\Delta s/s)$ o erro ou desvio relativo percentual do escorregamento e seja $\varepsilon_n = 100 \times (\Delta n/n)$ o erro ou desvio relativo percentual da velocidade (rotação), a relação entre ambos é definida por [10]:

$$\varepsilon_s = \frac{s-1}{s} \cdot \varepsilon_n \quad (4.36)$$

Por (4.36), quando s tende a ser nulo, ou seja, n tende a n_s (vide equação (4.3)), ε_s tende a $-\infty$, evidenciado pelo cálculo do valor do limite:

$$\lim_{n \rightarrow n_s} \varepsilon_s = \lim_{n \rightarrow n_s} \frac{\varepsilon_n}{1 - \frac{n_s}{n}} = -\infty \quad (4.37)$$

Este fato aponta para o cuidado necessário na medição ou estimação da velocidade quando o motor está com pouca carga ou a vazio, pois a velocidade do rotor n está mais próxima da velocidade síncrona n_s . Um pequeno erro na determinação da velocidade implica em um erro de escorregamento muitas vezes maior e resultando em um alto valor do erro para o torque estimado [10]. Na **Figura 4.19** temos a curva “Escorregamento \times Desvio Percentual” que demonstra esse comportamento, obtida de ensaios experimentais nos trabalhos da referência [10]. Nessa figura, em **a)**, tem-se o desvio (erro) relativo percentual para o escorregamento situado entre 1 a 10%. Já em **b)** tem-se o o desvio (erro) relativo percentual para o escorregamento até 1% (operação a vazio). Em **b)**, onde se tem a situação de escorregamento tendendo a zero (motor operando a vazio), o desvio (erro) percentual supera 100%, comprovando (4.37). Algo semelhante ocorre com o torque partindo da velocidade [10].

De qualquer forma, independente da ocorrência de erros na medição ou estimação da velocidade, com o motor na situação de pouca carga ou a vazio, o erro na determinação do escorregamento e, conseqüentemente, do torque, será elevado.

Considerando, por exemplo, o escorregamento situado na faixa $0,01 \leq s \leq 0,1$, que corresponderia, respectivamente, à situação de pouca carga e plena carga no eixo do motor, tem-se $-99 \varepsilon_n \leq \varepsilon_s \leq -9 \varepsilon_n$ [10].

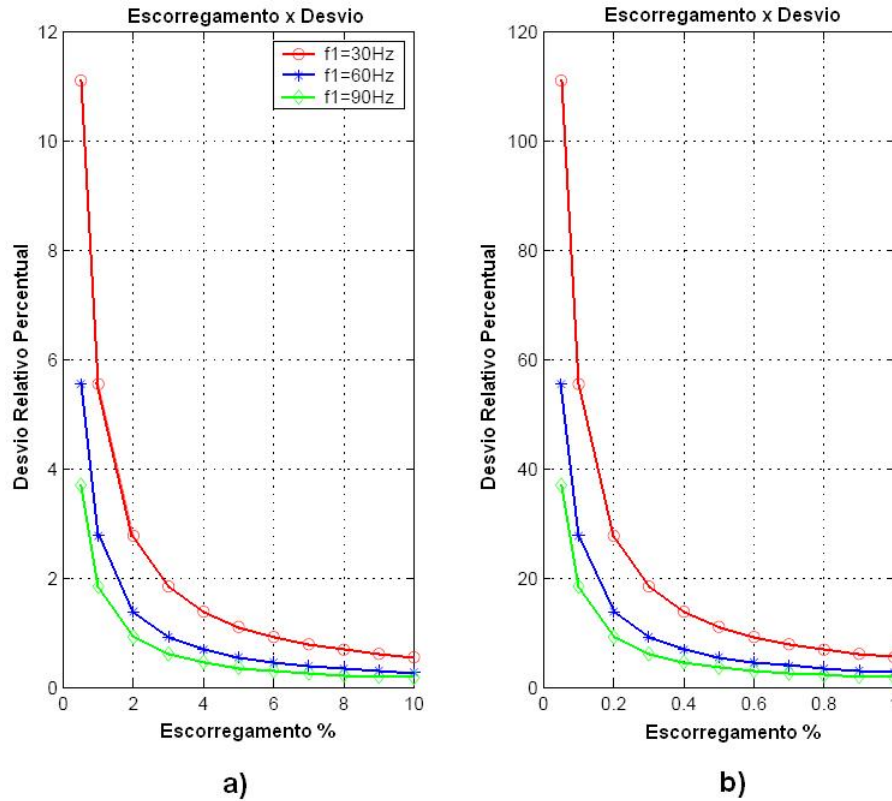


Figura 4.19: Erro na determinação do escorregamento (s): **a)** Desvio para $1\% < s \leq 10\%$; **b)** Desvio para $0\% < s \leq 1\%$. Quanto menor o escorregamento maior o desvio (em **b**) supera 100% quando s tende a zero).

2. **Influência do erro da velocidade no torque:** Definindo-se o torque relativo ou normalizado:

$$y = \frac{\tau}{\tau_n} = \frac{n_s - n}{n_s - n_n} \quad (4.38)$$

O erro ou desvio relativo percentual do torque relativo ou normalizado, $\varepsilon_y = 100 \times (\Delta y/y)$, é dado por [10]:

$$\varepsilon_y = \frac{n}{n - n_s} \cdot \varepsilon_n \quad (4.39)$$

No caso limite em que n tende a n_s em (4.39), tem-se:

$$\lim_{n \rightarrow n_s} \varepsilon_y = \lim_{n \rightarrow n_s} \frac{\varepsilon_n}{1 - \frac{n_s}{n}} = -\infty \quad (4.40)$$

O resultado acima leva às mesmas conclusões da influência do erro anterior. Novamente, independente da ocorrência de erros na medição ou estimação da velocidade, com o motor na condição de pouca carga ou a vazio o erro na determinação do torque será elevado. O erro no torque relativo sofre uma grande influência do erro relativo da velocidade quando esta se aproxima da velocidade síncrona. Considerando novamente o escorregamento situado na faixa $0,01 \leq s \leq 0,1$, tem-se o erro relativo do torque variando aproximadamente de dez vezes com a velocidade [10].

3. Influência do erro dos componentes de frequência no torque: Seja $\varepsilon_{fsh} = 100 \times (\Delta f_{sh}/f_{sh})$ o erro ou desvio relativo percentual do componente de frequência f_{sh} e seja $\varepsilon_y = 100 \times (\Delta y/y)$ o erro ou desvio relativo percentual do torque relativo ou normalizado. Conforme [10], a relação entre ambos é definida por:

$$\varepsilon_y = \left(\frac{s - \left[\left(\frac{n_w}{K \cdot R + n_d} \right) \left(\frac{p}{2} \right) + 1 \right]}{s} \right) \varepsilon_{fsh} \quad (4.41)$$

De uma forma simplificada, pode-se dizer que $\varepsilon_y = K' \cdot \varepsilon_{fsh}$, onde K' é uma constante que depende do escorregamento s e de outros parâmetros construtivos e intrínsecos do MIT. Considerando a faixa de escorregamento de 1% a 10%, tem-se ε_y situado na faixa:

$$\begin{aligned} 0,01 & \leq s \leq 0,10 \\ & \vdots \\ \left(1 - \frac{\left[\left(\frac{n_w}{K \cdot R + n_d} \right) \left(\frac{p}{2} \right) + 1 \right]}{0,01} \right) \varepsilon_{fsh} & \leq \varepsilon_y \leq \left(1 - \frac{\left[\left(\frac{n_w}{K \cdot R + n_d} \right) \left(\frac{p}{2} \right) + 1 \right]}{0,10} \right) \varepsilon_{fsh} \end{aligned}$$

Estas inequações revelam que o desvio relativo no torque diminui com o aumento da carga para o mesmo desvio relativo no componente de frequência. Elas revelam também que um desvio positivo na determinação do componente de frequência causa um desvio negativo no torque e vice-versa, correspondendo ao mesmo efeito observado na **Figura 4.17**, que relaciona graficamente a posição de f_{sh} no espectro com o torque e com outras grandezas.

Simplificando a equação (4.41) pela substituição $n_w = 0$, é acrescentado um erro menor que 5% e a equação (4.41) se reduz à (4.42), fornecendo para a mesma variação do escorregamento ($0,01 \leq s \leq 0,1$) as inequações encontradas em (4.43):

$$\varepsilon_y = \left(\frac{s - 1}{s} \right) \varepsilon_{fsh} \quad (4.42)$$

$$\begin{aligned} 0,01 & \leq s \leq 0,10 \\ & \vdots \\ -99 \varepsilon_{fsh} & \leq \varepsilon_y \leq -9 \varepsilon_{fsh} \end{aligned}$$

De qualquer forma, assim como no estudo da velocidade versus escorregamento anterior, no limite onde a velocidade do motor tende à velocidade síncrona, o escorregamento tende a zero e o erro no torque tende a menos infinito, como é evidenciado pela equação [10]:

$$\lim_{s \rightarrow 0} \varepsilon_y = \lim_{s \rightarrow 0} \frac{1 - \frac{1}{s}}{1} \varepsilon_{fsh} = -\infty \quad (4.43)$$

As influências dos erros expostas nas três situações acima serão fundamentais para a discussão, a análise e a validação, na **Seção 7.4**, dos resultados obtidos pelo protótipo do equipamento, proposto por esta Dissertação, na estimação do torque e de outras grandezas elétricas e mecânicas do MIT.

4.2.4 Algoritmo de Identificação de Parâmetros

Como pôde-se perceber, a metodologia apresentada na **Subseção 4.2.3** para estimação do torque pelo método do escorregamento, obtido pela análise espectral do sinal de corrente do estator do MIT, e que será a técnica utilizada pelo equipamento proposto por esta Dissertação, tem como premissa que os parâmetros intrínsecos e construtivos da máquina já estão determinados.

Para que isso seja possível, uma única vez, um dos algoritmos a serem implementados no DSP, o “Algoritmo de Detecção Automática de Parâmetros do MIT” proposto na referência [11], a ser descrito nesta seção, determinará os parâmetros R , n_d e n_w , utilizando uma metodologia iterativa. Para o algoritmo mencionado, fixou-se o tempo de amostragem do sinal em 1 s, o que proporciona no espectro um distanciamento entre os picos das componentes de frequência de aproximadamente 1 Hz.

O algoritmo de detecção automática é dividido em três etapas principais, conforme sua visão geral ilustrada no fluxograma da **Figura 4.20**.

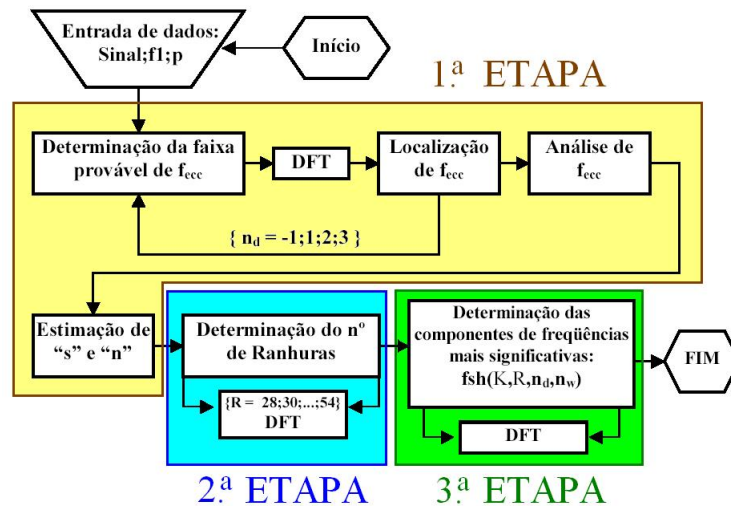


Figura 4.20: Fluxograma geral simplificado do algoritmo de detecção automática, enfatizando suas etapas principais.

Na primeira etapa, tendo disponíveis o número de pólos p do MIT, coleta-se 1 s de amostras no sinal de corrente para inferir a frequência fundamental do sinal de alimentação f_1 e calcular a DFT destas amostras. O método de inferência de f_1 , utilizado na referência [11], também foi por meio de uma DFT. De posse de p , f_1 e a DFT das amostras, localiza-se inicialmente os componentes de excentricidade f_{ecc} próximos a fundamental f_1 (abordados na **Subseção 4.2.2**) para cada ordem possível de excentricidade $n_d = \pm 1, +2$ e $+3$.

A faixa de busca de f_{ecc} é determinada usando um método semelhante ao de busca de f_{sh} , abordado na **Subseção 4.2.3**, ou seja, para cada ordem possível de excentricidade ($n_d = \pm 1, +2$ e $+3$) e fazendo $K = 0$ (vide **Subseção 4.2.2**), substitui-se em (4.26) $s = 0$ e $s = 0, 1$, obtendo $f_{ecc(min)}$ e $f_{ecc(max)}$, respectivamente, para cada n_d (exceto para $n_d = -1$, onde a ordem de $f_{ecc(min)}$ e $f_{ecc(max)}$ inverte).

A localização de um determinado componente de excentricidade ocorre se sua amplitude, chamada de

“pico máximo”, se destacar em relação às demais na faixa de localização obedecendo aos seguintes critérios de validação:

- O pico máximo deve se destacar em relação aos demais picos. Utilizou-se como critério a razão entre o pico máximo e a média das amplitudes dos demais picos próximos (na faixa provável), estando com a amplitude de no mínimo 2,5 vezes maior.
- A distância entre o componente de frequência e um múltiplo da fundamental mais próximo seja de no mínimo um valor igual ao da distância entre os picos da DFT (o inverso do tempo de amostragem).
- Considerando a simetria e a mesma ordem de grandeza dos componentes de excentricidade de primeira ordem, $n_d = 1$ ou $n_d = -1$, no caso de um dos dois componentes não atenderem o primeiro critério opta-se por desconsiderar os dois componentes em detrimento de outros ($n_d = 2$ ou $n_d = 3$).

O componente de excentricidade localizado (f_{ecc-1} para $n_d = -1$ ou f_{ecc+1} para $n_d = +1$ ou f_{ecc+2} para $n_d = +2$ ou f_{ecc+3} para $n_d = +3$) é substituído na equação (4.28) para determinação de n_{Hz} e utilizando o resultado em (4.3) calcula-se s . Se mais de um componente atender aos critérios de validação, calcula-se n_{Hz} e s para cada componente e utiliza-se as médias dos resultados de n_{Hz} e s . A **Figura 4.21** mostra uma faixa de f_{ecc+3} para $n_d = +3$. Nessa faixa f_{ecc+3} atendeu aos critérios de validação a), b) e c) citados anteriormente, logo, foi considerado localizado.

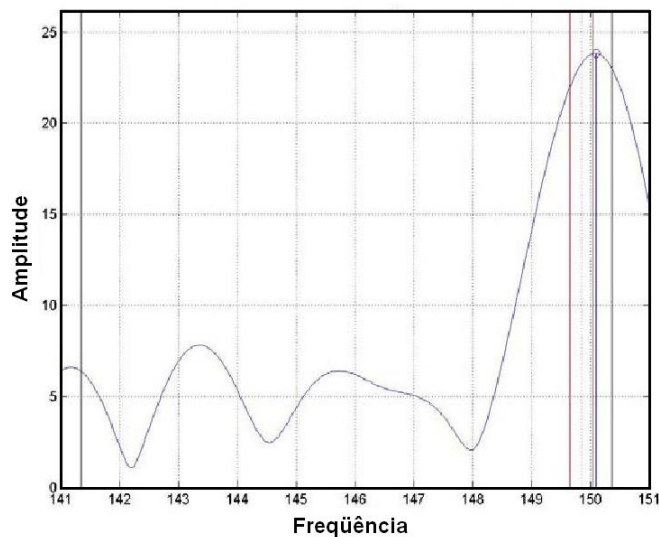


Figura 4.21: Componente de frequência de excentricidade de terceira ordem, f_{ecc+3} , na faixa de localização, atendendo aos três critérios de validação.

A **Figura 4.22** mostra o fluxograma completo da primeira etapa, para localização dos componentes de excentricidade.

Depois dessa primeira etapa, sem a necessidade de se conhecer o número de ranhuras R têm-se uma estimativa grosseira de n_{Hz} e s para ser utilizada na próxima etapa, na determinação iterativa do número de ranhuras R do MIT.

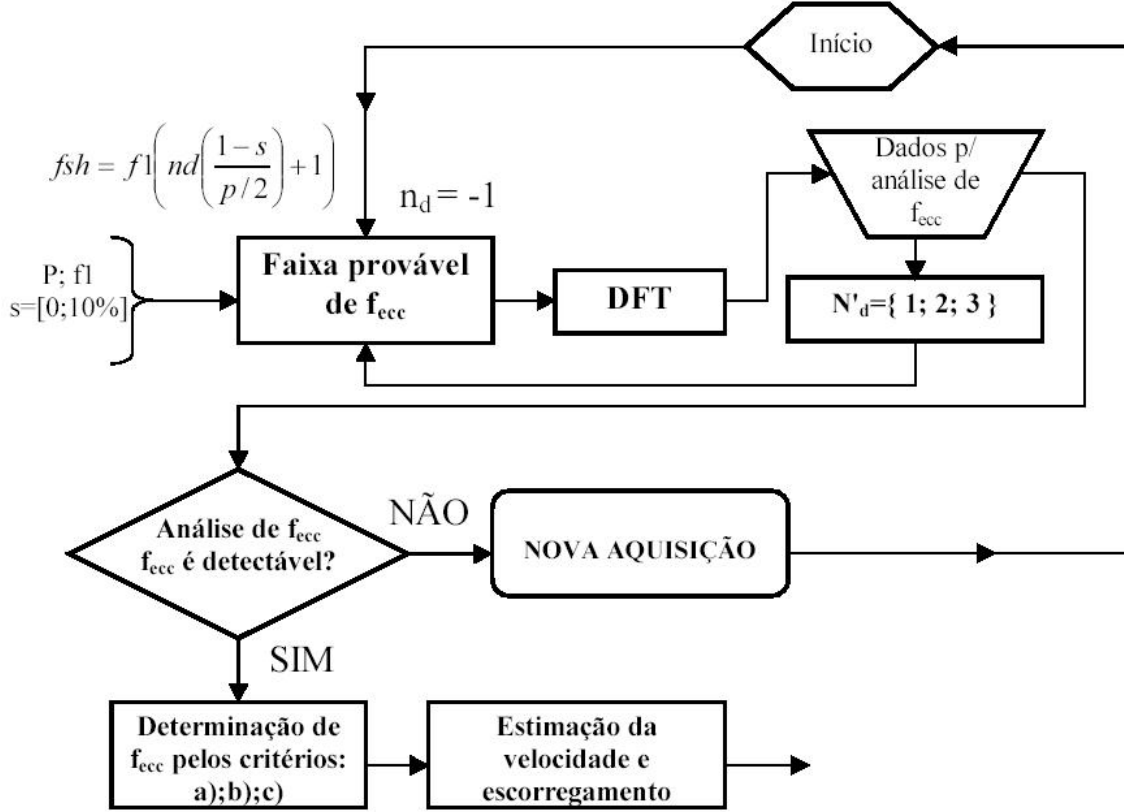


Figura 4.22: Fluxograma completo da primeira etapa do algoritmo de detecção automática.

Na segunda etapa o algoritmo inicia o trabalho iterativo, começando com a determinação de R . Como se tem disponível o valor grosseiro de n_{Hz} , a faixa provável de localização de f_{sh} não é mais determinada pelos valores de $s_{min} = 0$ e $s_{max} = 0,1$, mas sim, substituindo os possíveis valores de R na equação (4.29) considerando os erros máximos na determinação de n_{Hz} e f_1 como sendo $En_{Hz} = \pm 0,05 \text{ Hz}$ e $Ef_1 = \pm 0,05 \text{ Hz}$ respectivamente. Assim, os novos limites são definidos pelas equações:

$$f_{sh(min)} = (K \cdot R + n_d)(n_{Hz} - En_{Hz}) + (f_1 - Ef_1)n_w \quad (4.44)$$

$$f_{sh(max)} = (K \cdot R + n_d)(n_{Hz} + En_{Hz}) + (f_1 + Ef_1)n_w \quad (4.45)$$

De acordo com o exposto na **Subseção 4.1.1**, na iteração são substituídos os possíveis valores pares de R de 28 a 54, e para cada R é calculada uma nova região de localização de f_{sh} . As Regiões são calculadas através das equações (4.44) e (4.45) substituindo $K = 1$, $n_d = 0$, e $n_w = -5; -3; -1; 1; 3; 5$ se o escorregamento determinado na primeira etapa for menor que 0,01 ($s < 0,01$) e $n_w = -1; 1$ caso contrário ($s \geq 0,01$). Essa condição foi imposta devido a observações práticas que identificaram que os componentes de frequência principais descritos nas referências [26, 11], com $n_w = -1$ ou $n_w = 1$, nem sempre se destacavam para escorregamentos abaixo de 0,01. Como são 14 ranhuras possíveis e 6 n_w 's no máximo a serem testados, o número de iterações poderá chegar a $14 \times 6 = 84$ iterações nessa etapa. Será considerado como correto o

número de ranhuras R que determinar uma região de faixa provável que possua o componente de frequência mais significativo em amplitude o qual obedeça aos mesmos critérios de seleção “a)” e “b)” utilizados para os componentes de excentricidade. A referência [11] menciona que mais de um resultado para o número de ranhuras poderá atender aos critérios de seleção, principalmente se o MIT estiver com escorregamento baixo (menor que 1%) ou funcionando sem carga. A **Figura 4.23** mostra o fluxograma completo da segunda etapa, para determinação do número de ranhuras R .

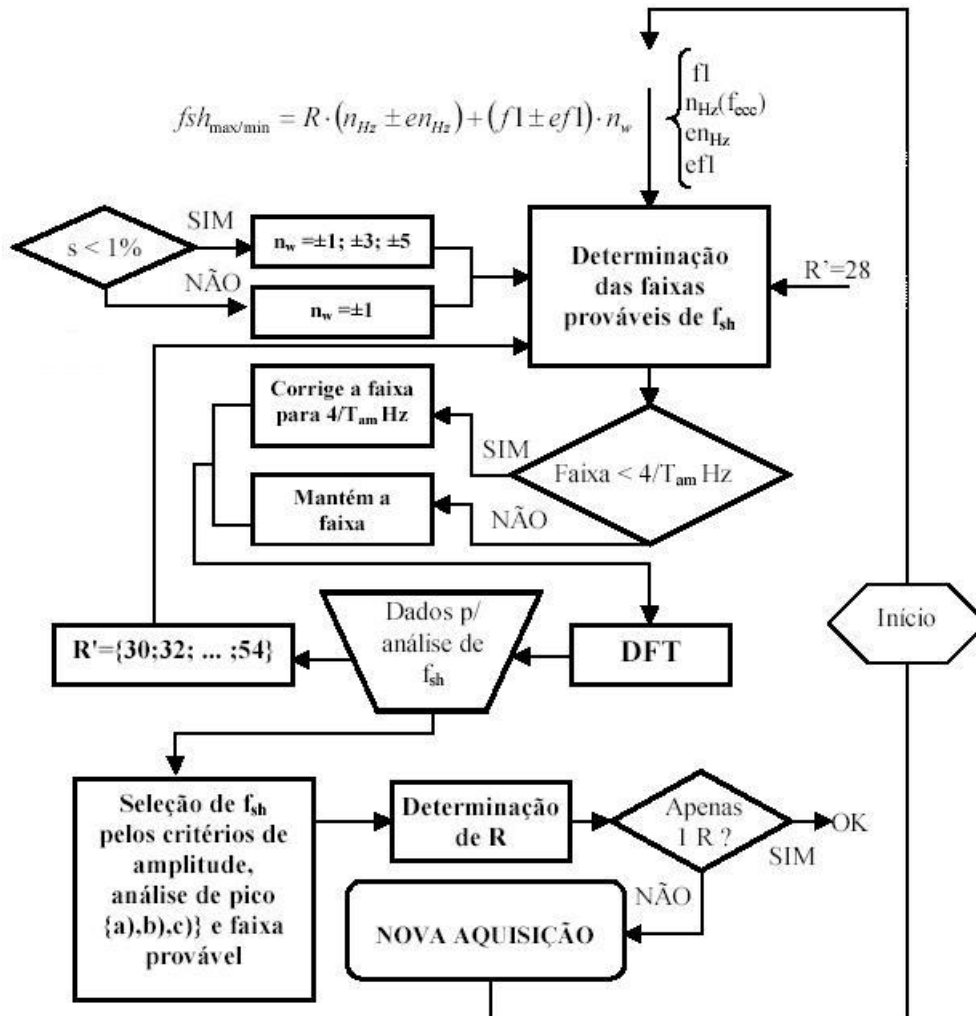


Figura 4.23: Fluxograma completo da segunda etapa do algoritmo de detecção automática.

Na terceira etapa, o algoritmo separa os componentes de frequência que possuem maiores amplitudes e que se encontram separados por uma distância de um múltiplo inteiro de $2 \times f_1$. O par de componentes de frequência mais significativo em amplitude denomina-se de primário sendo caracterizado por seus parâmetros específicos K , n_d , n_{w1} e n_{w2} . Outro par, mais fraco, de excentricidade diferente, n_{d2} , se existir, é chamado de secundário.

O algoritmo procura no espectro todas as possibilidades de n_d ($-1, 0$ e $+1$) e n_w ($-5, -3, -1, +1, +3$ e $+5$) para f_{sh} , sendo $K = 1$, baseado na velocidade estimada (n_{Hz}) e no número de ranhuras (R) determinados

no trecho anterior do algoritmo. Em seguida, são selecionados os componentes de frequência que atendem aos critérios, “a)” e “b)”, de análise de pico e que estejam dentro de uma faixa de erro de velocidade mais rigorosa que a permitida no trecho anterior do algoritmo. Para determinar as faixas de erro usam-se as equações (4.44) e (4.45) considerando um erro cinco vezes menor [11]. Após a seleção, os componentes são separados em blocos de mesmo n_d , em ordem decrescente de amplitude. Os dois componentes de frequência de maiores amplitudes no primeiro bloco são identificados como par de componentes principais primários e seus respectivos n_d e n_w são selecionados. O outro bloco, se existir, corresponde ao par secundário. Serão testados no máximo 3 n_d 's e 6 n_w 's, logo, o número de iterações poderá chegar a $3 \times 6 = 18$ iterações nessa etapa. A **Figura 4.24** detalha o fluxograma da terceira etapa do algoritmo de detecção automática.

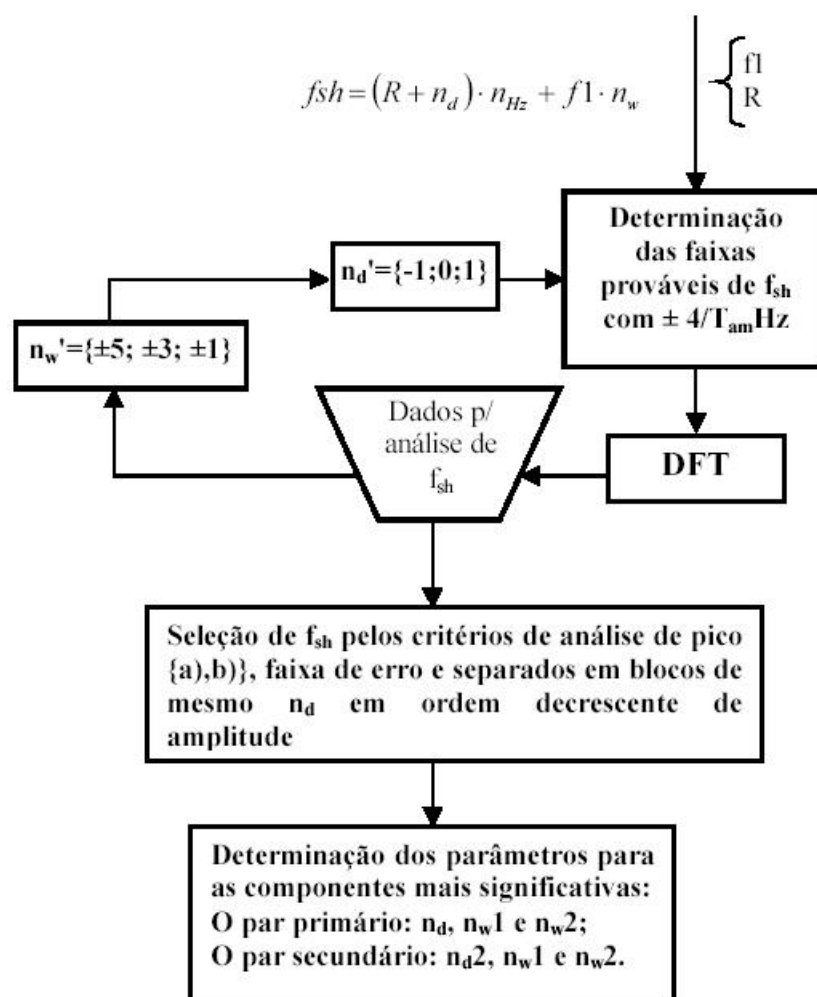


Figura 4.24: Fluxograma da terceira etapa do algoritmo de detecção automática.

A versão original deste algoritmo coletou de 20.000 amostras do sinal de corrente do estator do MIT a uma frequência de amostragem de $20kHz$, resultando numa resolução $R_{DFT} = 1,0Hz$. A DFT utilizada na referência [11] permitia a variação de R_{DFT} , com isso, foi possível a obtenção de uma resolução de $R_{DFT} = 0,01Hz$ dentro das faixas prováveis de localização de f_{sh} .

4.3 Ferramentas para o Processamento Digital de Sinais

A **Seção 4.2** descreveu as equações, os métodos e os algoritmos necessários à análise de MIT's em vista da estimação de suas grandezas principais. Como fruto deste Trabalho, será desenvolvido um equipamento digital para o processamento de informações utilizando o abordado na seção supracitada. Para tanto, por se tratar de um sistema digital, serão apresentadas nesta seção as bases teóricas dos recursos principais para o Processamento Digital de Sinais utilizados na implementação dos métodos descritos no *firmware* do protótipo do equipamento proposto.

4.3.1 Métodos para o Cálculo Discreto de Grandezas

Na **Subseção 4.2.3** foi apresentada a necessidade de efetuar a medição do valor eficaz da tensão de alimentação do estator do MIT para determinação do fator de correção do valor estimado do torque, e na **Subseção 4.2.1** foram revisadas da literatura algumas equações para o cálculo de grandezas elétricas e mecânicas, que também dependem dos valores eficazes de tensões e correntes de alimentação do MIT, além da determinação da sua potência elétrica ativa.

No intuito da estimação dessas grandezas, no projeto do *hardware* do protótipo do equipamento, proposto por esta Dissertação, deverá contemplar um circuito com ADC's para aquisição e condicionamento de sinais (cujas topologias serão definidas no **Capítulo 5**) voltados à amostragem discreta dos sinais de corrente e tensão do MIT e, de posse dessas amostras, deverá efetuar o processamento digital, empregando métodos discretos para o cálculo das grandezas elétricas mencionadas anteriormente. Estes métodos constituirão parte integrante do *firmware* do DSP descrito no **Capítulo 6**.

Dentre os métodos discretos básicos utilizados, serão descritos aqui os cálculos dos valores eficazes e da potência elétrica ativa.

As tensões e correntes do MIT são sinais periódicos. O valor eficaz de um sinal contínuo periódico $x(t)$, também chamado de “*Root Mean Square*”, X_{RMS} , corresponde à raiz quadrada da potência média desse sinal [8]. A partir disso, o valor eficaz desse sinal é traduzido por **(4.46)** [24]:

$$X_{RMS} = \sqrt{\frac{1}{T} \int_{t_0}^{t_0+T} x(t)^2 dt} \quad (4.46)$$

Onde t_0 é o instante inicial e T é o período ou ciclo fundamental do sinal $x(t)$. Se o sinal for senoidal puro da forma $x(t) = V_p \text{sen}(\omega t + \theta_0)$, a partir de **(4.46)** obtém-se que o valor X_{RMS} deste sinal equivale a simplesmente dividir o valor de pico V_p por $\sqrt{2}$, ou seja:

$$X_{RMS} = \frac{V_p}{\sqrt{2}} \quad (4.47)$$

Como a maioria dos sinais não são senóides puras, apresentando algum conteúdo harmônico que contribuirá no valor eficaz, a equação **(4.47)**, na maioria dos casos, não é indicada para obtenção do valor RMS. Os instrumentos que se baseiam em **(4.46)** para a medição dos valores eficazes de grandezas elétricas, são aqueles que apresentam medidas chamadas “*true RMS*” (valor RMS verdadeiro), sendo então, mais exatos e confiáveis. No caso do MIT alvo deste Trabalho, que é alimentado por um sinal PWM do inversor,

ao invés da rede elétrica, é evidente que (4.47) não deve ser aplicada, mas sim, (4.46) após a demodulação PWM.

Para sinais de tempo discretos, (4.46) é apresentada como (4.48) [8]:

$$X_{RMS} = \sqrt{\frac{1}{N} \sum_{n=0}^{N-1} x[n]^2} \quad (4.48)$$

Onde $n \in \mathbb{Z}$ é o tempo discreto; $x[n]$ é o sinal discreto, amostrado em intervalos igualmente espaçados chamados de Período de Amostragem T_a ; e $N \in \mathbb{N}$ é o período discreto fundamental do sinal discreto $x[n]$.

Em se tratando da determinação da Potência Elétrica Ativa P_{ea} , derivada da equação (4.16) descrita na **Subsubseção 4.2.1.6**, o Trabalho [28] apresenta uma aproximação equivalente para o cálculo de P_{ea} com sinais de tempo discreto, utilizada por wattímetros digitais, a qual é mostrada abaixo:

$$P_{ea} \simeq \frac{1}{N} \sum_{n=0}^{N-1} v[n]i[n] \quad (4.49)$$

Na expressão acima, $n \in \mathbb{Z}$ é o tempo discreto; $v[n]$ e $i[n]$ são os sinais periódicos discretos da tensão e da corrente instantâneas respectivamente, amostradas com um Período de Amostragem T_a ; e $N \in \mathbb{N}$ é o período discreto fundamental do sinal discreto $x[n]$. N pode ser substituído por $N' = kN$, onde $k \in \mathbb{N}^*$ representa o número de ciclos adquiridos. Dessa forma, reduz-se as oscilações do valor de P_{ea} em cada ciclo.

A equação (4.48) será implementada no *firmware* do equipamento para o cálculo dos valores eficazes “*true RMS*” das tensões e correntes de linha, juntamente com a equação (4.49), que será utilizada para o cálculo da potência elétrica ativa total P_{eaT} do MIT pelo Método dos Dois Wattímetros (descrito na **Subsubseção 4.2.1.6**) e, com esta, estimar o rendimento, o carregamento e o fator de potência, descritos na **Subsubseção 4.2.1**.

4.3.2 Filtragem Digital

Um filtro de uma forma geral é um sistema com uma ou mais entradas e saídas que atua sobre os sinais de uma entrada provocando mudanças seletivas, seja na forma de onda destes no domínio do tempo, seja na amplitude e/ou fase no domínio da frequência. Os filtros são comumente utilizados para melhorar a qualidade de um sinal, como por exemplo na remoção ou atenuação de ruído, na extração de um sinal de informação ou ainda para separar dois ou mais sinais de um sinal composto.

Um filtro digital usa a computação para implementar a ação de filtragem que deve ser executada num sinal de tempo contínuo [8], ou seja, são na realidade algoritmos que podem ser implementados via *hardware* ou via *software* para atuar sobre o sinal digital de entrada e produzir um sinal digital de saída que, ao ser convertido para o domínio do tempo contínuo, represente um sinal equivalente ao sinal filtrado por meios analógicos. Sendo assim, antes de ser filtrado digitalmente, o sinal de tempo contínuo, ou analógico, deve ser digitalizado.

Os filtros digitais têm certas vantagens sobre seus equivalentes analógicos em um número grande de aplicações, como por exemplo no processamento de sinais na área biomédica, voz, imagem, transmissão de dados e sistemas de áudio. Dentre as vantagens na utilização de filtros digitais podemos destacar:

- Invulnerabilidade a condições ambientais (temperatura, umidade, vibração, etc.);
- Flexibilidade no ajuste da resposta em frequência quando implementados em dispositivos programáveis (DSP's, DSC's, MP's ou MC's);
- Um único filtro pode processar vários sinais de entrada sem modificações no *hardware*;
- Podem operar em baixíssimas frequências, inalcançáveis por filtros analógicos;
- O tamanho do seu *hardware* é o mesmo para praticamente qualquer filtro que se deseje implementar, diferentemente dos filtros analógicos, cujas características no filtro desejado podem afetar as dimensões físicas do circuito;
- Atualmente, o projeto do algoritmo de um filtro digital pode chegar a ser mais rápido que o projeto de filtros analógicos, devido a grande gama de ferramentas computacionais existentes que facilitam muito o projeto do filtro, bastando fornecer apenas as especificações.

No entanto, apresentam algumas desvantagens em relação aos analógicos, listadas abaixo:

- Limitação na velocidade de resposta, em função da limitação da velocidade de processamento do seu *hardware* digital;
- Introduce ruído, devido à quantização na conversão do ADC;
- Caso esteja sendo feito pela primeira vez, o tempo necessário para o projeto de um filtro digital é maior que o de um filtro analógico, devido não só ao projeto do *firmware*, como também ao projeto inicial do *hardware*. Mas, uma vez com o *hardware* pronto, projetos de filtros digitais são mais rápidos, devido, como já dito anteriormente, às ferramentas computacionais existentes.

Os filtros digitais são divididos em dois tipos, de acordo com a forma como respondem ao impulso unitário, podendo ser do tipo FIR (*Finite Impulse Response*, ou Resposta Finita ao Impulso) ou do tipo IIR (*Infinite Impulse Response*, ou Resposta Infinita ao Impulso) [8, 7]. Tanto os filtros FIR quanto os filtros IIR são sistemas Lineares Invariantes no Tempo, LTI (*Linear Time Invariant*).

Considerando representação descrita na **Figura 4.25**, onde $h[k]$ representa a seqüência de coeficientes da resposta ao impulso unitário de um Sistema LTI, $x[n]$ o sinal discreto de entrada e $y[n]$ o sinal discreto de saída, $y[n]$ será o resultado da convolução linear de $x[n]$ com $h[k]$.

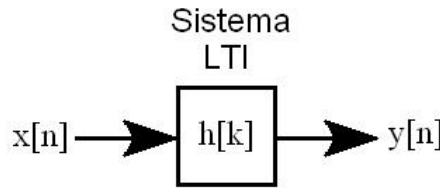


Figura 4.25: Filtragem digital: convolução do sinal de entrada discreto com a resposta ao impulso discreta de um sistema LTI.

Assim, caso $h[k]$ seja os coeficientes de um filtro FIR, ter-se-á:

$$y[n] = \sum_{k=0}^N h[k]x[n-k] \quad (4.50)$$

E para $h[k]$ de filtros IIR, a convolução será:

$$y[n] = \sum_{k=0}^{\infty} h[k]x[n-k] \quad (4.51)$$

Por ser impossível de se implementar em sistemas digitais, devido ao comprimento infinito da função $h(k)$, a equação (4.51) pode ser reescrita na forma recursiva [8, 7]:

$$y[n] = \sum_{k=0}^M b_k x[n-k] - \sum_{k=1}^N a_k x[n-k] \quad (4.52)$$

Onde a_k e b_k são os coeficientes do filtro. O diagrama de blocos da equação 4.52 é representado na **Figura 4.26**. Nota-se que são necessários apenas blocos somadores, blocos multiplicadores escalares e blocos atrasadores para implementá-la, tornando-a indicada para aplicação em sistemas digitais [8, 7].

A função de transferência de um filtro digital é obtida a partir da transformada Z da equação de diferenças (4.52) [8, 7] (diferente das funções de transferência dos filtros analógicos, que são obtidas por meio da transformada de Laplace das equações diferenciais) e é descrita na forma genérica por (4.53).

$$H(z) = \frac{\sum_{k=0}^M b_k z^{-k}}{1 + \sum_{k=1}^N a_k z^{-k}} \quad (4.53)$$

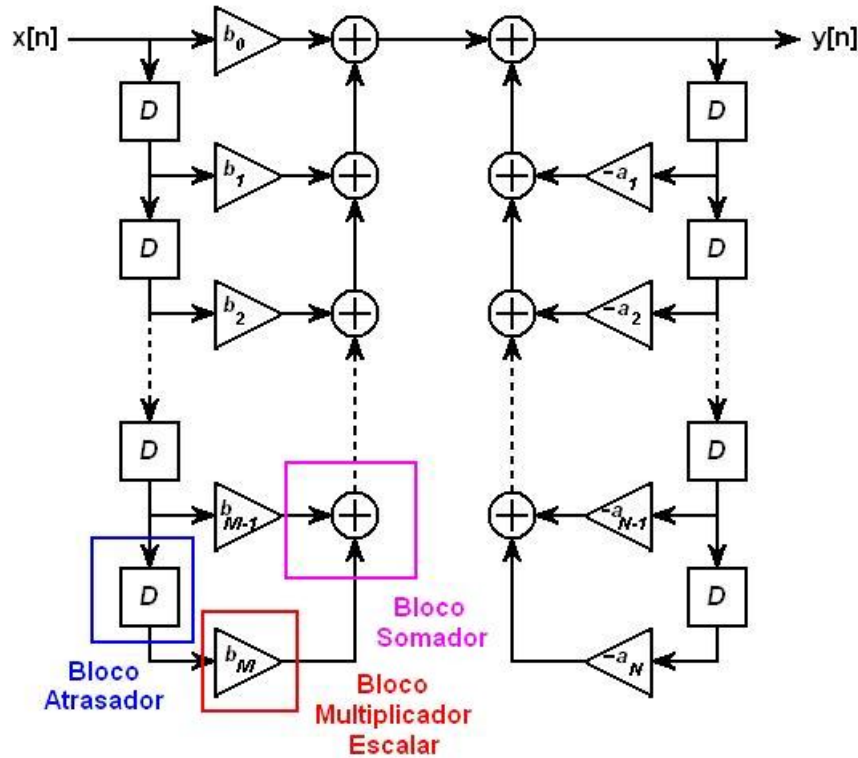


Figura 4.26: Diagrama de blocos de um filtro digital genérico.

Se os coeficientes a_k na equação de diferenças (4.52) e na função de transferência (4.53) forem nulos, tanto a equação de diferenças quanto a função de transferência serão de um filtro FIR. Quando os coeficientes a_k são nulos em (4.52), a saída $y[n]$ depende exclusivamente dos valores atuais e passados das entradas ($x[n]$ e $x[n - k]$ respectivamente), não necessitando da realimentação do sinal de saída (vide Figura 4.26), o que dá a característica de não-recursividade aos filtros FIR. Em contrapartida os filtros IIR, por dependerem também dos valores atuais e passados da saída $y[n]$ e $y[n - k]$, são conhecidos como filtros recursivos.

Se a aplicação exige uma resposta em fase linear, filtros não-recursivos devem ser utilizados, pois pode-se mostrar que é possível obter filtros FIR com resposta linear em fase, algo impossível de ser alcançado com filtros IIR. Filtros FIR são sempre estáveis, ao passo que nos filtros IIR essa estabilidade deve ser verificada [8, 7].

Uma grande vantagem dos filtros IIR é a possibilidade de projetá-los a partir de modelos analógicos (onde as técnicas de projeto estão bem documentadas na literatura), algo que não pode ser feito com filtros FIR, que não possuem equivalentes analógicos [8, 7]. Quando há limitação de espaço na memória de *hardware*, muitas vezes o filtro IIR é a melhor opção em relação ao FIR, por possuir um número de coeficientes menor, logo, exigindo um número menor de amostras “passadas” armazenadas na memória.

Dadas as características e vantagens da filtragem digital, a sua utilização será um recurso de grande utilidade principalmente na simplificação e, conseqüentemente, na redução do projeto do *hardware* para o condicionamento analógico de sinais do equipamento proposto por este Trabalho de Dissertação, como será descrito no Capítulo 5 e no Capítulo 6.

4.3.3 DFT e Resolução Espectral

Na **Subseção 4.2.2** foi apresentada a metodologia a ser adotada para estimação do torque, bem como o algoritmo utilizado para estimação dos parâmetros construtivos e intrínsecos da máquina, que nem o próprio fabricante possui. Estas duas técnicas são baseadas na análise espectral do sinal de corrente do estator do MIT. Este sinal é um sinal de tempo discreto que será obtido pelo equipamento proposto.

Sinais de tempo discreto $x[n]$ têm como vantagem o fato de poderem ser representados e processados por sistemas digitais. No entanto, quando há a necessidade de analisá-lo no domínio da frequência, a definição da Transformada de Fourier de $x[n]$, $X(e^{j\omega})$, dada pela equação (4.54), depende da variável contínua ω (frequência angular), significando que a Transformada de Fourier não serve para a análise espectral de sinais de tempo discreto em sistemas digitais [7].

$$X(e^{j\omega}) = \sum_{n=-\infty}^{\infty} x[n]e^{-j\omega n} \quad (4.54)$$

Para realizar a análise de Fourier em sistemas digitais, é necessário que (4.54) dependa também de uma variável discreta para representar a frequência. Isso é obtido amostrando-se uniformemente a variável contínua ω (rad/s), fazendo um mapeamento de um sinal que dependa de uma variável discreta no tempo n e uma transformada que dependa de uma frequência discreta k [7].

A amostragem da variável contínua w implica numa amostragem contínua de $X(e^{j\omega})$, resultando numa transformada discretizada $X'(e^{j\omega})$. A partir de $X'(e^{j\omega})$ recupera-se um sinal $x'[n]$ consistindo de uma soma de repetições periódicas de $x[n]$, com período igual a N amostras tomadas em um período de $X(e^{j\omega})$.

Dessa forma, o mapeamento pode ser feito por meio de (4.55):

$$\omega_k = \frac{2\pi}{N}k, \quad \text{para } k = 0, 1, 2, \dots, (N-1) \quad (4.55)$$

Assim, substituindo (4.55) em (4.54), obtém-se a Transformada de Fourier na forma discreta ou *Discrete Fourier Transform*, DFT [8, 7]:

$$X(e^{j\frac{2\pi}{N}k}) = X[k] = \sum_{n=0}^{N-1} x[n]e^{-j\frac{2\pi}{N}kn}, \quad \text{para } 0 \leq k \leq (N-1) \quad (4.56)$$

$X[k]$ é utilizado para simplificar a notação no lugar de $X(e^{j\frac{2\pi}{N}k})$, e $k \in \mathbb{N}$ com $0 \leq k \leq (N-1)$, representa os índices das frequências discretas.

No entanto, a representação discreta da Transformada de Fourier só é útil se o número N de amostras de $X(e^{j\omega})$ é maior ou igual ao comprimento L do sinal discreto original $x[n]$ [7], ou seja, $N \geq L$, evitando dessa maneira o *aliasing* (recobrimento) do espectro. Pelo Teorema de Nyquist [8, 7], o *aliasing* é evitado amostrando o sinal contínuo $x(t)$ com uma frequência de amostragem, ω_s , com pelo menos o dobro da largura da faixa de frequência de $x[n]$, ω_p , ou seja, $\omega_s \geq 2\omega_p$. Se $x[n]$ é amostrado atendendo as condições de Nyquist, faz-se $N = L$.

A razão entre a frequência de amostragem F_s do sinal $x[n]$, e o comprimento N de pontos desse mesmo sinal, define o afastamento entre dois pontos consecutivos da DFT aplicada ao sinal $x[n]$, chamada

de “resolução espectral” da DFT (R_{DFT} ou Δf) [8, 7], ou seja:

$$R_{DFT} = \Delta f = \frac{F_s}{N}, \quad \text{com} \quad F_s = \frac{\omega_s}{2\pi} \quad (4.57)$$

Como em (4.57) F_s é definido em Hz , R_{DFT} também o será. Por exemplo, se um sinal discreto $x[n]$ amostrado atendendo ao critério de Nyquist a uma frequência $F_s = 10,0 \text{ kHz}$ e com comprimento $N = 20.000$ pontos, caso seja aplicada a DFT nesse sinal, sua resolução será de $R_{DFT} = 0,5 \text{ Hz}$.

Quanto menor a resolução, mais a DFT tenderá a Transformada de Fourier, logo, melhor ela será. Uma resolução melhor implica em aumentar o número de amostras do sinal $x[n]$. Todavia, isso requer um maior tempo para aquisição do sinal T_a , correspondente ao inverso da resolução ($T_a = (R_{DFT})^{-1}$). No exemplo citado anteriormente, com $R_{DFT} = 0,5 \text{ Hz}$ o tempo necessário para aquisição das $N = 20.000$ amostras de $x[n]$ seria $T_a = 0,5^{-1} = 2$ segundos.

O aumento de T_a pode ser inviável em muitas aplicações. Na necessidade de se trabalhar com algo equivalente a uma R_{DFT} melhor sem ser necessário aumentar T_a para obter um número maior de amostras, pode-se utilizar a técnica *zero-padding* [8, 7], que consiste em completar as L amostras de $x[n]$ com zeros até um número $N = (L + \text{Zeros})$. Numericamente, isto equivale a interpolar (Zeros/L) componentes de frequência entre dois componentes de frequência consecutivos da DFT original, resultando na melhora do contorno do espectro e aproximando a DFT da Transformada de Fourier contínua sem aumentar a R_{DFT} . A **Figura 4.27** ilustra a técnica supracitada. Nessa figura, temos em (a) um sinal aperiódico não-nulo, de duração (comprimento) $L = 6$, e ao lado está representada a sua Transformada de Fourier contínua. Em (b) foram usados apenas 2 zeros a mais no sinal, passando a ser periódico com $N = (6 + 2) = 8$, logo, sua Transformada de Fourier será amostrada em $N = 8$ pontos conforme representado ao lado. Já em (c) foram acrescentados 26 zeros, fazendo sua Transformada de Fourier ser amostrada em $N = 32$ pontos. A DFT corresponde às Transformadas amostradas para cada um dos casos da figura. No caso (c), com 26 zeros acrescentados, obteve-se uma DFT mais próxima da Transformada de Fourier contínua devido a uma maior amostragem da mesma. Pode-se dizer que em (a), onde se tem a Transformada verdadeira, foram acrescentados aos $L = 6$ pontos de $x[n]$ infinitos zeros.

Quanto maior for o número de zeros acrescentados a $x[n]$ para o cálculo da DFT, maior será a sua aproximação com a Transformada de Fourier, pois maior será o número de amostras tomadas no intervalo $[0, 2\pi)$ [7]. Este recurso será útil para o desenvolvimento de um método de localização de componentes de frequência intermediários na implementação das técnicas [10, 11] no *firmware* do equipamento proposto. Todavia, a quantidade de zeros utilizados no preenchimento aumenta o esforço computacional e a quantidade de memória no cálculo da DFT [7], tornando necessária uma prévia avaliação onde pode ser aplicada.

Existem, atualmente, diversas outras técnicas para a análise espectral em sistemas digitais, otimizando o cálculo da DFT, a exemplo, a Transformada Rápida de Fourier (FFT - *Fast Fourier Transform*), uma técnica eficiente proposta em 1965 por Cooley & Tukey, que se tornou consagrada por viabilizar a análise de Fourier em sistemas digitais, eliminando as redundâncias da DFT, diminuindo a complexidade do cálculo e, conseqüentemente, reduzindo significativamente o esforço computacional [7]. O advento desse algoritmo abriu um leque inesgotável de aplicações para DFT. Apesar disso, será apresentada no **Capítulo 6** a proposta de uma DFT modificada para implementação no *firmware* do equipamento mais vantajosa que a utilização da FFT, para a aplicação foco deste Trabalho.

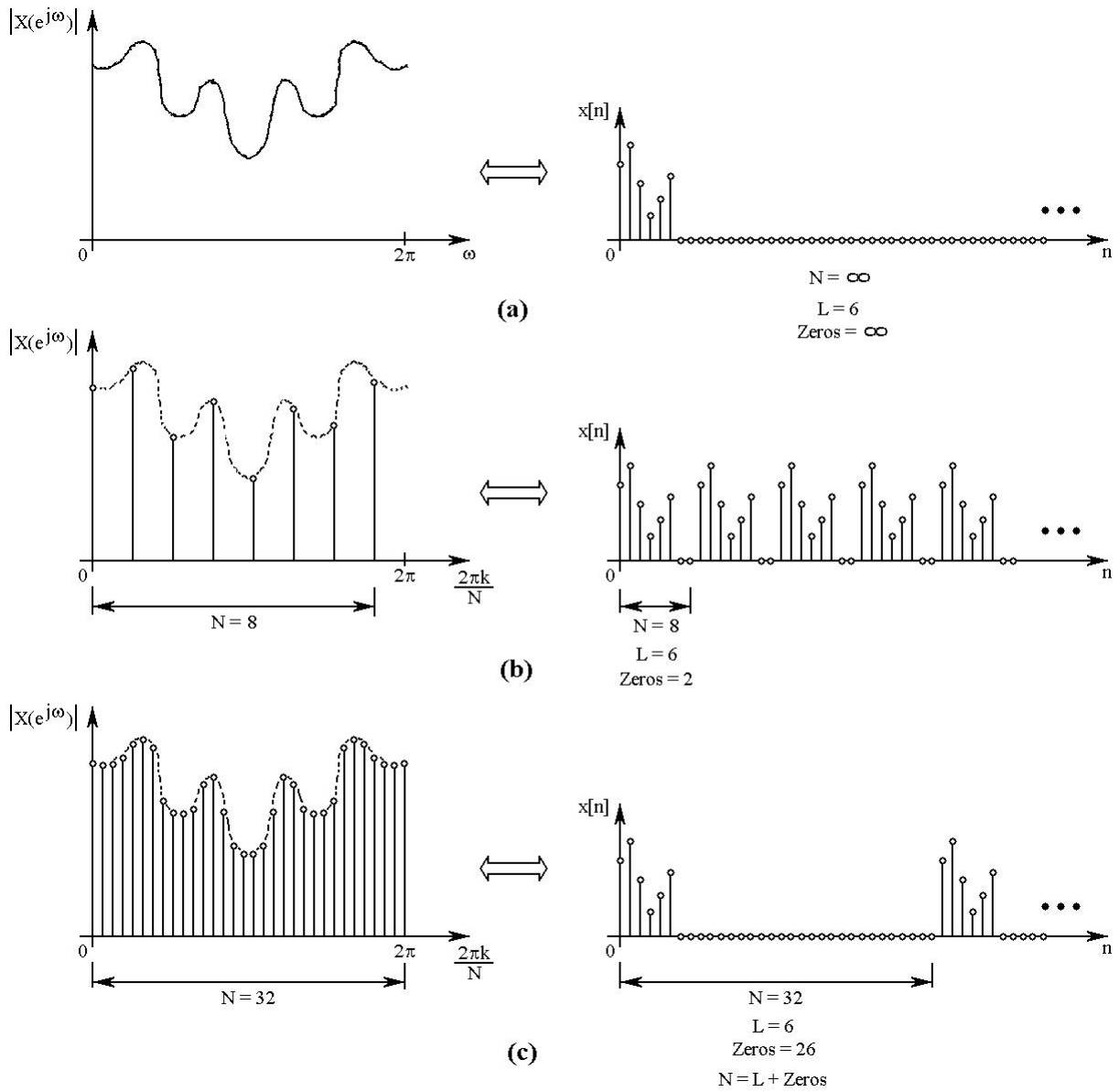


Figura 4.27: Equivalência entre a amostragem da Transformada de Fourier de um sinal e sua DFT.

4.3.4 Dizimação

Em muitas aplicações de processamento digital de sinais, é necessário coexistirem diferentes taxas de amostragem dentro de um mesmo sistema, o qual é conhecido como “sistema multitaxa” [7]. Nesse sistema, a dizimação é uma das técnicas que permitem variar ou simular a variação da taxa de amostragem.

Dizimar ou subamostrar um sinal digital $x[n]$ por um fator $M \in \mathbb{N}$ equivale a reduzir a sua taxa de amostragem em M vezes [7]. A representação em bloco de uma operação de dizimação é mostrada na **Figura 4.28**, em que $x[n]$ e $x_d[m]$, com $\{n, m\} \in \mathbb{N}$, representam, respectivamente, o sinal original e o sinal dizimado.

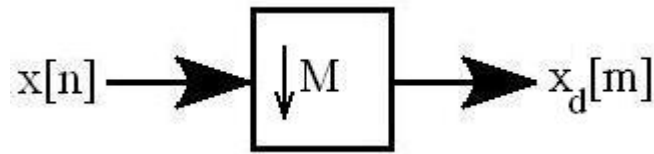


Figura 4.28: Bloco representando a decimação por um fator M .

A decimação equivale a manter somente uma a cada M amostras do sinal [7], a exemplo da decimação para $M = 2$ mostrada na **Figura 4.29**. Como se pôde perceber, $n = (m \cdot M)$, logo, a relação entre o sinal original e o sinal decimado é direta e da forma: $x_d[m] = x[m \cdot M]$ [7].

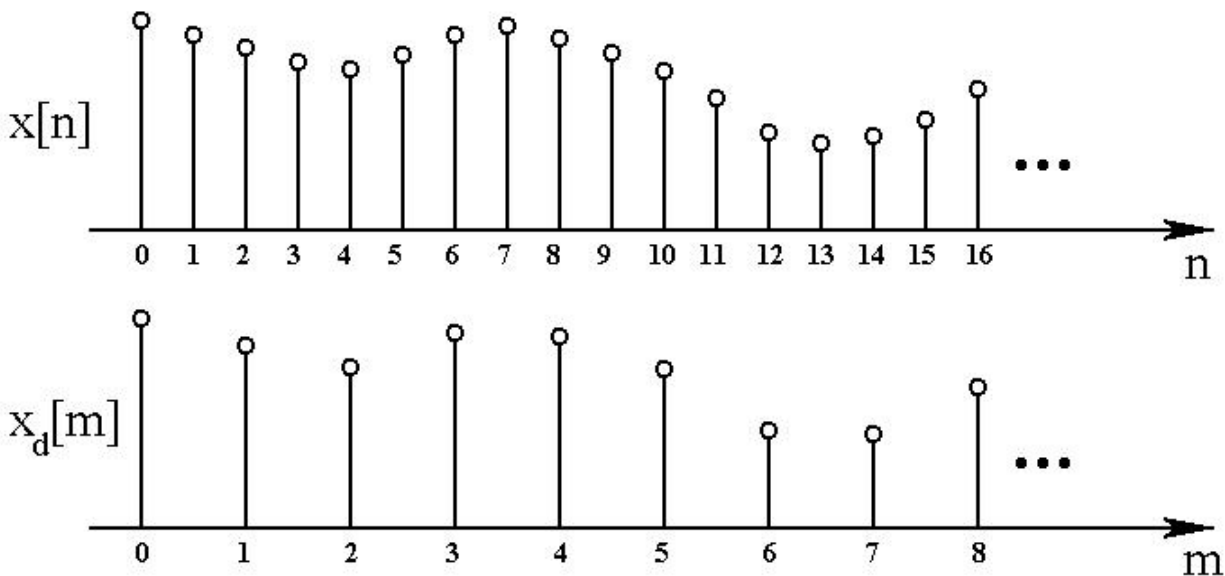


Figura 4.29: Decimação de $x[n] = \{x[0], x[1], x[2], x[3], x[4], \dots\}$ com $M = 2$, resultando em $x_d[m] = \{x[0], x[2], x[4], x[6], x[8], \dots\}$.

Conforme [7], a consequência negativa dessa operação se manifesta no domínio da frequência. A operação de decimação expande o espectro do sinal original $x[n]$ de um fator M , podendo resultar no *aliasing* (recobrimento) no sinal decimado $x_d[m]$, como ilustrado no exemplo da **Figura 4.30** para $M = 2$ e sendo ω_p a largura da faixa de frequência de $x[n]$ e 2π a frequência angular de amostragem.

A solução utilizada a fim de evitar o *aliasing* consiste em limitar a largura de faixa de $x[n]$ ao intervalo $[-\frac{\pi}{M}, \frac{\pi}{M}]$ (metade da frequência de amostragem dividido por M) [7]. Dessa forma, a operação de decimação geralmente deve ser precedida de um Filtro Passa-Baixas (FPB) que aproxime a seguinte resposta em frequência:

$$H_d(e^{j\omega}) = \begin{cases} 1, & \omega \in [-\frac{\pi}{M}, \frac{\pi}{M}] \\ 0, & \text{caso contrário.} \end{cases} \quad (4.58)$$

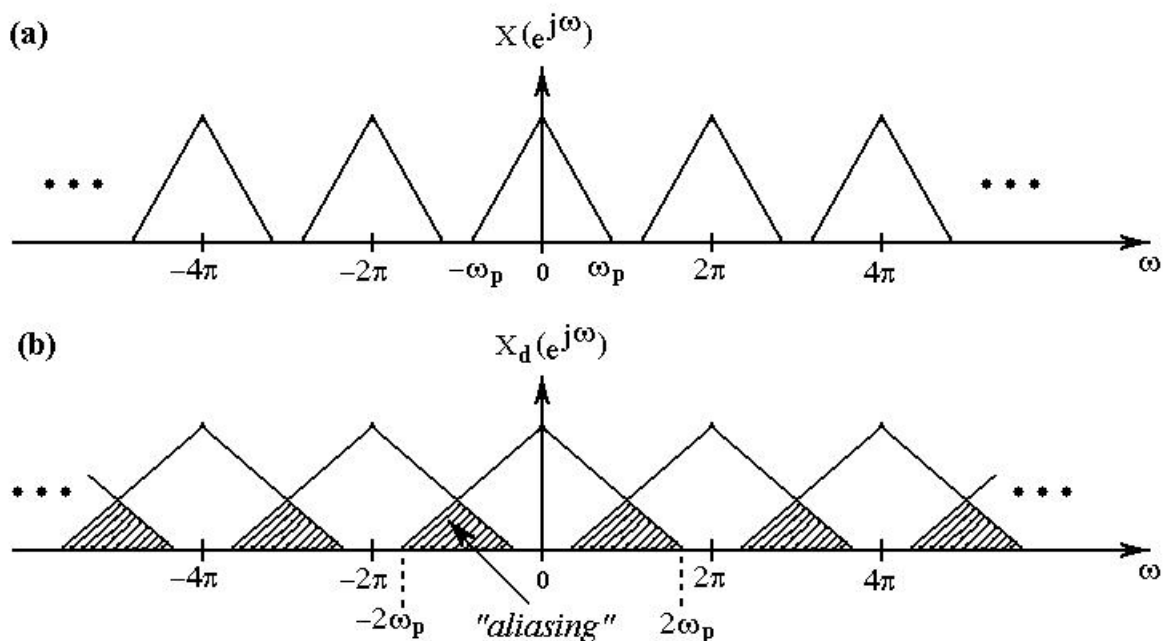


Figura 4.30: (a) Espectro do sinal original $x[n]$. (b) Espectro do sinal dizimado $x_d[m]$ para $M = 2$.

Dado o exposto, a **Figura 4.31** mostra a forma geral de um processo de dizimação, considerando a etapa anterior de filtragem com a resposta em frequência descrita em (4.58).

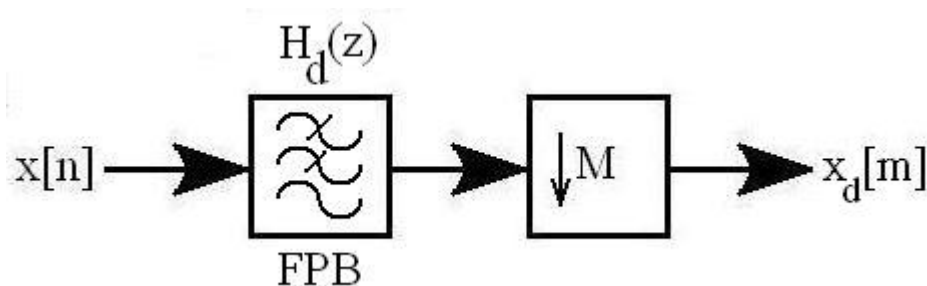


Figura 4.31: Representação do processo de dizimação na forma geral.

Como pode ser visto no **Capítulo 6**, a dizimação será útil para a redução do esforço computacional no cálculo de DFT's no intuito de identificar componentes de frequências mais baixas, bem inferiores a taxa de amostragem, tornando desnecessária a utilização de todas as amostras adquiridas do sinal de interesse.

Capítulo 5

Projeto do *Hardware*

SERÃO apresentadas neste capítulo propostas de topologias, componentes e circuitos eletrônicos adotados na composição da arquitetura de *hardware* do equipamento para estimação do torque e levantamento dos parâmetros construtivos e intrínsecos do MIT pelos métodos e algoritmos descritos na **Seção 4.2**. As soluções para o projeto do protótipo atenderão aos requisitos necessários à instalação e operação nas condições de campo dos poços BCP expostos no **Capítulo 3**, para que o módulo resultante trabalhe integrado ao SGPA apresentado no **Capítulo 2**.

5.1 Diagrama de Blocos Funcionais

Objetivando fornecer uma compreensão geral acerca da arquitetura de *hardware* proposta, a representação por blocos estruturais do equipamento é exposta na **Figura 5.1**. No diagrama, é apresentado o modo mínimo necessário de ligações com o MIT. Será feita a seguir uma descrição detalhada de cada um dos blocos funcionais.

Inicialmente, o circuito de Demodulação PWM, constituído de um atenuador diferencial **AT-D** e um filtro passa-baixas **FPB**, é o responsável por demodular o sinal PWM de uma das tensões de linha (no caso a V_{RS}) do inversor trifásico (vide **Subseção 4.1.5**), como parte do condicionamento do sinal aplicado à entrada do ADC embutido no DSP. O valor calculado da tensão eficaz será utilizado na determinação do Fator de Correção do torque f_{corr} (vide **Subseção 4.2.3**).

O **TC** representa o Transdutor de Corrente, responsável por converter a corrente do estator do MIT em um sinal elétrico equivalente de tensão mensurável ao equipamento. Na **Subseção 5.3.1** será descrito o transdutor selecionado, bem como suas características e especificações.

O primeiro amplificador “A1” tem como função modificar a escala do sinal de corrente da fase “R” convertido por **TC**, enquanto que o primeiro filtro passa-baixas “FPB1” tem a função de evitar o efeito de recobrimento de espectro [8]. Pode ser analógico de 4.^a ordem para frequência de amostragem fixa. **A1** e **FPB1** efetuam o condicionamento inicial em escala e frequência do sinal de corrente da fase “R”, considerando a largura de banda máxima desse sinal necessária à análise no domínio da frequência.

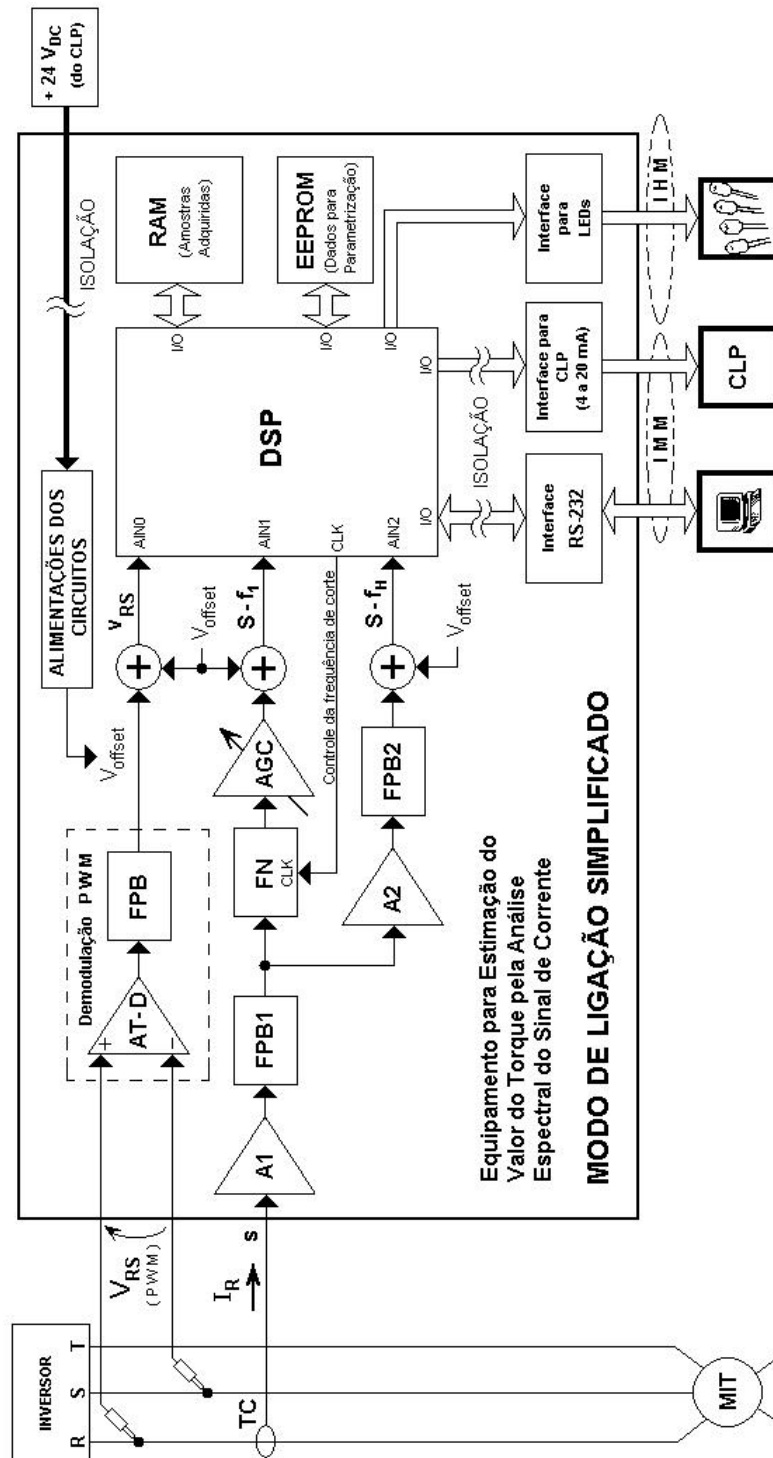


Figura 5.1: Diagrama de blocos funcionais proposto para o equipamento no modo de ligação simplificado.

O bloco **FN** é um filtro “notch” (rejeita-faixas). Ele tem a função de eliminar a frequência fundamental f_1 do sinal de corrente, melhorando a resolução da aquisição de dados e estimativa de outros componentes

de frequências desejadas [8]. Como o inversor que alimenta o MIT varia f_1 (vide **Seção 3.5** e **Subseção 4.1.5**), este filtro deve possuir sua frequência de corte (f_c) ajustável pelo DSP. No diagrama da **Figura 5.1** o ajuste é feito por meio da entrada de *clock* **CLK**. Na **Subsubseção 5.3.9.3** será abordado o filtro adotado.

De forma a atender uma grande variedade de MIT's, o bloco **AGC**, cujo circuito será descrito na **Subsubseção 5.3.9.4**, é um amplificador com ganho configurável pelo usuário/operador de acordo com a potência nominal obtida do dado de placa do MIT ao qual o equipamento está conectado.

FPB2 é o filtro passa-baixas do caminho inferior, responsável pelo condicionamento do sinal para estimação do valor eficaz e da frequência fundamental da corrente de alimentação da fase 'R'.

O bloco **DSP** representa o Processador Digital de Sinais, que será utilizado para cálculos da análise espectral e estimação de torque, bem como o gerenciamento do sistema, controle da aquisição, armazenamento de dados, comunicação com o **CLP**, e estimação da frequência fundamental f_1 . Ele será especificado na **Subseção 5.3.6**

Os blocos de memória externa são constituídos por uma **RAM** (*Random Access Memory*) e uma **EEPROM** (*Electrically Erasable Programmable Read Only Memory*). A memória **RAM** é utilizada pelo DSP para armazenar dados temporários (voláteis), como as amostras coletadas de tensão e de corrente, além das variáveis e resultados do processamento numérico, a exemplo, os resultados dos cálculos dos valores eficazes (RMS) e da DFT. A memória **EEPROM** é utilizada para guardar dados que devem permanecer no equipamento mesmo após o seu desligamento (não voláteis), como os parâmetros adquiridos com a configuração do aparelho, a exemplo, os valores nominais de operação do MIT, além do armazenamento de constantes, como velocidade de comunicação serial, fatores de calibração do ADC, etc. Estas memórias serão especificadas na **Subseção 5.3.7**.

A parametrização do número de pólos do motor, escorregamento, potência, torque, frequência de alimentação, velocidade do motor e etc, serão realizadas por meio da interface de comunicação RS-232 utilizando o padrão industrial de protocolo de comunicação ModBus RTU, atendendo aos requisitos das **Subseções 3.6.2** e **3.6.3**.

A interface para CLP do equipamento fornecerá um sinal de 4 a 20 *mA* proporcional ao torque desenvolvido no eixo do MIT, atendendo ao requisito exposto na **Subseção 3.6.1**. Para esta função, a solução adotada foi descrita na **Subseção 5.3.3**.

Como pode ser observado no diagrama apresentado, a interface de corrente para o CLP bem como a comunicação serial RS-232 compreendem os recursos de IMM do equipamento, enquanto que a interface para LED's responde pela IHM embutida no mesmo. Cada LED possui uma função específica, como Status (On-line, comunicação em andamento, etc) ou indicação de falha (falta de tensão CA, falta de sinal de corrente de estator, *loop* de corrente com CLP aberto, etc).

O bloco de alimentações dos circuitos internos incumbir-se-á de prover tensões contínuas de $+5,0 V_{DC}$ e simétricas de $\pm 12,0 V_{DC}$ para os amplificadores operacionais (AMP-OP's) da parte analógica. Os $+5,0 V_{DC}$ atenderá aos sistemas digitais. O $+24,0 V_{DC}$ será utilizado no *loop* de corrente com o CLP. Todas as tensões serão derivadas do $+24,0 V_{DC}$ fornecido pela fonte de alimentação modular, presente no armário do CLP (vide **Seção 3.3**).

No intuito de atender ao requisito exposto na **Seção 3.8**, está presente no diagrama de blocos funcionais a representação da isolamento nas interfaces e na alimentação do equipamento. A partir da **Subseção 5.3.2** serão apresentadas as propostas de topologias de circuitos eletrônicos para atender a este requisito.

Os blocos somadores representam a parte do circuito incumbida de realizar um deslocamento vertical do sinal analógico para a entrada unipolar positiva do ADC do DSP, adicionando ao sinal um nível positivo de tensão contínua de $offset, +V_{offset}$. O circuito concebido para realizar a função deste bloco será abordado na **Subsubseção 5.3.9.5**.

Uma vez descritos todos os blocos funcionais da arquitetura proposta, é preciso um esclarecimento a respeito dos caminhos percorridos pelos sinais dentro do diagrama.

O sinal de corrente de linha da fase ‘R’ é convertido por **TC** num sinal elétrico mensurável **s**. Esse sinal é aplicado na entrada do equipamento e condicionado em amplitude por **A1**, seguindo então por dois caminhos: um inferior e outro superior.

No caminho inferior, passando por **FPB2**, o sinal é condicionado em faixa de frequência de forma a extrair somente a frequência fundamental **f1** de **s**, renomeada como **S – fh**, onde o **S** representa o sinal modificado em escala e “fh” representa os harmônicos do sinal **s** (**S – fh** é o sinal **S** sem os harmônicos **fh**). O sinal constituído basicamente da frequência fundamental **f1** chega ao DSP por meio da entrada analógica **AIN2**.

Então, **S – fh (f1)** é utilizado pelo DSP para reprogramar, por meio do sinal **CLK**, a frequência de corte do filtro **FN** para a mesma frequência de fundamental de **s (f1)**, provocando assim sua atenuação no caminho superior após ser condicionado em frequência por **FPB1**, permitindo dessa forma que somente os harmônicos de **s**, nomeados como **S – f1** (sinal **S** sem a fundamental **f1**), sejam amplificados por **AGC** e finalmente cheguem ao DSP por meio da entrada analógica **AIN1**. **FPB1** é dimensionado para permitir a passagem da banda de frequência que contém os harmônicos (componentes de frequência) de interesse. Estes harmônicos (componentes de frequência) possuem uma amplitude muito inferior em relação à fundamental **f1**, como descrito na **Subseção 4.2.2**, dessa forma, f_1 precisa ser atenuada ao máximo para que os harmônicos de interesse possam ser amplificados de forma compatível á resolução do ADC do DSP.

Ao final, em **AIN0** têm-se um sinal que se pode extrair a informação relativa à tensão eficaz de alimentação do estator do MIT, em **AIN1** têm-se um sinal com os componentes de frequência de interesse que serão extraídos por meio da análise espectral (vide **Subseção 4.2.2**), a qual fornecerá ao final o valor da rotação do eixo (n_{Hz}) do MIT (vide **Subseção 4.2.3**) e, por fim, o sinal obtido por **AIN2** será utilizado para estimação do valor da frequência fundamental de alimentação do MIT.

A arquitetura supracitada atende aos requisitos técnicos mínimos do equipamento. Com o tipo de ligação apresentado, juntamente com a aplicação dos métodos propostos no **Capítulo 4.2**, será possível a estimação dos valores das grandezas velocidade de rotação (n_{Hz}), escorregamento (s), torque (τ), e por já estar disponível, o valor da tensão de linha entre as fases “R” e “S” (V_{RS}) e o valor da corrente de linha relativa a fase “R” (I_R).

Para permitir também a estimação das potências envolvidas pelo método dos dois wattímetros, apresentado na **Seção 4.2.1.6**, bastaria estar disponível o valor da tensão de linha entre as fases “T” e “S” (V_{TS}) e o valor da corrente de linha relativa a fase “T” (I_T). Prevendo uma aplicação mais completa do equipamento na análise do funcionamento do MIT em regime permanente, introduzindo poucas modificações

no diagrama anterior é exposta na **Figura 5.2** uma alternativa mais elaborada para medição de V_{TS} e I_T .

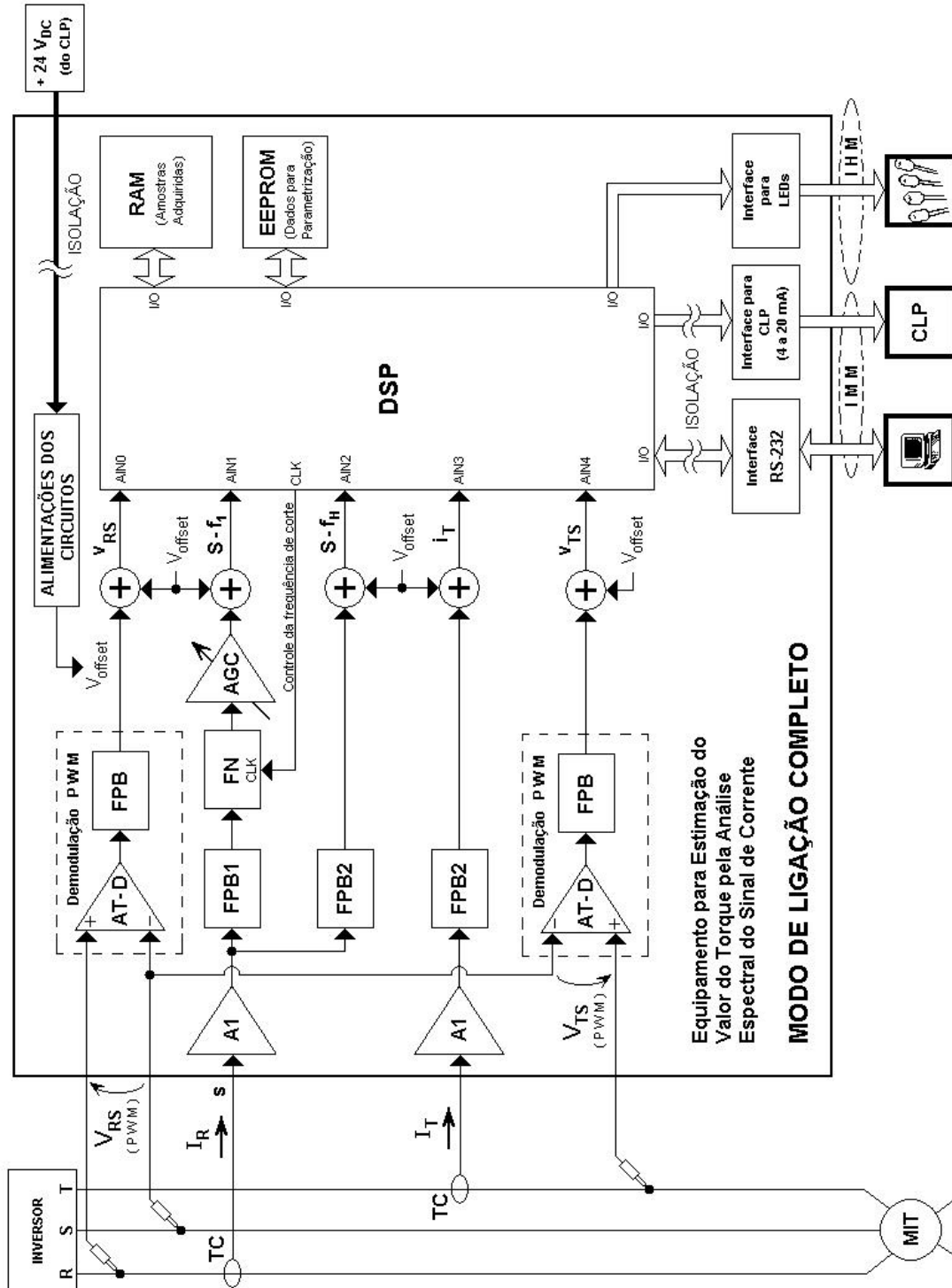


Figura 5.2: Diagrama de blocos funcionais proposto para o equipamento no modo de ligação completo.

Nesta nova arquitetura é introduzido outro caminho, constituído de mais um transdutor de corrente **TC** (idêntico ao anterior), um novo amplificador com as mesmas especificações de **A1** para a mudança de escala, mas com especificação de frequência de corte f_c diferente, e um filtro adicional com as mesmas especificações de **FPB2**. Com estes novos elementos, poderá ser adquirido o sinal de corrente instantâneo relativo à fase ‘T’ ($i_T(t)$) numa quarta entrada analógica do DSP (**AIN3**) e, com ele, será possível estimar o valor eficaz da corrente de alimentação da fase ‘T’ (I_T). Além desse caminho, um outro bloco de demodulação PWM com as mesmas especificações do anterior é acrescentado para disponibilizar numa quinta entrada analógica do DSP (**AIN4**) o sinal demodulado da tensão de linha $v_{TS}(t)$, e através dela, obter o valor eficaz da tensão de linha V_{TS} . De posse de $i_T(t)$, I_T e V_{TS} além dos outros sinais da primeira configuração, utilizando os métodos e equações da **Seção 4.2** será possível também pelo equipamento a estimação adicional das potências elétricas (P_{eaT}) e mecânicas (P_{mec}), do carregamento (γ), do rendimento (η) e do fator de potências ($\cos \varphi$), aumentando significativamente os recursos de análise num único equipamento.

Dadas as vantagens citadas acima, será adotado neste Trabalho como proposta final de *hardware* a solução estabelecida pelo diagrama com o modo de ligação completo, pois com um *hardware* único, poderão ser disponibilizadas as duas alternativas ao usuário.

5.2 Tecnologias Adotadas

Para que o equipamento proposto seja desenvolvido não só como um protótipo experimental de laboratório, mas sim o mais próximo possível de um produto competitivo no mercado, optou-se por adotar tecnologias que acompanhem as tendências comerciais modernas, tanto no projeto e desenvolvimento quanto na fabricação. Dentre elas, podemos citar a utilização de softwares CAE (*Computer Aided Engineering*) e CAD (*Computer Aided Design*) avançados, além da adoção da tecnologia SMT (*Surface Mounted Technology*) em maior proporção em relação à tecnologia PTH (*Plated Through-Hole*) para encapsulamentos de componentes, além da utilização de Placas de Circuito Impresso com *multi-layer* (PCI ou, do acrônimo inglês, PCB de “*Printed Circuit Board*”).

Os termos CAD, CAE e CAM já são comuns na indústria moderna nacional e internacional. De forma mais detalhada, um sistema CAD é composto por *software* e *hardware* que oferecem em conjunto recursos gráficos para gerar desenhos utilizando o computador [29]. Um software CAE é utilizado para a simulação do comportamento da peça, componente, sistema ou circuito na situação real de operação. O CAM é definido como o uso do computador no planejamento, gerenciamento e controle da manufatura. Atualmente, estas ferramentas computacionais estão diretamente relacionados com a redução de custos na realização de experimentos com protótipos, no desenvolvimento e na fabricação de um produto, através da utilização de computadores nas atividades que envolvem o desenho (CAD), a simulação computacional do comportamento físico (CAE) e o planejamento e controle de produção (CAM) [30, 31, 32]. O gráfico da **Figura 5.3** representa o desenvolvimento de um produto utilizando as ferramentas CAD e CAE.

Especificamente para o desenvolvimento do *hardware* proposto por este Trabalho, foram adotadas como ferramentas computacionais CAE principais os *softwares* *MATLAB/SIMULINK*, da *MathWorks*, já tradicional em engenharia para cálculo numérico e científico, utilizado neste Trabalho para experimentação e validação de algoritmos; além do *software* *MultiSIM (TM)* da *Electronics Workbench*, para simulação das

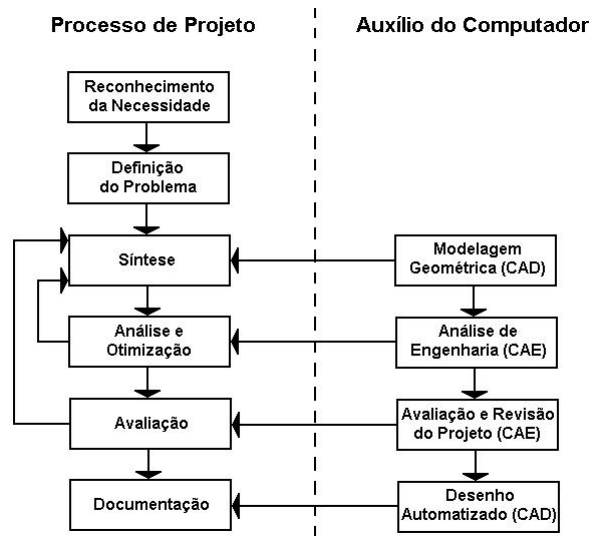


Figura 5.3: Desenvolvimento de um produto industrial e a presença do computador nas diferentes etapas.

tecnologias adotadas de circuitos eletrônicos. Como *software* CAD utilizado no projeto de PCI's, optou-se pela utilização do *softwares* *TraxMaker*, para *layout*, *routing* (roteamento) de trilhas e *placement* (posicionamento) de componentes, e o *CircuitMaker* para simulação e captura de esquemáticos, ambos da *Altium Limited*. A **Figura 5.4** ilustra os *softwares* mencionados acima. Uma vez que alguns fabricantes de componentes eletrônicos disponibilizam ao projetista alguns *softwares* desenvolvidos para auxílio no projeto, dimensionamento e utilização dos seus próprios componentes, eles também foram utilizados como recursos CAE adicionais, e serão mencionados na **Seção 5.3** juntamente com o componente que o utiliza.

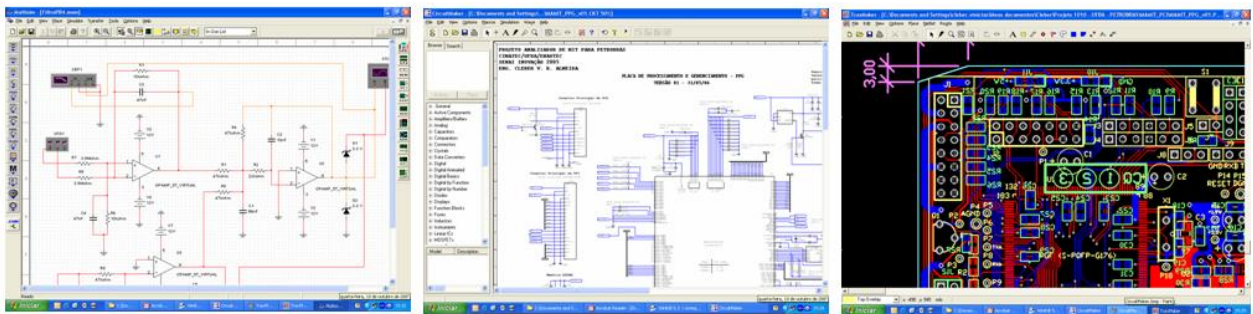


Figura 5.4: Na ordem da esquerda para direita, *software* CAE *MultiSIM (TM)* (Cortesia da *Electronics Workbench*), *software* CAE/CAD *CircuitMaker* e *software* CAD *TraxMaker* (Ambos cortesia da *Altium Limited*).

Em se tratando das tecnologias de PCI's, para atender o requisito descrito na **Seção 3.2**, é sugerida e adotada a alternativa de utilização de componentes SMD's, (*Surface Mounted Devices*), parte integrante da tecnologia SMT, que envolve todas as técnicas para *layout*, montagem e fabricação de placas que possuem

componentes soldados em sua superfície. A idéia é reduzir a quantidade de componentes PTH's, conhecidos como componentes “convencionais”, em detrimento aos SMD's, reservando para os PTH's apenas os conectores, borneiras, dispositivos passivos de alta potência e módulos híbridos, como conversores DC-DC. As **Figuras 5.5** e **5.6** mostram alguns exemplos de PCI's com encapsulamentos nas tecnologias SMT e PTH, respectivamente.

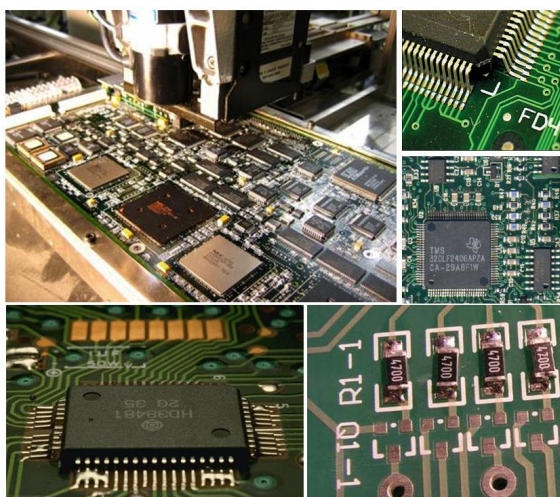


Figura 5.5: Tecnologia SMT.

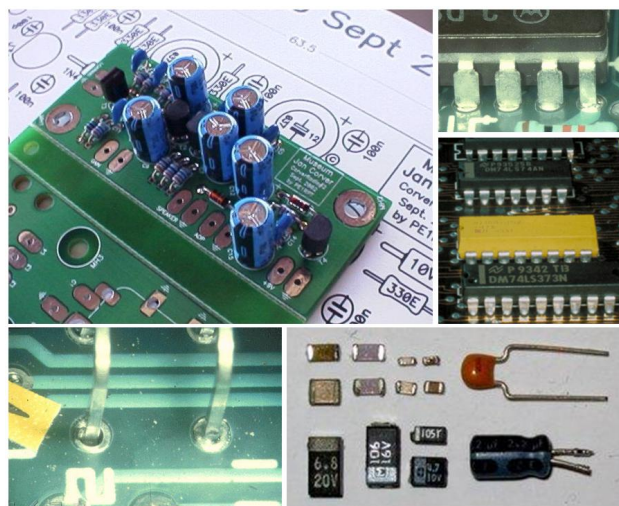


Figura 5.6: Tecnologia PTH.

A tecnologia SMT permite a soldagem de componentes sobre a superfície, possibilitando no *layout* da PCI a disposição de componentes SMD em ambas as faces da mesma e, além disso, favorece a redução nos encapsulamentos dos componentes. Em oposição, a utilização de componentes PTH, como resistores, capacitores, diodos e transistores convencionais, por atravessarem a placa (vide furos nas PCI's presentes na **Figura 5.6**), não permitem um projeto de *layout* em ambas as faces da PCI.

PCI's podem ser fabricadas em fenolite ou fibra de vidro, sendo que a segunda, apesar de mais cara, é mais vantajosa quanto a qualidade e durabilidade. Placas convencionais mais simples são fabricadas com até duas faces de cobre, onde se constroem as trilhas e ilhas, por processos químicos de corrosão ou usinagem. Como desvantagem, a utilização de apenas duas faces limita muito a capacidade de fabricação de circuitos e equipamentos eletrônicos em tamanho reduzido. Dessa forma, outra tecnologia que contribui significativamente para a redução das dimensões é a utilização de PCI's *multi-layer* (multi-camada). Esta técnica consiste em introduzir *layers* intermediários no interior da placa, como mostra a **Figura 5.7**, nos quais podem conter trilhas, planos de terra (“*ground*” ou GND) ou de alimentação para os circuitos.

Além da redução das dimensões do equipamento, a adoção de placas *multi-layer* oferece uma melhora significativa no que tange às considerações de EMC e redução de EMI [33], o que atenderia ao requisito exposto na **Seção 3.4**. Em contrapartida, a utilização de PCI's *multi-layer* no país aumenta expressivamente o custo das placas eletrônicas, fato que não se verifica nos países mais desenvolvidos industrialmente, como Alemanha, Estados Unidos da América, França, Japão, dentre outros.

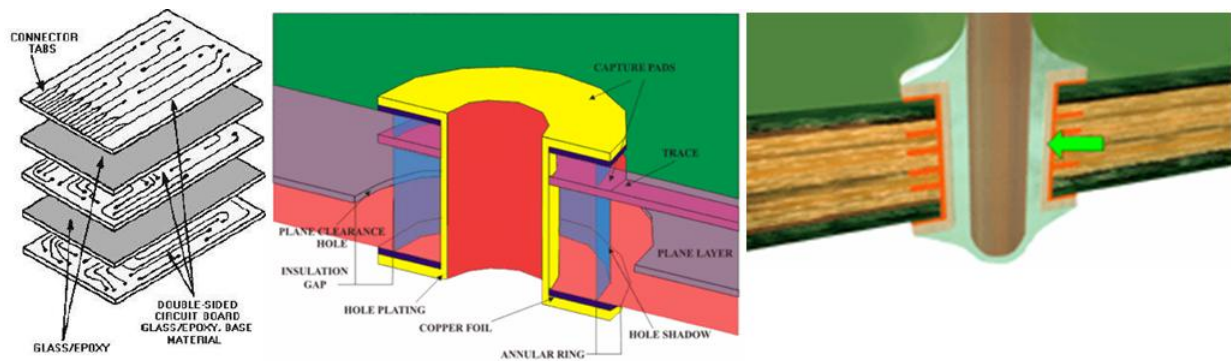


Figura 5.7: Placa de Circuito Impresso (PCI) *Multilayer*.

Em conjunto, a depender do projeto, as tecnologias citadas podem promover uma redução de até 60% do tamanho do equipamento em comparação com um projeto utilizando exclusivamente componentes PTH e PCI's dupla-face.

5.3 Componentes e Circuitos Eletrônicos

A seguir serão especificados os principais componentes eletrônicos, bem como alguns dos circuitos fundamentais, que permitirão o funcionamento do sistema e a aplicação dos fundamentos e métodos descritos na **Seção 4.2**, constituindo, assim, a alternativa proposta para o projeto e desenvolvimento do equipamento para uso em campo atendendo a todos os requisitos expostos no **Capítulo 3**.

5.3.1 Transdutor de Corrente

Como exposto na **Seção 3.9**, um dos requisitos para o equipamento é o de não interferir na estrutura mecânica onde o MIT estiver instalado. Para que esse objetivo seja alcançado, a solução proposta é a adoção de um transdutor de corrente baseado em um sensor de efeito Hall para leitura do sinal de corrente, envolvendo o condutor que alimenta uma das fases do motor de indução conforme a **Figura 5.1**. Apesar do alto custo, o transdutor por efeito HALL foi escolhido como a melhor opção em comparação aos Transformadores de Corrente (TC's) convencionais, devido, principalmente, a sua larga banda de resposta em frequência requerida pelo método a ser utilizado para estimação da velocidade, escorregamento e torque, baseado na análise dos componentes de frequência (vide **Subseção 4.2.2**).

Para o cabo que alimenta o estator do MIT passar pelo interior do sensor, na maioria dos casos faz-se necessária a interrupção ou corte do cabo de alimentação. Para que isto não ocorra, mantendo a característica não intrusiva da solução apresentada, foi escolhido o sensor HTR50-SB da indústria “*LEM Electronics Co.*” [34], com uma construção especial denominada *Split-core* (“núcleo rachado”). O aspecto deste transdutor é mostrado na **Figura 5.8**.

Este sensor possui uma estrutura mecânica articulada que permite ser aberta para inserção do cabo no seu interior, efetuando a leitura do sinal de corrente pelo campo magnético gerado ao redor do cabo. Suas

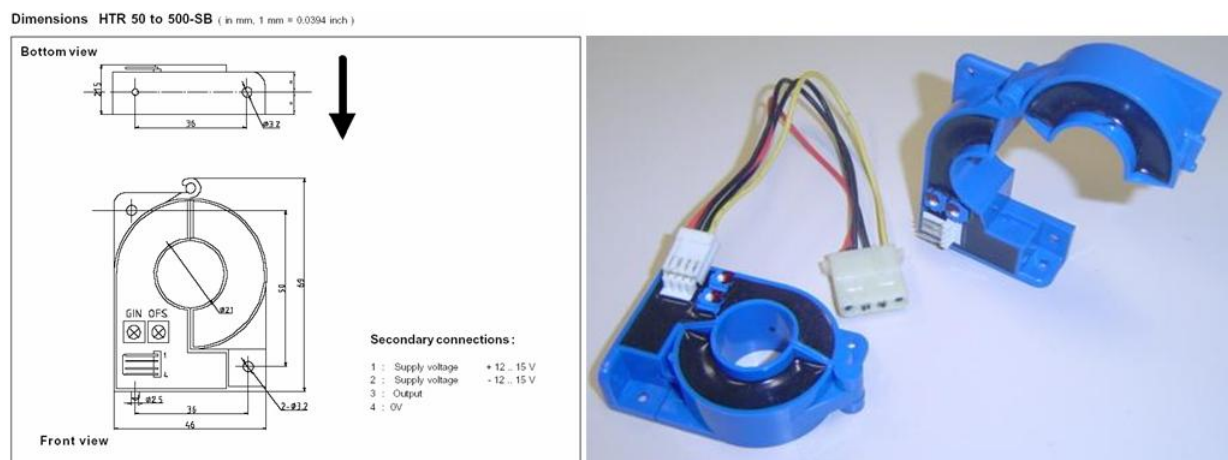


Figura 5.8: Transdutor de corrente por efeito Hall HTR50-SB (Cortesia LEM S/A).

características principais são: tensão de alimentação de ± 12 a $\pm 15 V_{DC}$; consumo de corrente (máximo) de $20 mA$; resistência de carga $> 10 k\Omega$; baseado no efeito Hall; corrente de medição de $50 A$ (RMS); Corrente máxima de medição (CA) de $\pm 100 V_p$; tensão de saída de $\pm 4 V$; faixa de frequência de medição de DC a $10 kHz$; e isolamento de $3 kV$.

Dadas as especificações supracitadas, podemos destacar as seguintes vantagens da utilização do transdutor selecionado: baixo consumo, facilidade de montagem devido ao *split-core*, boa resposta em frequência (ideal para a análise no domínio da frequência para a aplicação desejada) e alta isolamento entre os circuitos primário e secundário.

O cabeamento destinado ao transporte do sinal de tensão relativo à corrente capturada pelo transdutor HALL, foi concebido utilizando dois pares trançados de forma a minimizar o ruído induzido, agrupando juntas as duas tensões simétricas de alimentação ($\pm 12 V_{DC}$), e o sinal de saída com o de sinal de referência. No total são dois cabos, um para a corrente da fase 'R' e outro para a corrente da fase 'T'. Para minimizar a atenuação do sinal, adotou-se um comprimento máximo de 2 metros. O esquema desse cabeamento é apresentado na **Figura 5.9**.

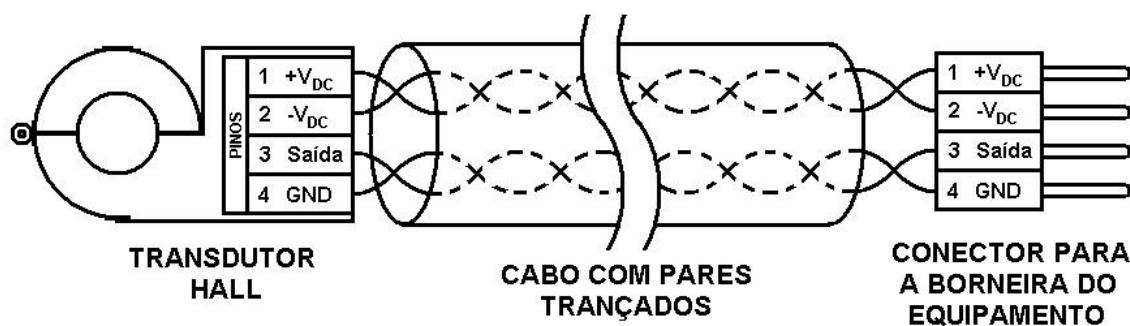


Figura 5.9: Esquema do cabeamento de transporte do sinal do transdutor HALL. A pinagem descrita corresponde à original.

5.3.2 Optoacopladores

O optoacoplador é um dispositivo de desacoplamento físico do circuito, ou seja, com ele o circuito não está fisicamente ligado. Seu funcionamento baseia-se em um LED que, quando ativado, emite uma luz que aciona um fototransistor (transistor acionado por luz) [4]. A vantagem principal de um optoacoplador é realizar o isolamento de um sistema, com uma amplificação de sinal simultaneamente, pois sua saída é composta por um transistor, permitindo o acionamento de cargas de maior potência por dispositivos de potência menor.

É importante ressaltar que o optoacoplador desacopla um sistema. Ele realiza a ligação entre dois sistemas isolados, com duas fontes de alimentação distintas, uma vez que a utilização de uma mesma fonte de alimentação para ambos os lados do optoacoplador comprometerá o isolamento [4].

No intuito do atendimento do critério da **Seção 3.8**, para o transporte de sinais digitais mais lentos, no projeto das interfaces do equipamento proposto por esta Dissertação optou-se pela utilização do optoacoplador PC817 da *SHARP* [35], no encapsulamento PDIP 4 (*Plastic Dual Inline Package* com 4 pinos), como mostram as **Figuras 5.10 e 5.11**.

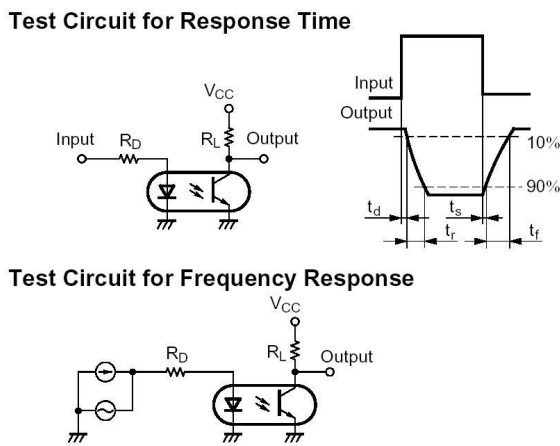


Figura 5.10: Circuitos de teste do Optoacoplador PC817 da *SHARP*.

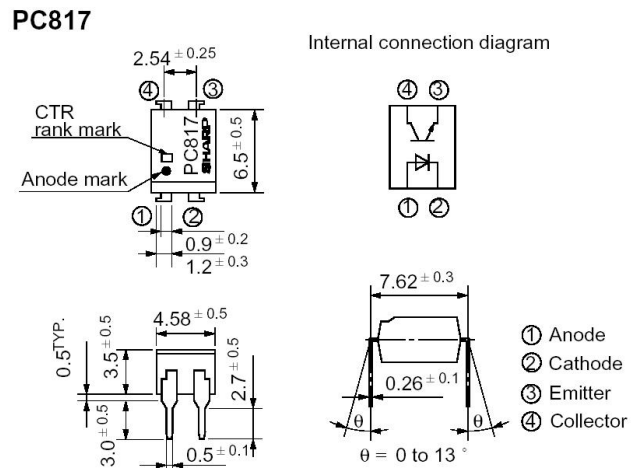
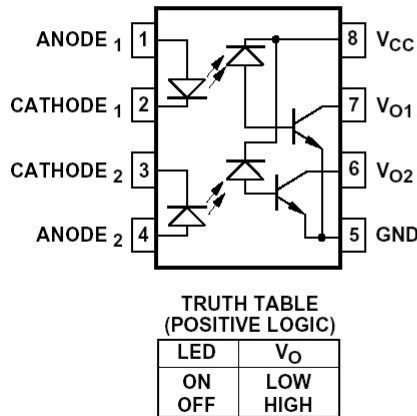


Figura 5.11: Encapsulamento PDIP4 (PTH) para o PC817 da *SHARP*.

Em oposição, para o transporte de sinais digitais mais rápidos, a alternativa adotada foi utilização de optoacopladores da série HCPL da *Agilent Technologies* [36], no encapsulamento PDIP 8, como mostra a **Figura 5.12**. A adoção destes componentes permitiram um nível de isolamento nas interfaces da ordem de 2 a 5 *kV* (RMS).

Functional Diagram



Package Outline Drawings

8-Pin DIP Package (HCPL-2530/2531/4534)

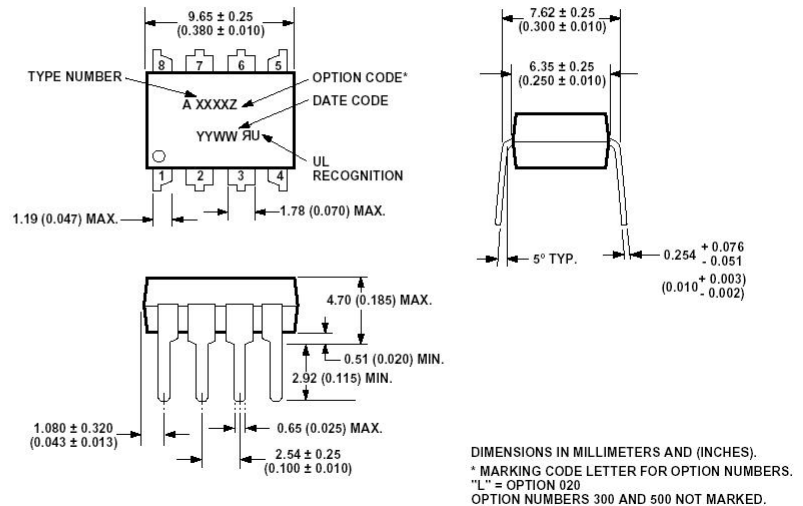


Figura 5.12: Optoacoplador da Série HCPL da *Agilent Technologies*.

5.3.3 Interface de Corrente

A interface responsável por prover um sinal padrão de 4 a 20 mA para o CLP, atendendo ao requisito da **Subseção 3.6.1** é baseada no CI AD420 da *Analog Devices*, com encapsulamento SMT SOIC24 (*Small Outline Integrated Circuit*, 24 pinos). Este CI é apresentado na **Figura 5.13**.

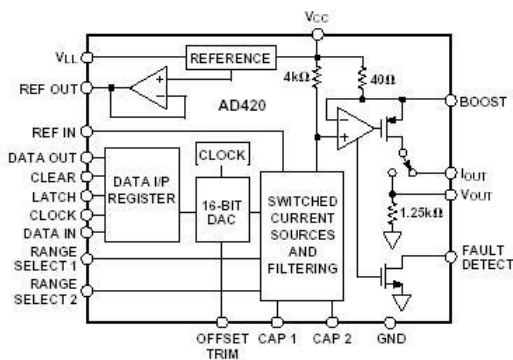
O AD420 é um Conversor Digital para Analógico (DAC) de 16 bits com saída de corrente configurável nas opções: 4-20 mA e 0-20 mA [37]. Sua entrada de dados digitais é feita por meio de uma interface serial especificada pelo fabricante e a ser implementada no processador usado, como será descrito no **Capítulo 6**. Além disso, o CI AD420 possui um pino de saída digital que vai a nível lógico "0" caso o *loop* de corrente seja ou esteja aberto, podendo ser utilizada para alimentar um LED [37]. No caso do equipamento desenvolvido, a saída é utilizada para informar a CPU a ocorrência da interrupção do *loop* de corrente. Baseado no *datasheet* (folha de dados) do fabricante especificado na referência [37], o esquemático do circuito eletrônico proposto com este CI é apresentado na **Figura 5.14**.

No esquemático apresentado, o CI utiliza a alimentação fornecida (+24 V_{DC}) para gerar o sinal 4-20 mA . Com isso, a adoção dos optoacopladores apresentados na **Subseção 5.3.2** nas linhas de comunicação entre o AD420 e o DSP, propiciou o atendimento do critério de isolamento imposto na **Seção 3.8**. O optoacoplador PC817 é utilizado para enviar ao DSP de forma isolada o sinal relativo a perda do *loop* 4-20 mA , enquanto que os optoacopladores HCPL são utilizados para transmissão serial síncrona dos bits de dados do DSP que configuram o sinal de corrente, bem como do sinal de *clock* para sincronização da transmissão.

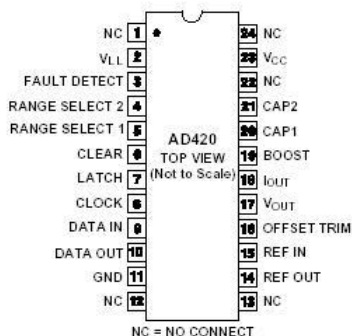


AD420 Serial Input 16-Bit 4 mA–20 mA, 0 mA–20 mA DAC

FUNCTIONAL BLOCK DIAGRAM



PIN DESIGNATIONS



24-Lead Small Outline (SOIC) (R-24)

FEATURES

- 4 mA–20 mA, 0 mA–20 mA or 0 mA–24 mA Current Output
- 16-Bit Resolution and Monotonicity
- ± 0.012% Max Integral Nonlinearity
- ± 0.05% Max Offset (Trimable)
- ± 0.15% Max Total Output Error (Trimable)
- Flexible Serial Digital Interface (3.3 MBPS)
- On-Chip Loop Fault Detection
- On-Chip 5 V Reference (25 ppm/°C Max)
- Asynchronous CLEAR Function
- Maximum Power Supply Range of 32 V
- Output Loop Compliance of 0 V to V_{CC} – 2.5 V
- 24-Lead SOIC and PDIP Packages

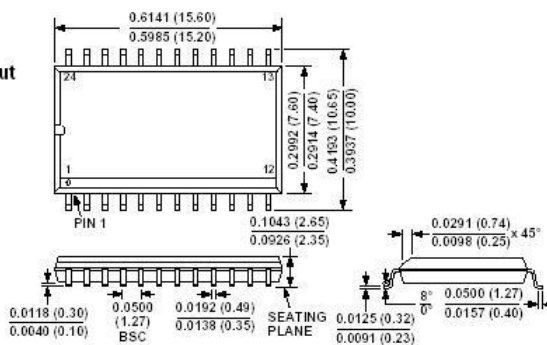


Figura 5.13: AD420 - DAC com saída de corrente, da Analog Devices.

Interface para o CLP -> 4 a 20 mA

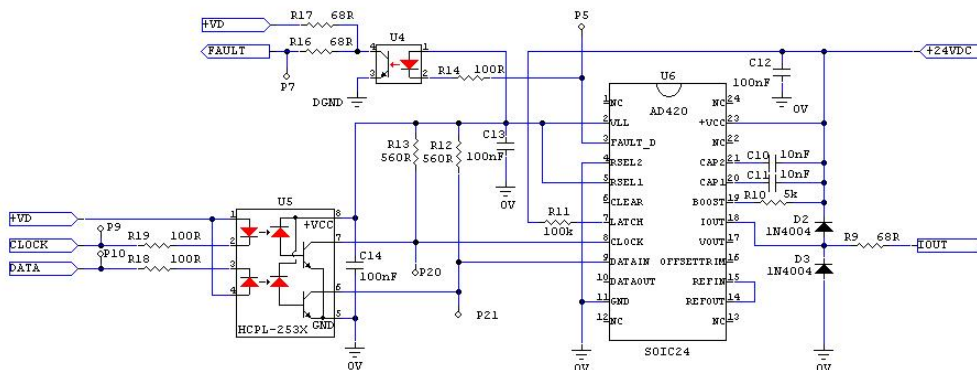


Figura 5.14: Circuito eletrônico proposto para interface de corrente 4-20 mA com o CI AD420.

5.3.4 Interface Serial RS-232

A maioria dos equipamentos digitais utilizam níveis TTL (*Transistor-Transistor Logic* ou, em português, Lógica Transistor-Transistor) ou CMOS (*Complementary Metal-Oxide-Semiconductor* ou, em português, Semicondutor Metal-Óxido Complementar). Portanto, o primeiro passo para conectar um equipamento digital a uma interface RS232 é transformar níveis TTL (0 a $+5 V_{DC}$) em níveis RS232 (vide **Figura 3.12**) e vice-versa. Isto é feito por CI's conversores de nível.

Existe uma variedade grande de equipamentos digitais que utilizam o *driver* 1488 (TTL \Rightarrow RS232) e o *receiver* 1489 (RS232 \Rightarrow TTL). Estes CI's contém 4 inversores de um mesmo tipo, sejam *drivers* ou *receivers*. O *driver* necessita duas fontes de alimentação $+7,5 V_{DC}$ a $+15 V_{DC}$ e $-7,5 V_{DC}$ a $-15 V_{DC}$. Isto é um problema onde somente uma fonte de $+5 V_{DC}$ é utilizada.

Um outro CI que está sendo largamente utilizado é o MAX232 da Maxim. Ele inclui um circuito de "charge pump" capaz de gerar tensões de $+10 V_{DC}$ e $-10 V_{DC}$ a partir de uma fonte de alimentação simples de $+5 V_{DC}$, bastando para isso alguns capacitores externos [38], conforme pode-se observar na **Figura 5.15**.

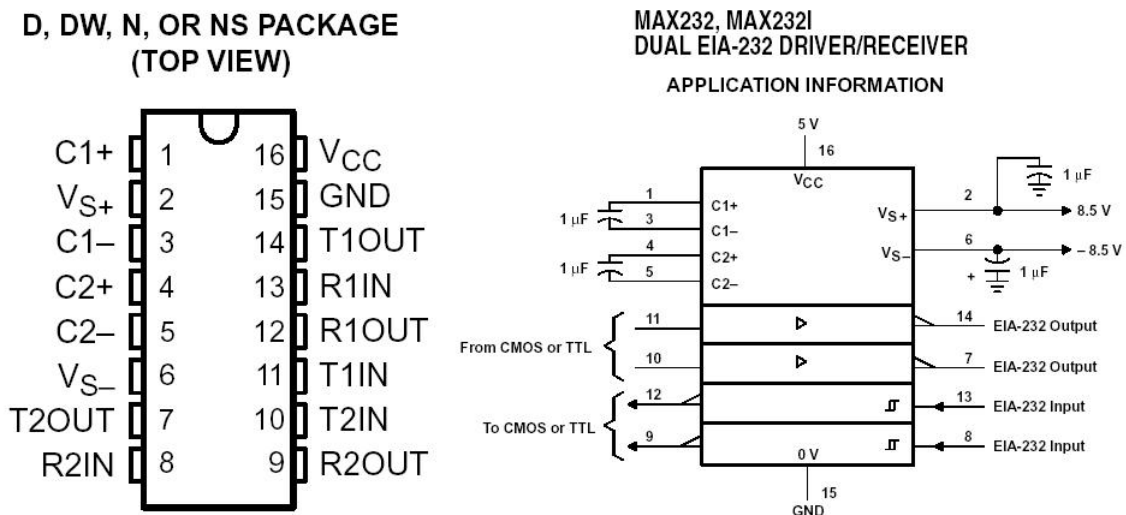


Figure 4. Typical Operating Circuit

Figura 5.15: MAX232 - *Driver/Receivers* duplo para interface EIA-232, da MAXIM.

Este CI também tem 2 *receivers* e 2 *drivers* no mesmo encapsulamento. Nos casos onde serão implementados somente as linhas de transmissão e de recepção de dados, não seria necessário 2 chips e fontes de alimentação extras. O esquemático do circuito com isolamento óptico proposto para o equipamento é ilustrado na **Figura 5.16**. Neste circuito, o conversor DC-DC DCR01, a ser descrito na **Seção 5.3.8**, é utilizado para garantir uma fonte de alimentação separada e isolada para a interface RS-232. Foi adotado o conector DB-9 fêmea e os *straps* J6, J7, J8 e J9 são utilizados para configurar o tipo do cabeamento como DTE ou DCE, conforme abordado na **Subseção 3.6.2**.

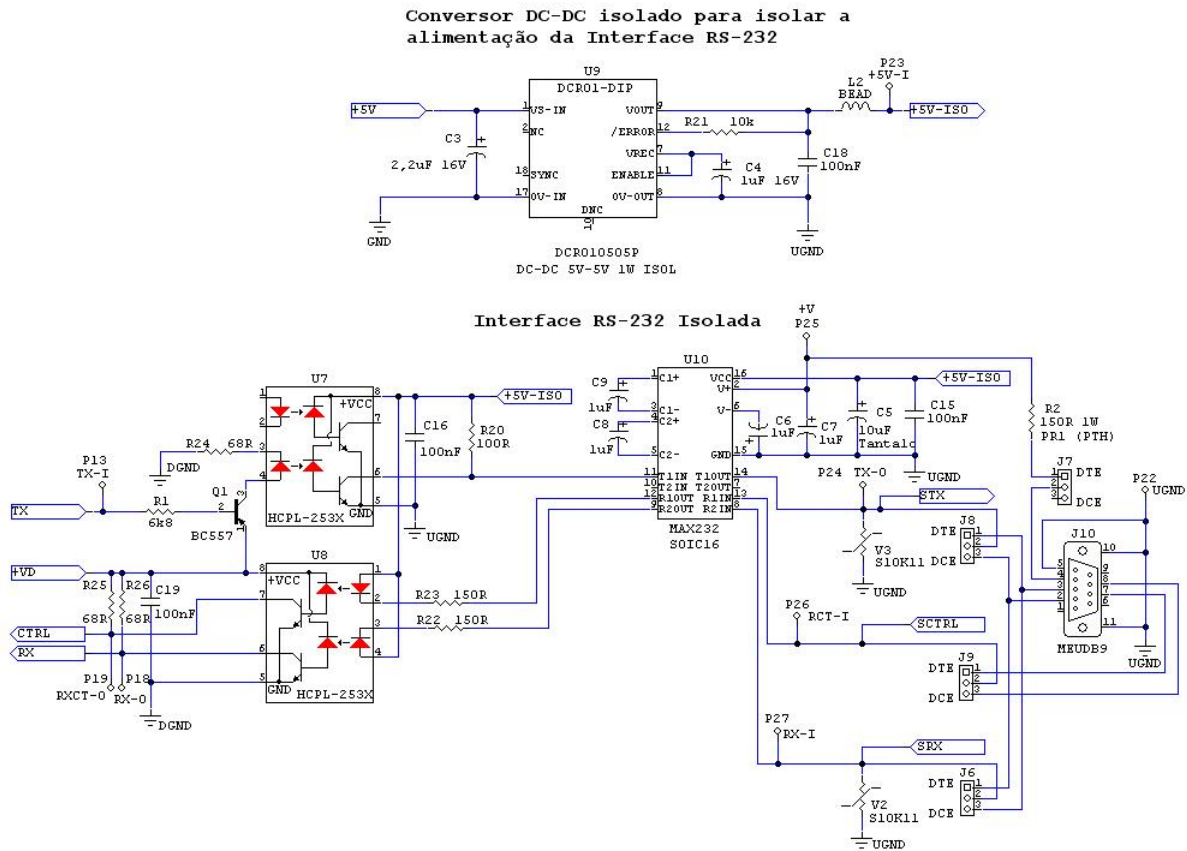


Figura 5.16: Circuito proposto com o MAX232 para constituir a interface RS-232 isolada.

Além da isolação, as linhas dos sinais principais “TX” e “RX” (transmissão e recepção, respectivamente) são protegidos pelos varistores “V3” e “V2”, que entram em baixa impedância (curto-circuito) na ocorrência de um transiente de tensão/corrente, impedindo que se propague para o circuito da RS-232.

5.3.5 Interface com LED’s para IHM

De acordo com o *datasheet* do fabricante [39], as portas de I/O do DSP adotado não possuem uma capacidade de fornecimento suficiente de corrente para alimentar os LED’s que irão compor a IHM do equipamento (vide **Seção 3.7**), sendo necessário um circuito de interface com *buffers/drivers* para aumentar a potência de saída dos pinos de I/O e efetuar o acendimento dos LED’s individuais. Dessa forma, foi adotado para esta finalidade o CI 74HC244 em encapsulamento SMT da *Texas Instruments* [40], um *Buffer/Driver* octal com saída *three-state* de baixo consumo, como mostra a **Figura 5.17**.

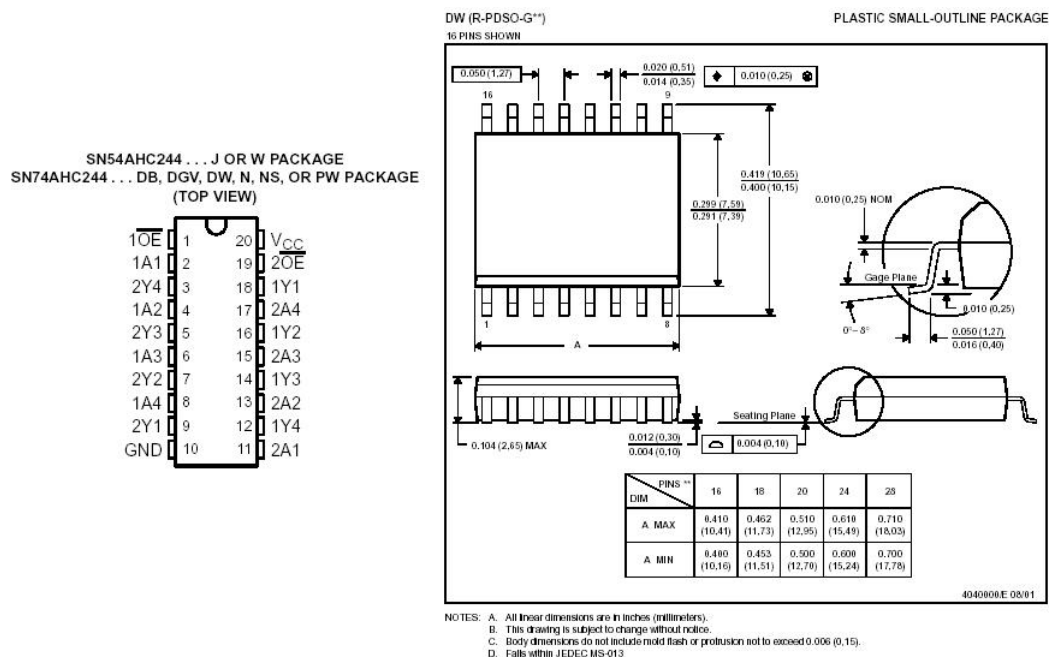


Figura 5.17: 74HC244 - *Buffer/Driver* octal com saída *three-state*, da *Texas Instruments*.

A IHM proposta consiste de 6 LED's presentes no painel frontal do equipamento. A função de cada um é descrita na **Tabela 5.1**.

LED	Cor	Nome	Função
01	Verde	STATUS	Ritmo diversificado ao piscar informa condições do sistema
02	Vermelho	Falha I	Ritmo diversificado ao piscar informa o tipo de falha numa das correntes I_R e I_T ou ambas
03	Vermelho	Falha 4-20mA	Ao acender indica falha no <i>loop</i> de corrente 4-20mA
04	Vermelho	Falha V	Ritmo diversificado ao piscar informa o tipo de falha numa das tensões V_{RS} e V_{TS} ou ambas
05	Laranja	TX	Ao acender indica transmissão de dados pela RS-232
06	Amarelo	RX	Ao acender indica recebimento de dados pela RS-232

Tabela 5.1: Quadro com a descrição dos LED's da IHM.

Os ritmos das piscagens serão definidos no manual do equipamento. O esquemático do circuito concebido para materializar a idéia da IHM proposta pela **Tabela 5.1** é ilustrado na **Figura 5.18**.

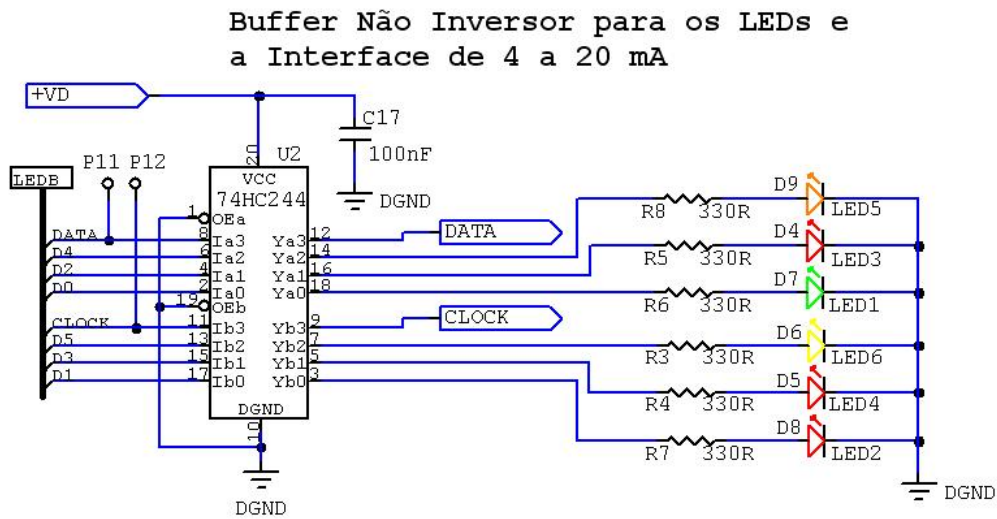


Figura 5.18: Circuito proposto com o 74HC244 para “interfear” o DSP com os LED’s da IHM.

5.3.6 Processador Digital de Sinais (DSP)

Para o desenvolvimento deste equipamento, foram adotados os DSP’s da Texas instruments, junto com suas ferramentas de desenvolvimento de *firmware*, como o Code Composer Studio, e de desenvolvimento de *hardware*: *Starter Kits* e Emuladores. Este último permite o teste e a depuração no próprio circuito do *hardware* do protótipo, bastando, para isso, a previsão no esquemático de uma interface JTAG (Padrão IEEE).

O Família 2000 de DSP’s, da *Texas Instruments*, foi adotada para o projeto pela alta performance, baixo custo e disponibilidade de vários periféricos internos. O protótipo será concebido tendo como base o DSP TMS320LF2812A (na realidade um DSC), ou simplesmente F2812, em encapsulamento SMD LQFP de 176 pinos [39, 41], ilustrado nas **Figuras 5.19 e 5.20**.



Figura 5.19: DSP TMS320LF2812A da *Texas Instruments*.

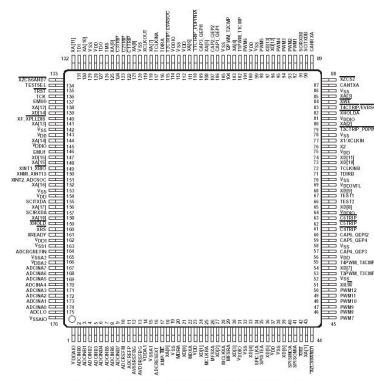


Figure 2-2. 320F2812 and 320C2812 176-Pin PQF LQFP (Top View)

Figura 5.20: Encapsulamento SMD LQFP de 176 pinos.

As características principais do DSP F2812 são listadas a seguir [39, 41]:

- Misto de Microcontrolador e DSP (DSC);
- Ponto Fixo, processamento de 32 bits, execução instruções a até 150 MIPS (Milhões de Instruções Por Segundo) com um *clock* de até 150 MHz;
- Memória FLASH interna de 128k × 16;
- Vários periféricos internos: UART (*Universal Asynchronous Receiver/Transmitter* ou, em português, Receptor/Transmissor Assíncrono Universal), PWM, SPI e I/O's;
- ADC unipolar com *Sample & Hold*, alta taxa de amostragem (80 ns ou 12,5 milhões de amostras por segundo sob um *clock* próprio de 25 MHz), 12 bits de resolução e 16 entradas analógicas multiplexadas (tensão máxima analógica de referência $V_{ADC} = +3,0 V_{DC}$);
- Gerenciamento de Memória Externa até 512k endereços com barramento de 16 bits (512k × 16 ou 0.5 Megawords);
- Disponibilidade de várias ferramentas de desenvolvimento e emulação por interface JTAG (*Joint Test Action Group*);
- Baixo custo em relação aos DSP's de ponto-flutuante.

O diagrama de blocos do F2812 é ilustrado na **Figura 5.21**.

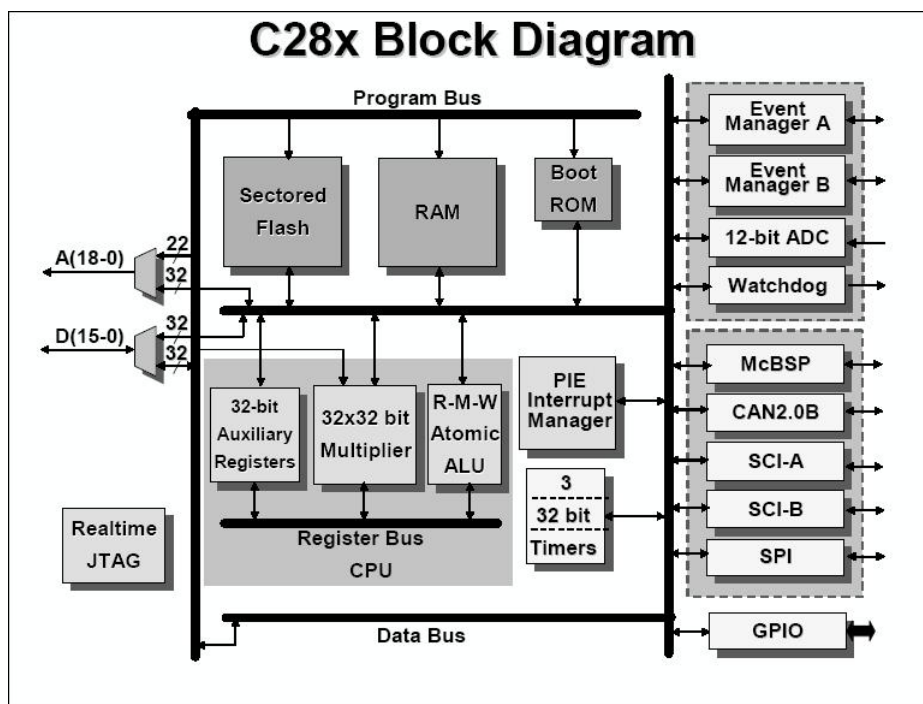


Figura 5.21: Representação em diagrama de blocos do DSP TMS320F2812, da *Texas Instruments*.

Na verdade, o DSP adotado é um DSC cujas características próprias propiciaram, em resumo, uma melhor relação custo/benefício para o desenvolvimento do protótipo do equipamento.

5.3.6.1 Interface JTAG

A interface *Joint Test Action Group*, ou JTAG é o nome usual utilizado para o padrão IEEE 1149.1, intitulado “Standard Test Access Port and Boundary-Scan Architecture”, para teste de portas de acesso em testes de placas eletrônicas utilizando *boundary scan*, ou seja, é um sistema padrão IEEE para emulação de sistemas com dispositivos lógicos programáveis, como MCU’s, DSC’s e DSP’s. Baseia-se num protocolo interno do DSP que possibilita o total acesso a estrutura interna do mesmo.

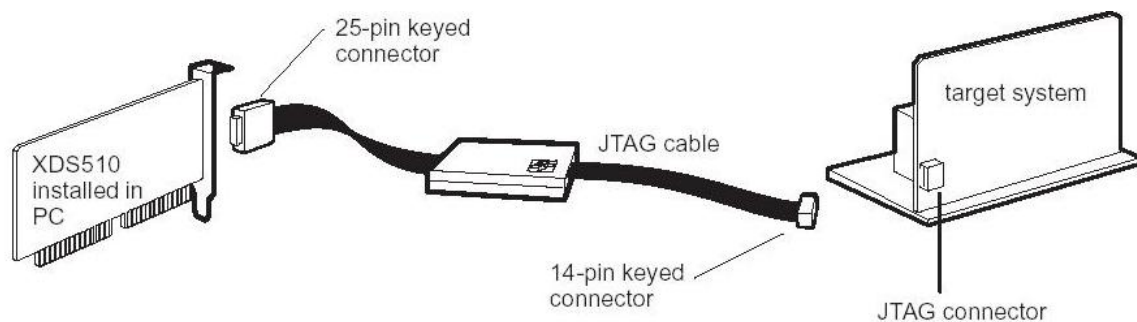


Figura 5.22: Emulador para DSP's da Texas instruments, utilizados no teste de *hardware* e depuração do *firmware* do protótipo.

Com essa interface, é possível executar o programa passo-a-passo, ler conteúdo de registradores, memórias, e até mesmo alterá-los de maneira não-intrusiva, sem interrupção do processamento, o que facilita posteriores *upgrades* (atualizações) de um sistema de processamento digital. Os dados lidos podem ser analisados na IDE (*Integrated Development Environment* ou, em português, Ambiente Integrado de Desenvolvimento) usada. Atualmente, a interface JTAG é uma solução, na maioria das aplicações, tão satisfatória quanto a tradicional “*In-Circuit Emulation*” [9].

5.3.7 Memórias

A memória RAM especificada para o projeto é a CY7C1011CV33 [42], RAM Estática de $256K \times 16$ bits, da *CYPRESS* (**Figura 5.23**).

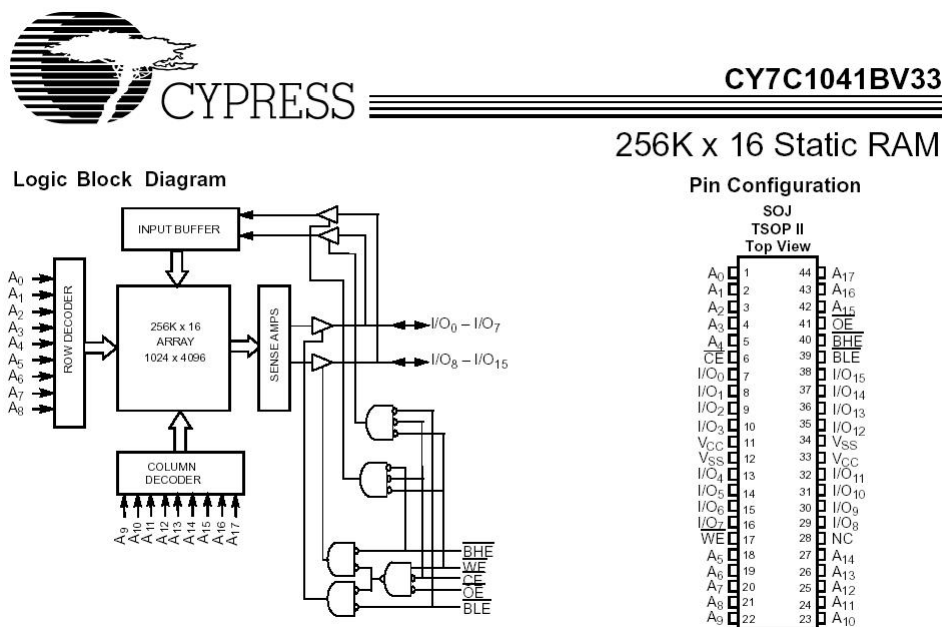


Figura 5.23: CY7C1011CV33, memória RAM estática da *CYPRESS* adotada para o projeto do equipamento.

Esta memória é adequada para se trabalhar com os DSP's da Família adotada para este equipamento (Família 2000) devido a sua altíssima velocidade de leitura/escrita, de 10 a 50 ns, e sua palavra ser de 16 bits, compatível com o barramento de dados de 16 bits do DSP's escolhido.

A memória EEPROM especificada para o projeto é a 25LC256 [43], EEPROM Serial com barramento SPI, de $256K \times 8$ bits, da *Microchip* (**Figura 5.24**). A interface SPI (*Serial Peripheral Interface*) é disponibilizada na maioria dos MCU's e DSC's de mercado, como é o caso do DSC adotado para esta aplicação.

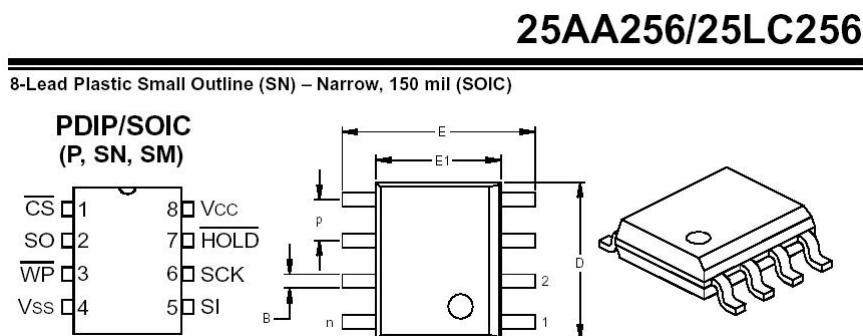


Figura 5.24: 25LC256, memória EEPROM da *Microchip* adotada para o projeto do equipamento.

O circuito sugerido para a utilização desta memória é mostrado em detalhes na **Figura 5.25**.

EEPROM para Armazenamento dos Dados da Parametrização

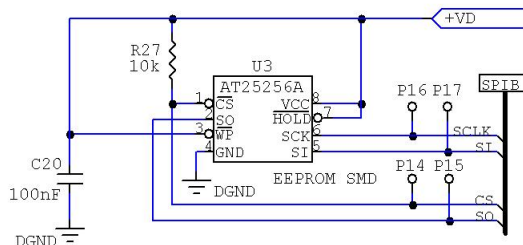


Figura 5.25: Circuito proposto com a memória EEPROM adotada.

5.3.8 Alimentações

Para constituir a alimentação dos circuitos internos, apresentada na **Seção 5.1**, foram selecionados três conversores DC-DC (dois isolados e um não isolado) e um regulador linear. Dos conversores isolados, foram adotados o CC-E, da *TDK* [44, 45], e o DCR01, da *Texas Instruments* [46].

O primeiro conversor DC-DC isolado, o CC-E, ilustrado na **Figura 5.26**, é responsável por prover a alimentação geral do circuito definida em $+5 V_{DC}$ a partir dos $+24 V_{DC}$ externos. O consumo total de corrente do equipamento foi estimado em $\simeq 1,0A$ com uma alimentação de $+5 V_{DC}$, dessa forma, foi dimensionado um conversor de CC-E de $6 W$.

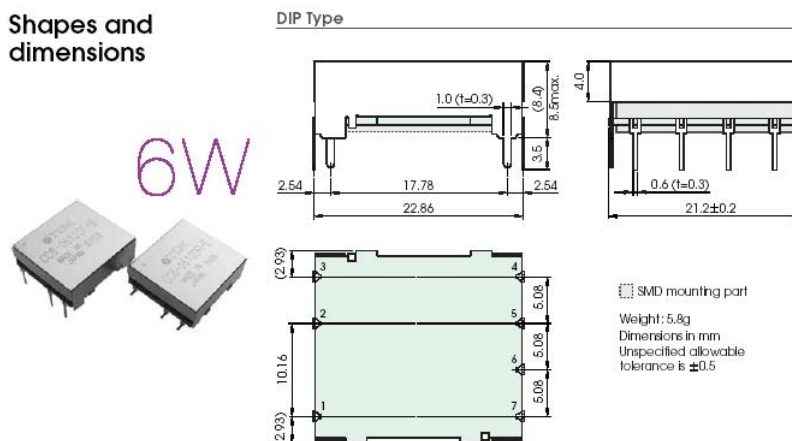


Figura 5.26: CC Série E da *TDK*.

O esquemático do circuito desenhado para compor a alimentação geral utilizando o CC-E é apresentado na **Figura 5.27**. O circuito tem como proteções na sua entrada o fusível “F1” contra sobrecarga; o varistor “V1”, que entra em baixa impedância (curto-circuito) na ocorrência de um transiente de tensão/corrente; além do diodo “D1”, para proteção contra inversão de polaridade. É possível ainda desativar remotamente

o equipamento por meio do sinal ON-OFF remoto, disponibilizado na borneira do frontal do equipamento, como será visto na **Seção 5.6**.

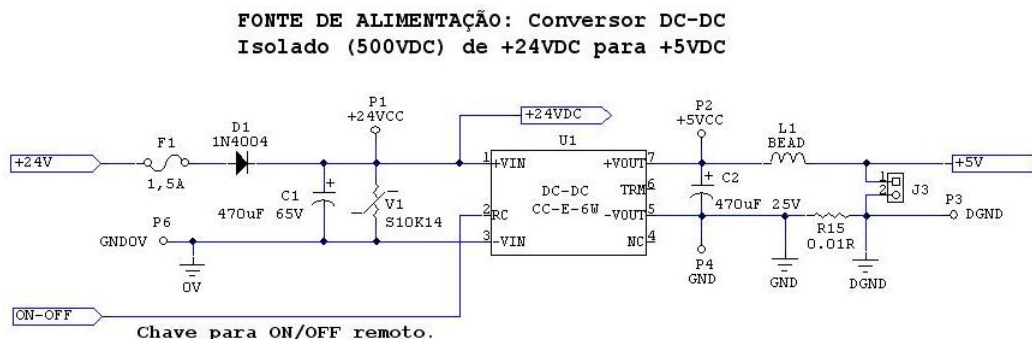


Figura 5.27: Circuito para alimentação geral dos circuitos internos equipamento utilizando o conversor DC-DC CC-E da *TDK*.

O segundo conversor DC-DC isolado, o DCR01, é utilizado para separar a alimentação da interface RS-232 da alimentação geral do circuito, sem mudança de valor ($+5 V_{DC}$ para $+5 V_{DC}$), permitindo que a interface seja isolada pelos optoacopladores, como mostrado na **Seção 5.3.4**.

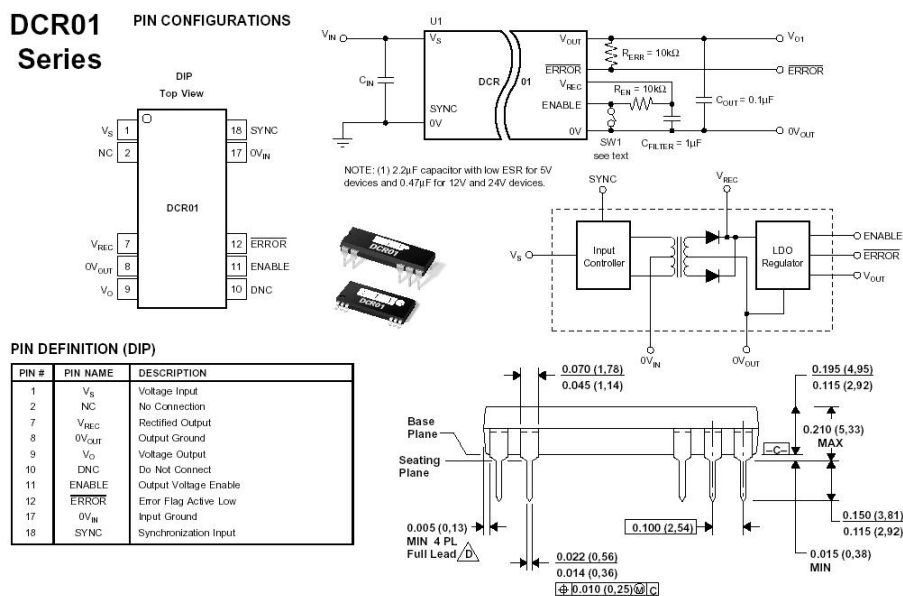


Figura 5.28: DCR01 da *Texas Instruments*.

Ambos os conversores permitem uma isolação em torno de $500 V_{DC}$ a $1500 V_{DC}$ [46, 44, 45]. A opção da utilização de um conversor DC-DC veio da necessidade de um maior rendimento, não obtido com reguladores lineares, e da possibilidade de se obter a isolação elétrica necessária para a alimentação dos circuitos internos separados do equipamento.

Para alimentação dos filtros ativos, constituídos de amplificadores operacionais, do filtro a capacitor comutado e do transdutor de corrente por efeito Hall, todos com alimentações simétricas de $\pm 12 V_{DC}$, foi

selecionada para o projeto do equipamento a série de conversores DC-DC não isolados PT5060 da *Texas Instruments* [47], ilustrada na **Figura 5.29**. O conversor adotado é o PT5061, capaz de gerar uma tensão simétrica de $\pm 12 V_{DC}$ com capacidade de fornecer uma corrente máxima de $250 mA$, a partir de uma alimentação de entrada de $+5 V_{DC}$.

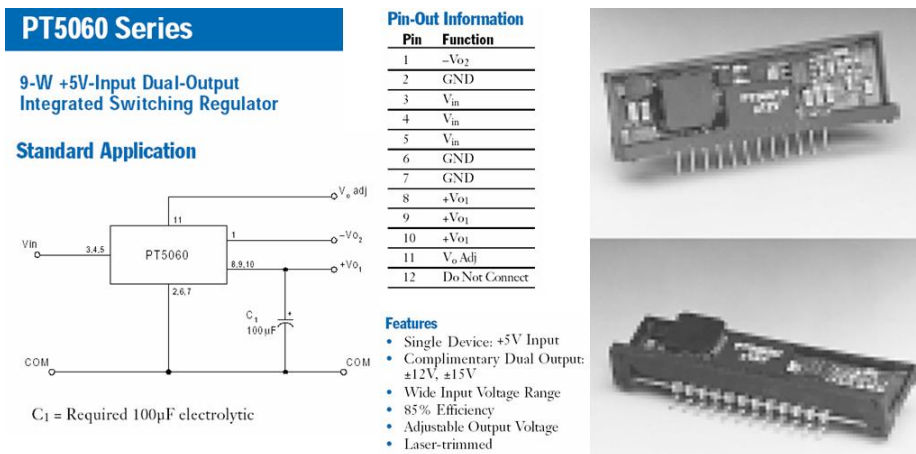


Figura 5.29: Série conversores DC-DC PT5060 da *Texas Instruments*.

O regulador linear escolhido, o CI TPS767D301 da *Texas Instruments* [48], é um regulador duplo LDO (*Low Drop Out*, baixa queda ou diferença de tensão entre a entrada e a saída necessária para regular a tensão de saída), em encapsulamento SMT 28 pinos, utilizado como recomendação do próprio fabricante do DSP TMS320F2812, também a *Texas Instruments*, para prover a dupla alimentação necessária a este processador ($+1,8 V_{DC}$ para o *core* (núcleo) e $+3,3 V_{DC}$ para os periféricos internos) obedecendo a curva de subida de tensão especificada na referência [39]. O circuito utilizado com este CI é apresentado na Figura 5.30.

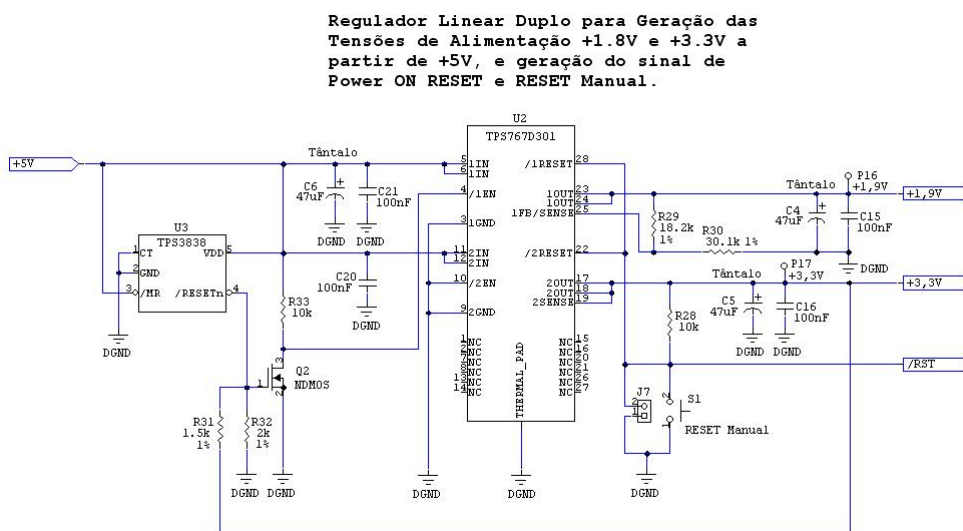


Figura 5.30: Regulador linear duplo TPS767D301 da *Texas Instruments*.

5.3.9 Circuitos para o Condicionamento de Sinais

Na **Seção 4.2** foi abordada a baixa amplitude dos componentes de frequência de interesse em relação à frequência fundamental do sinal de alimentação. Somando-se a isso têm-se o inconveniente do surgimento de ruídos na faixa de frequência de interesse que podem comprometer a detecção dos componentes de frequência. Tomando por base estes fatos, é imprescindível a adoção de circuitos analógicos de condicionamento de sinais que tornam as componentes de frequência dos sinais de corrente possíveis de serem adquiridos pelo ADC do DSP adotado e finalmente processados.

De acordo com a **Subseção 5.3.6**, o ADC do DSP adotado é unipolar com uma tensão analógica máxima de referência $V_{ADC} = +3,0 V_{DC}$, permitindo somente a entrada de sinais positivos excursionando na faixa $0 V_{DC}$ a $+3,0 V_{DC}$, o que obriga o projeto do condicionamento de sinal a limitar a faixa máxima do sinal de entrada a $-1,5V_{DC}$ a $+1,5 V_{DC}$ e posteriormente a adição de um nível DC de metade da tensão máxima do ADC ($+1,5 V_{DC}$), para que a faixa final seja a permitida e o sinal de entrada resultante possa ser inserido na entrada analógica do DSP como mostra a **Figura 5.31**.

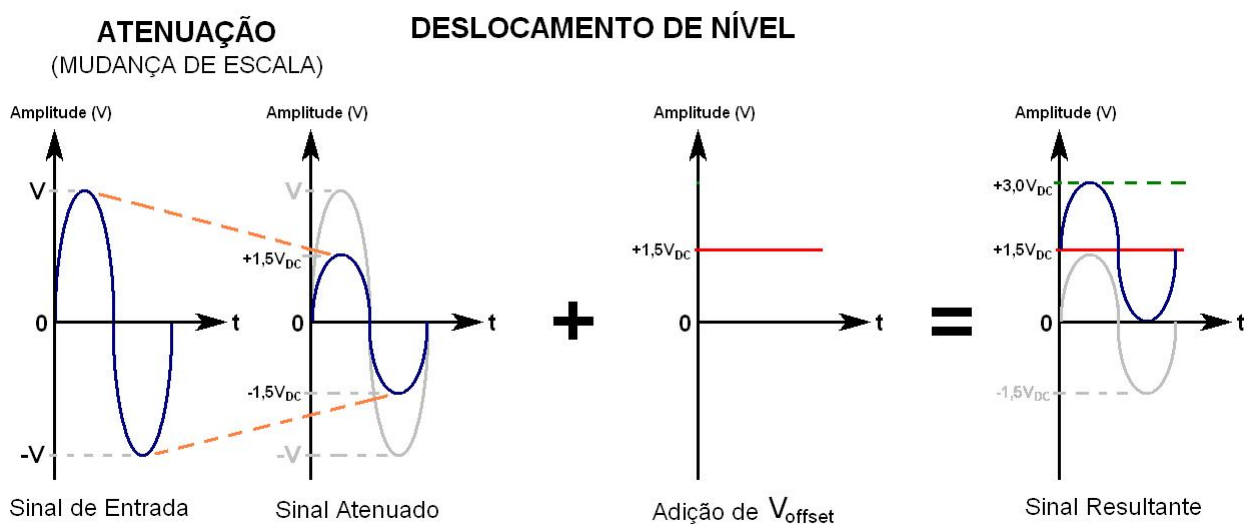


Figura 5.31: Condicionamento em amplitude do sinal de entrada antes de introduzir no ADC.

Além disso, de acordo com a **Subseção 4.1.5**, o sinal de tensão de alimentação é modulado por PWM, o que torna necessário no condicionamento um circuito de demodulação para aquisição da tensão de alimentação do MIT. Este circuito nada mais será do que um filtro passa-baixas (FPB) com frequência de corte dez vezes menor que a frequência da portadora da modulação PWM, uma regra prática bastante difundida na literatura.

O condicionamento em frequência analógico, obtido pela utilização de filtros analógicos, é definido considerando os canais destinados à estimação dos valores eficazes da tensão e da corrente da alimentação do estator do MIT, e o canal sem f_1 destinado à identificação dos componentes de frequência de interesse na análise espectral.

Para o primeiro caso, utilizando a regra prática citada no parágrafo anterior, a frequência de corte

dos FPB's destes canais é estipulada em $f_c = 150 \text{ Hz}$, garantindo uma demodulação PWM com frequência da portadora a partir de $1,5 \text{ kHz}$.

No segundo caso, poder-se-ia utilizar o critério de Nyquist [7, 8, 49], fazendo $f_c = F_s/2$. Nos trabalhos das referências [11, 10] foi utilizada uma $F_s = 20 \text{ kHz}$. Mas é comprovado matematicamente, analisando a equação (4.26), que $F_s = 20 \text{ kHz}$ é um valor significativamente superior ao necessário. Se considerarmos os valores dos parâmetros que maximizam o valor de f_{sh} na equação (4.26), ou seja, $R = 54$ (maior número de ranhuras de um MIT), $s = 0$, $n_d = +3$, $n_w = +5$, $K = 1$ (valor fixo), $p = 4$ (não é o menor número de pólos de um MIT, mas é o número da maioria) e $f_1 = 90$ (valor máximo da frequência de alimentação do inversor, vide Seção 3.5), ter-se-á $f_{sh} \simeq 3 \text{ kHz}$, resultando então para o FPB deste canal uma frequência de corte $f_c \simeq 3 \text{ kHz}$ e uma $F_s \geq 6 \text{ kHz}$. De qualquer forma, para uma melhor garantia da detecção dos componentes de frequência, como também aproveitando os recursos do DSP adotado, foi estipulada $F_s = 10 \text{ kHz}$ no projeto do equipamento fruto deste Trabalho, metade da F_s utilizada nos Trabalhos [11, 10].

A seguir serão descritas as topologias propostas visando o atendimento de todas as especificações supracitadas.

5.3.9.1 Topologia Diferencial para Aquisição de Grandes e Pequenos Sinais

Para a etapa inicial de condicionamento dos sinais de tensão de alimentação do MIT e dos sinais de corrente oriundos do transdutor HALL, a proposta deste Trabalho é a adoção de um circuito com uma estrutura diferencial com atenuação de amplitude derivada da topologia do circuito amplificador subtrador [50, 15, 49], como mostra a Figura 5.32.

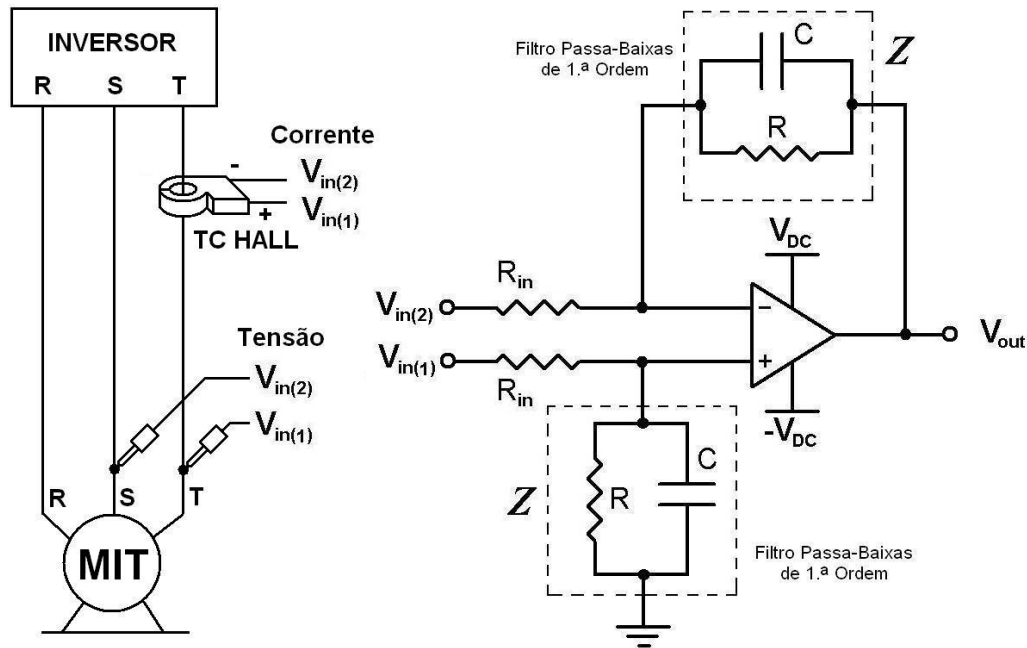


Figura 5.32: Topologia do circuito diferencial de atenuação para as aplicações de leitura das tensões de linha para demodulação PWM ou de leitura do sinal de corrente proveniente do transdutor HALL.

No circuito da **Figura 5.32**, a impedância Z na realimentação caracteriza um FPB de 1.^a ordem, resultando na função de transferência total para o circuito:

$$\frac{V_{out}(s)}{V_{in(1)}(s) - V_{in(2)}(s)} = H(s) = \frac{R}{R_{in}} \left(\frac{1}{RCs + 1} \right) \quad (5.1)$$

Onde: V_{in} e V_{out} são as tensões de entrada e saída, respectivamente; $H(s)$ a função de transferência em s ; R e C são, respectivamente, o resistor e o capacitor da realimentação, constituindo a impedância Z de realimentação; e R_{in} são os resistores de entrada. O ganho DC, G_{DC} , é dado por:

$$G_{DC} = \frac{R}{R_{in}} \quad (5.2)$$

E a frequência de corte do filtro f_c , em Hz :

$$f_c = \frac{1}{2\pi RC} \quad (5.3)$$

Nos ramos encarregados da obtenção dos valores das tensões e correntes eficazes, o filtro é dimensionado para uma frequência de corte $f_c = 150 \text{ Hz}$, enquanto que para o ramo destinado à aquisição das componentes de frequência sem f_1 , o filtro é dimensionado para uma frequência de corte $f_c = 3 \text{ kHz}$ (vide **Subseção 5.3.9**).

Para a aquisição da tensão, G_{DC} é definido considerando que se deve atenuar o valor da tensão nominal de pico da alimentação do MIT do poço no qual o equipamento será instalado (vide **Seção 3.5**) para um valor de pico de $1,5 \text{ V}$ (vide **Subseção 5.3.9**), ou seja, $V_p = \pm\sqrt{2} \times 380,0 \text{ V} = 537,4 \text{ V}$ deve ser atenuado para $V_p = \pm 1,5 \text{ V}$, o que resulta em $1,5 \text{ V}/(\sqrt{2} \times 380,0 \text{ V}) = 2,79 \times 10^{-3} \geq G_{DC} = R/R_{in}$. Os valores adotados para o projeto foram $R_{in} = 3,9 \text{ M}\Omega$ e $R = 10 \text{ k}\Omega$, resultando em $G_{DC} = 2,56 \times 10^{-3}$, o que permite uma leitura de picos de tensões até $V_p = \pm 1,5 \text{ V}/(2,56 \times 10^{-3}) = \pm 585 \text{ V}$.

E para aquisição do sinal de corrente originado do transdutor de efeito HALL, G_{DC} é definido considerando que se deve atenuar o valor da excursão do sinal AC de saída do transdutor $\pm 4 \text{ V}$ (vide **Subseção 5.3.1**) também para um valor de pico de $1,5 \text{ V}$ (vide **Subseção 5.3.9**), ou seja, $V_p = \pm 4 \text{ V}$ deve ser atenuado para $V_p = \pm 1,5 \text{ V}$, o que resulta em $1,5 \text{ V}/4 = 0,375 \geq G_{DC} = R/R_{in}$. Os valores adotados para o projeto foram $R_{in} = 33 \text{ k}\Omega$ e $R = 10 \text{ k}\Omega$, resultando em $G_{DC} = 0,303$, o que permite uma leitura de picos de tensões até $V_p = \pm 1,5 \text{ V}/0,303 = \pm 4,95 \text{ V}$.

A vantagem deste circuito está no fato de ser um circuito leve e pequeno, de baixo consumo, e de proporcionar a leitura das tensões fase-fase que alimentam o MIT, sem a necessidade de utilizar um transdutor de tensão mais sofisticado e de alto custo ou um transformador de tensão comum que, além de não possuir uma resposta em frequência suficientemente alta para que se possa identificar os componentes de frequência de interesse, é pesado, volumoso e poderia desbalancear a carga do inversor.

Devido ao alto valor das resistências de entrada e ao fato de se tratar de um amplificador subtrator, esta estrutura possui uma impedância de entrada Z_{in} , equivalente a $Z_{in} = 2R_{in}$ e uma rejeição de ruído de modo comum satisfatória [50, 15, 49].

5.3.9.2 Filtros Analógicos de Segunda Ordem

A função de transferência geral, em s , para um FPB de 2.^a ordem é dada por:

$$\frac{V_{out}(s)}{V_{in}(s)} = H(s) = \frac{-H_0\omega_0^2}{s^2 + \frac{\omega_0}{Q}s + \omega_0^2} \quad (5.4)$$

Sendo: V_{in} o sinal de entrada; V_{out} o sinal de saída; $-H_0$ o ganho DC; ω_0 a frequência de corte em rad/s e Q o fator de qualidade.

No projeto do circuito de condicionamento analógico do equipamento proposto, foi utilizada a topologia de filtros passa baixa de 2.^a ordem tipo MFB (*Multiple Feedback Network*), cuja forma geral do filtro genérico está ilustrada na **Figura 5.33**, por apresentar um alto fator de qualidade e possibilidade de dimensionamento unitário para o ganho DC e na faixa de passagem [50, 15, 49].

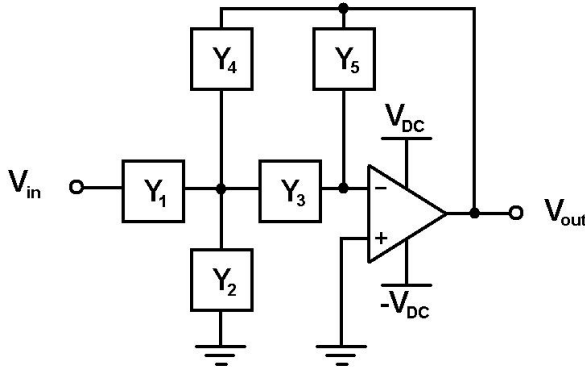


Figura 5.33: Topologia geral de filtros de 2.^a ordem MFB.

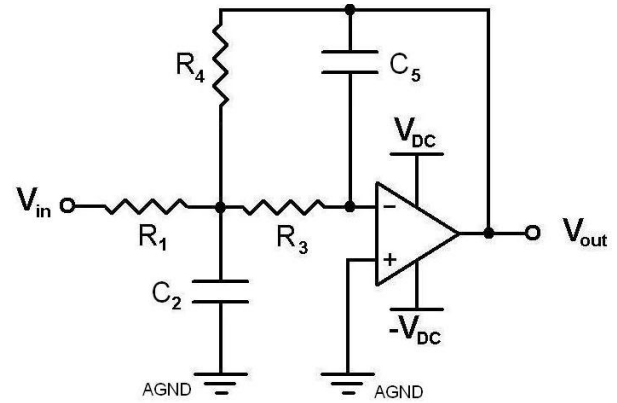


Figura 5.34: Circuito geral para um FPB de 2.^a ordem MFB.

Sendo Y_n as admitâncias (inverso das impedâncias) do circuito. A função de transferência para este modelo geral é dada por:

$$\frac{V_{out}(s)}{V_{in}(s)} = H(s) = \frac{Y_1 Y_3}{Y_5(Y_1 + Y_2 + Y_3 + Y_4) + Y_3 Y_4} \quad (5.5)$$

Para a forma geral apresentada na **Figura 5.33** representar um FPB, as admitâncias devem ser: $Y_1 = 1/R_1$, $Y_2 = C_2 s$, $Y_3 = 1/R_3$, $Y_4 = 1/R_4$ e $Y_5 = C_5 s$, resultando assim no circuito ilustrado na **Figura 5.34** com função de transferência:

$$\frac{V_{out}(s)}{V_{in}(s)} = H(s) = \frac{-\frac{R_4}{R_1} \cdot \frac{1}{C_2 C_5 R_3 R_4}}{s^2 + \frac{1}{C_2} \left(\frac{1}{R_1} + \frac{1}{R_3} + \frac{1}{R_4} \right) s + \frac{1}{C_2 C_5 R_3 R_4}} \quad (5.6)$$

Comparando (5.6) com (5.4), têm-se que:

$$\omega_0^2 = \frac{1}{C_2 C_5 R_3 R_4}; \quad \frac{\omega_0}{Q} = \frac{1}{C_2} \left(\frac{1}{R_1} + \frac{1}{R_3} + \frac{1}{R_4} \right); \quad H_0 = \frac{R_4}{R_1} \quad (5.7)$$

Para que o ganho DC e na faixa de passagem sejam unitários, $R_1 = R_4$, ou seja, $Y_1 = Y_4$. O filtro foi configurado como *Butterworth*, para não distorcer as amplitudes das componentes de frequência. O dimensionamento foi feito especificando um ganho DC e na faixa de passagem unitários e um fator de qualidade Q de 0,707, para garantir uma resposta em frequência o mais plana possível na faixa de passagem [50, 15, 49], como mostra a **Figura 5.35**.

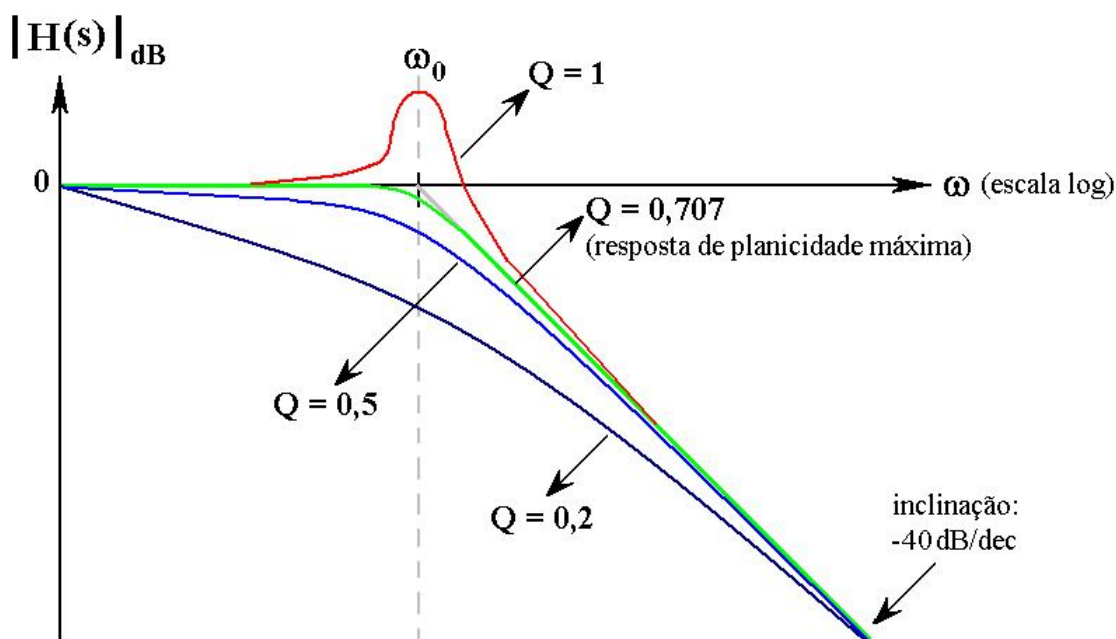


Figura 5.35: Resposta em frequência do módulo de $H(s)$ para FPB's de 2.^a ordem para vários valores de Q . Com $Q = 0,707$ têm-se a resposta com planicidade máxima.

Este circuito é aplicado no condicionamento em frequência do ramo responsável pela aquisição do sinal de corrente sem a fundamental f_1 para detecção dos componentes de frequência de interesse. Dessa forma, sua frequência de corte foi dimensionada para $f_c = 3$ kHz. A atenuação de f_1 será realizada pelo próximo estágio através do filtro NOTCH. O deslocamento de nível para conversão da faixa de excursão a 0 V_{DC} a $+3$ V_{DC} será garantido no estágio do Amplificador com Ganho Configurável (AGC). A limitação de amplitude do sinal de entrada à faixa de $\pm 1,5$ V será garantida pelos diodos Zener anteriores as entradas dos canais do ADC, como será visto na **Subsubseção 5.3.9.5**.

Pelo exposto acima, a saída do filtro proposto não poderá ser introduzida diretamente na entrada de um dos canais analógicos. No intuito de reduzir o número de circuitos com amplificadores operacionais (AMP-OP's) para o deslocamento de nível, de forma a poder utilizar também o FPB MFB na demodulação PWM e para estimação dos valores eficazes de tensão e de corrente da alimentação do MIT, introduzindo

sua saída diretamente na entrada do canal analógico do ADC do DSP, é proposta a adição de uma nova admitância Y_6 na forma geral apresentada na **Figura 5.33**, resultando numa nova forma geral, ilustrada na **Figura 5.36**.

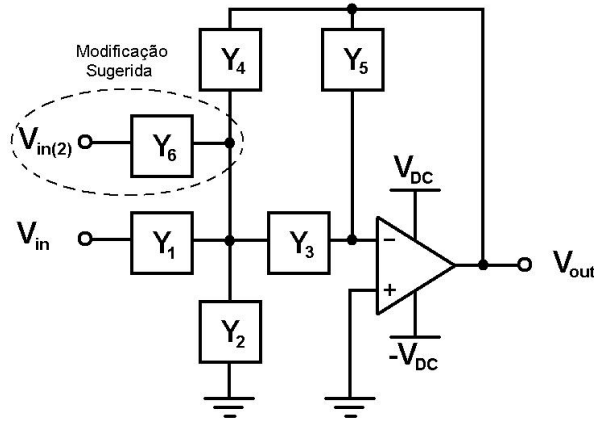


Figura 5.36: Proposta de modificação da topologia geral de filtros de 2.^a ordem MFB.

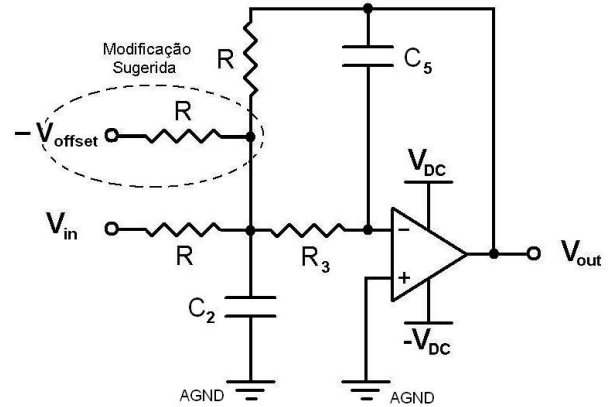


Figura 5.37: Proposta de circuito FPB de 2.^a ordem MFB com adição de *offset*.

De forma a obter um ganho DC e na faixa de passagem unitário, estipula-se $Y_1 = Y_4 = Y_6 = Y$, resultando na nova função de transferência geral:

$$\frac{V_{out}(s)}{V_{in}(s) + V_{in(2)}(s)} = H(s) = \frac{-Y_3 Y}{Y_2 Y_5 + Y_3 Y_5 + 3Y_5 Y + Y_3 Y} \quad (5.8)$$

Como pode-se observar, essa nova estrutura permite a filtragem da soma dos dois sinais de entrada. Uma dessas entradas pode agora ser utilizada para introduzir o sinal contínuo que provocará o deslocamento positivo de nível da saída.

De (5.8), para que o filtro MFB seja uma FPB faz-se $Y = 1/R$, $Y_2 = C_2 s$, $Y_3 = 1/R_3$ e $Y_5 = C_5 s$. Assim, é apresentado na **Figura 5.37** o novo circuito proposto, tendo como função de transferência:

$$\frac{V_{out}(s)}{V_{in}(s)} = H(s) = \frac{-1}{C_2 C_5 R_3 R} \frac{1}{s^2 + \frac{1}{C_2} (R_3 + 3R) s + \frac{1}{C_2 C_5 R_3 R}} \quad (5.9)$$

Comparando (5.9) com (5.4), têm-se que:

$$\omega_0^2 = \frac{1}{C_2 C_5 R_3 R}; \quad \frac{\omega_0}{Q} = \frac{1}{C_2} (R_3 + 3R); \quad H_0 = 1 \quad (5.10)$$

Assim como o filtro original, circuito do filtro MFB modificado da **Figura 5.37** foi configurado como *Butterworth*, para não distorcer as amplitudes das componentes de frequência e o dimensionamento também especificado para um ganho DC e na faixa de passagem unitários com um fator de qualidade de 0,707,

garantindo a resposta em frequência o mais plana possível na faixa de passagem [50, 15, 49]. Ele é aplicado no condicionamento em frequência e na demodulação PWM dos ramos responsáveis pela aquisição dos sinais de corrente com a fundamental f_1 e dos sinais de tensão de linha para os cálculos dos valores eficazes I_R e I_T , V_{RS} e V_{TS} . Nesse intuito, sua frequência de corte foi dimensionada para $f_c = 150 \text{ Hz}$ (vide **Subseção 5.3.9**). O deslocamento de nível para conversão da faixa de excursão a $0 - 3 V_{DC}$ é realizada pelo próprio circuito. Dessa forma, sua saída pode ser aplicada diretamente à entrada do ADC sem necessidade de um amplificador operacional adicional. A limitação de amplitude do sinal de entrada à faixa de $\pm 1,5V$ também será garantida pelos diodos *Zener* anteriores às entradas dos canais do ADC, como será visto na **Subsubseção 5.3.9.5**.

Após o dimensionamento dos componentes dos filtros de 2.^a ordem MFB destinados à demodulação PWM, os valores comerciais encontrados foram substituídos na função de transferência (??). Seu funcionamento foi simulado no *software Simulink* do *MATLAB* através da implementação de um bloco de modulação PWM bipolar e introdução na saída deste bloco o modelo da função de transferência calculada, como mostra a **Figura 5.38**.

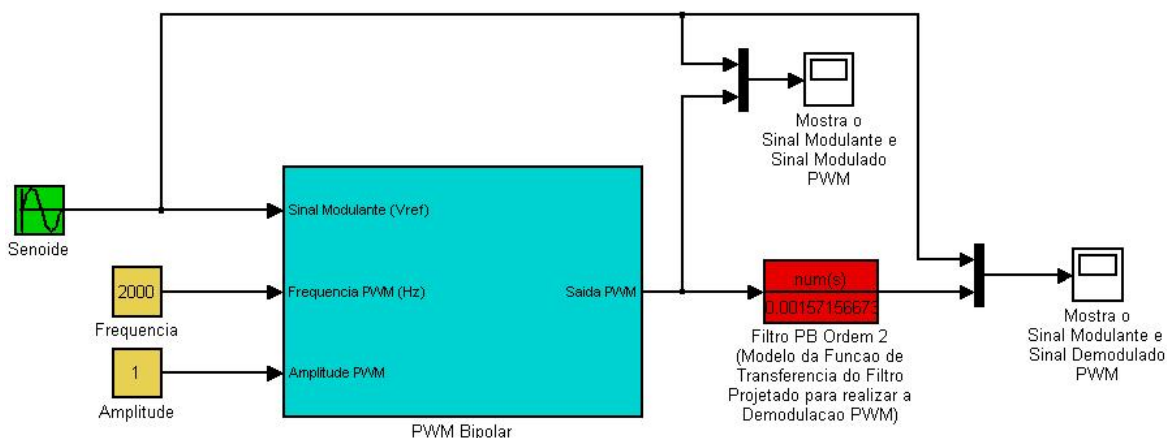


Figura 5.38: Blocos do *Simulink* para simulação do desempenho do FPB MFB na demodulação PWM.

O bloco PWM criado permite definir a frequência da portadora para o PWM, que no caso para efeito de teste, foi definida como $2kHz$. Os resultados da simulação são visualizados através dos blocos “Scope” (blocos brancos para exibição de sinais) da **Figura 5.38**, e são apresentados nas **Figuras 5.39** e **5.40**.

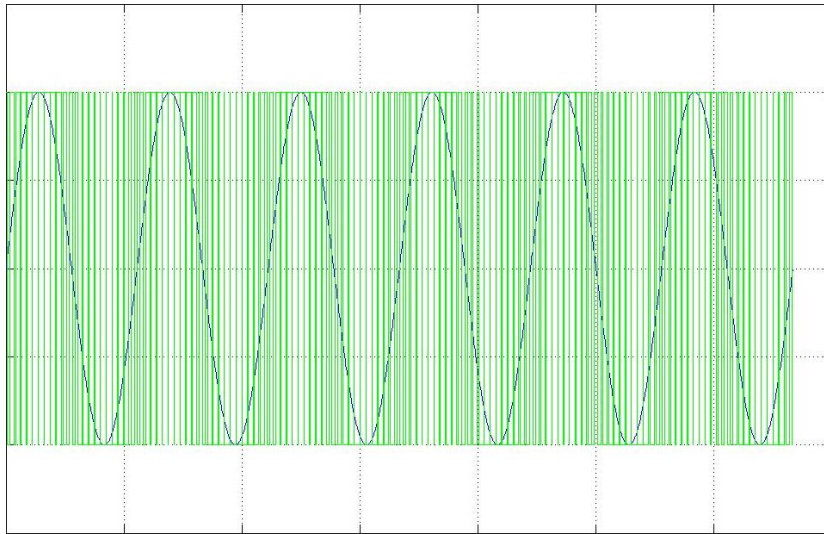


Figura 5.39: Resultado da simulação apresentando o sinal modulante (em roxo) e o sinal modulado pela PWM (em verde).

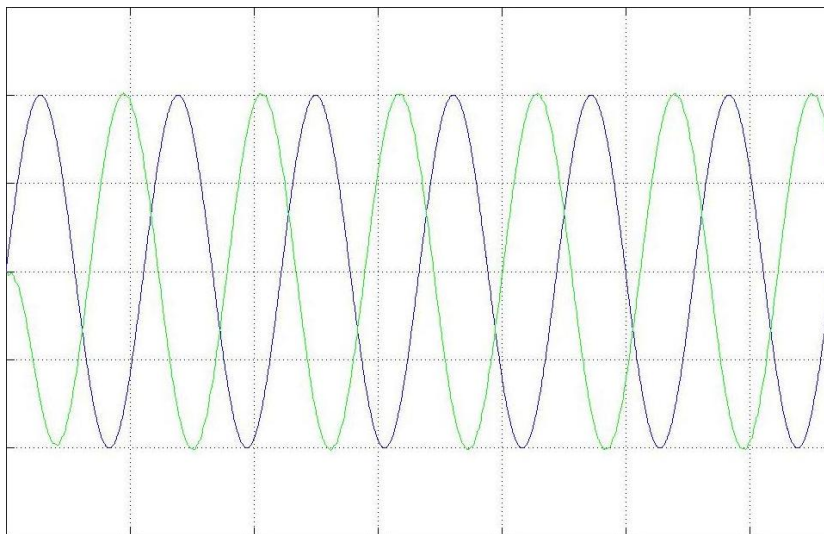


Figura 5.40: Resultado da simulação apresentando o sinal modulante (em roxo) e o sinal demodulado da PWM (em verde) pelo filtro passa-baixas MFB modificado proposto.

No condicionamento discreto dos sinais realizado nos trabalhos das referências [10, 11] foram utilizados filtros analógicos de 4.^a ordem. Neste Trabalho, a ordem máxima dos filtros analógicos chega a 3.^a. Como será visto no **Capítulo 6**, serão implementados filtros digitais IIR (vide **Subseção 4.3.2**) no *firmware* do DSP com o intuito de melhorar a ordem total da filtragem realizada, compensando a diferença de ordem e até melhorando os resultados do condicionamento de sinais dos trabalhos das referências [10, 11].

5.3.9.3 Filtro NOTCH a Capacitor Comutado (FCC)

Como exposto nas Seções 4.2 e 5.1, a metodologia adotada e a implementação do *hardware* dependem do conhecimento prévio da frequência fundamental f_1 , para que ela possa futuramente ser suprimida pelo filtro NOTCH e, com isso, melhorar a resolução da aquisição de dados e estimação de outras componentes de frequências desejadas. Mas como o MIT é alimentado por um inversor trifásico de frequência, a fundamental gerada por este varia, e assim o filtro NOTCH não pode ter sua frequência de corte fixa.

Dessa forma, é proposta a utilização de um filtro NOTCH a Capacitor Comutado (FCC), uma vez que sua frequência de corte é determinada pela frequência utilizada para o chaveamento do capacitor interno do filtro, chamada frequência de *clock*. A idéia é estimar a frequência fundamental e posteriormente reprogramar a frequência dos pulsos de *clock* do chaveamento do filtro [49].

O Filtro NOTCH a Capacitor Comutado escolhido para este projeto é o LTC1068-200 da *Linear Technology* [51], em encapsulamento SMD SSOP 28 pinos, ilustrado na Figura 5.41.

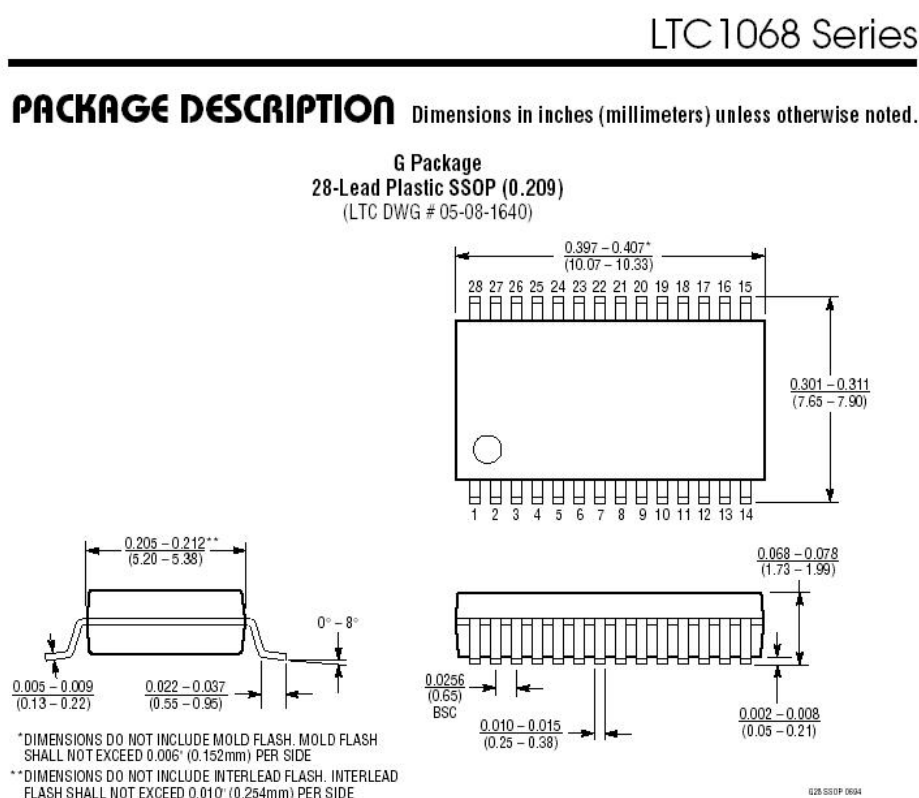


Figura 5.41: Encapsulamento do CI LTC1068-200 da *Linear Technology*.

O LTC1068-200 é um filtro a capacitor comutado genérico, podendo ser configurado para passa-baixas, passa-altas, passa-faixa, rejeita-faixa ou NOTCH. Nesta última configuração, a representação esquemática do circuito adotado para este projeto é mostrada na Figura 5.42. A frequência de corte equivale à frequência do *clock* dividida por 200. Por exemplo, nesta mesma figura, com um *clock* de 12 *kHz* a frequência de corte do NOTCH é 60 *Hz*.

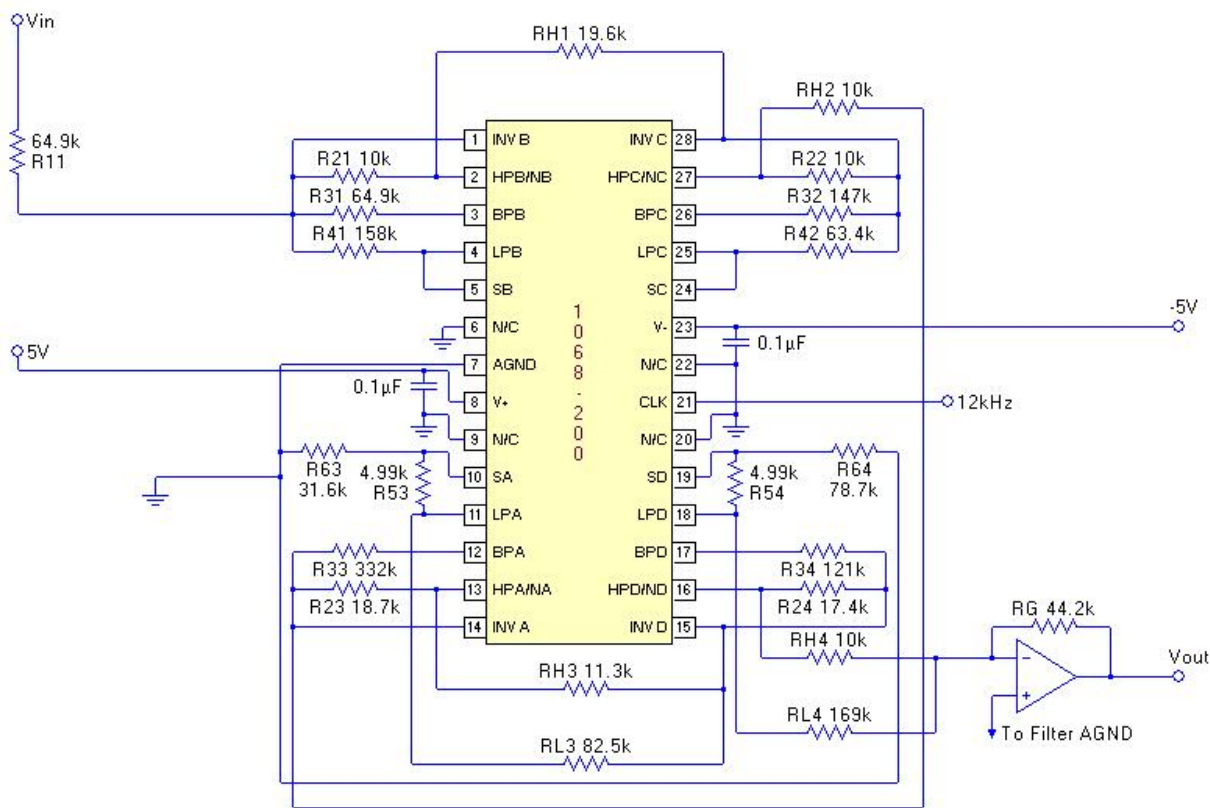


Figura 5.42: Esquemático do filtro NOTCH com o CI LTC1068-200.

Pelo esquemático apresentado na **Figura 5.42**, a alimentação do filtro NOTCH é $\pm 5,0 V_{DC}$. Essa alimentação é obtida a partir das tensões $\pm 12,0 V_{DC}$ gerados pelo conversor DC-DC PT5061 (vide **Subseção 5.3.8**) por meio de reguladores a diodo Zener como ilustra o esquemático da **Figura 5.43**.

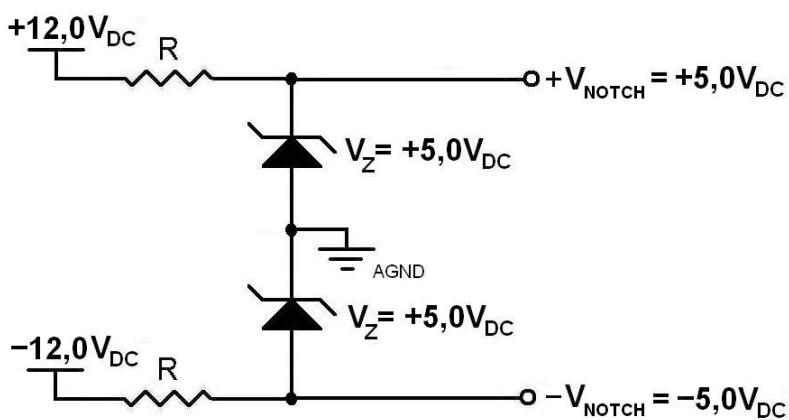


Figura 5.43: Esquemático do circuito para alimentação do filtro NOTCH.

Uma grande vantagem da utilização do componente LTC1068-200 da *Linear* é a disponibilização de

uma ferramenta de dimensionamento chamada *FILTER CAD*. Esta ferramenta, além de dimensionar os componentes externos e especificar o circuito integrado adequado, ela plota o diagrama da resposta em frequência de fase e magnitude, a resposta temporal a uma entrada em degrau ou impulso, além de outros artifícios úteis e facilidades (**Figuras 5.44 e 5.45**).

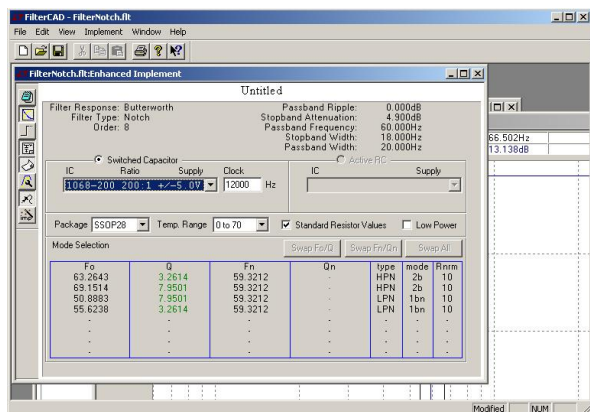


Figura 5.44: Dimensionamento do filtro NOTCH da **Figura 5.42**.

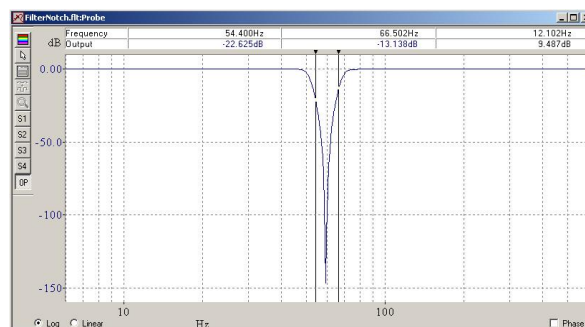


Figura 5.45: Resposta em frequência simulada do filtro NOTCH da **Figura 5.42**.

5.3.9.4 Amplificador com Ganho Configurável - AGC

A amplitude dos componentes de frequência de interesse variam também com a potência nominal do motor. Motores maiores possuem componentes mais detectáveis que os componentes gerados pelos motores menores. De forma a atender a uma maior variedade de potências de MIT's, o sinal de saída do filtro NOTCH precisa ser amplificado antes de ser introduzido na entrada analógica do ADC. Essa amplificação deverá ser configurável de acordo com a potência do motor elétrico, compatibilizando o sinal de corrente coletado do estator do MIT com a resolução do ADC do DSP.

Adicionalmente, como na saída do filtro NOTCH o sinal analógico filtrado excursiona numa faixa entre $-1,5 V_{DC}$ a $+1,5 V_{DC}$ e a entrada analógica do DSP selecionado só aceita sinais que excursionam numa faixa de $0,0 V_{DC}$ a $+3,0 V_{DC}$ (vide **Subseção 5.3.6**), ao sinal de saída do filtro NOTCH deve também ser adicionado uma tensão de *offset* V_{offset} de $+1,5 V_{DC}$, para deslocar a faixa para os $0 V_{DC}$ a $+3,0 V_{DC}$ preteridos.

Para atender estes requisitos, é proposto por este Trabalho uma topologia de Amplificador com Ganho Configurável (AGC) com tensão de *offset* de deslocamento, apresentado na **Figura 5.46**, adicionado após a saída do filtro NOTCH a capacitor comutado descrito na **Subsubseção 5.3.9.3**. Este circuito é derivado da topologia do amplificador somador inversor [49, 52, 50] com as modificações descritas a seguir.

A resistência de alimentação é constituída de uma impedância Z caracterizada por um FPB de 1.^a ordem dimensionado por (5.3) para uma frequência de corte $f_c = 3kHz$ (vide **Subseção 5.3.9**).

Na primeira entrada do somador, é introduzida $V_{offset} = -1,5 V_{DC}$, somando ao sinal de saída o valor oposto ($+1,5 V_{DC}$) pelo fato do amplificador somador inverter o sinal de saída [49, 52, 50].

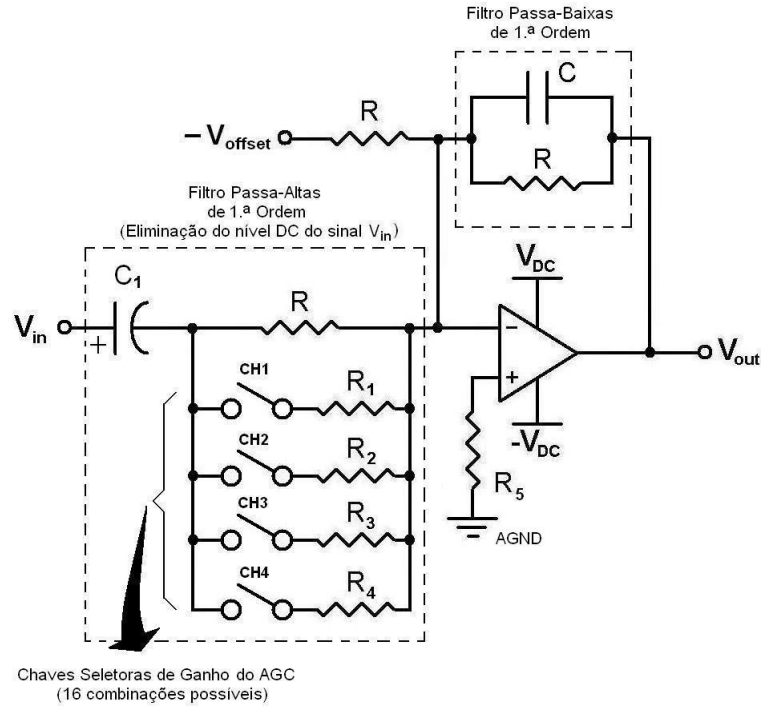


Figura 5.46: Proposta de Amplificador com Ganho Configurável - AGC - com tensão de *offset* de deslocamento.

Na segunda entrada, o capacitor C_1 juntamente com as outras resistências de entrada (R , R_1 , R_2 , R_3 e R_4) constituem um Filtro Passa-Altas (FPA) de 1.^a ordem para bloquear o nível DC vindo do sinal de saída do filtro NOTCH, que também seria amplificado com o aumento do ganho do AGC.

O ganho do AGC é configurado no ramo da segunda entrada do somador por meio das quatro chaves $CH1$, $CH2$, $CH3$ e $CH4$. Quando uma chave ou mais de uma chave são fechadas, põem uma ou mais de uma das resistências R , R_1 , R_2 , R_3 e R_4 em paralelo, reduzindo a resistência equivalente R_{eq} e aumentando o ganho do amplificador. A resistência equivalente R_{eq} é calculada pela equação:

$$R_{eq} = \left(\frac{1}{R} + \frac{CH1}{R_1} + \frac{CH2}{R_2} + \frac{CH3}{R_3} + \frac{CH4}{R_4} \right)^{-1} \quad (5.11)$$

Onde $CH(n)$, com $n = 1, 2, 3$ ou 4 , representa um dos dois possíveis estados das chaves: $CH(n) = 0$ ou $CH(n) = 1$. Se $CH(n) = 0$ a chave n está aberta, retirando a resistência R_n , e se $CH(n) = 1$ a chave n está fechada, adicionando a resistência R_n . Dadas as possibilidades de variação das resistências, o FPA no ramo da segunda entrada é dimensionado para $f_c = 1\text{Hz}$ considerando duas situações: todas as chaves abertas, levando a resistência equivalente a ser somente $R_{eq} = R$, ou todas as chaves fechadas, levando a resistência equivalente a ser o paralelo entre R , R_1 , R_2 , R_3 e R_4 dado pela equação (5.11). A forma como essas chaves foram fisicamente implementadas e disponibilizadas no painel do equipamento será apresentada a partir da **Seção 5.5**.

Percebe-se tanto por (5.11) quanto pela **Figura 5.46** que se todas as chaves estão abertas, o ganho será mínimo em módulo, e que se todas as chaves estão fechadas, R_{eq} será mínima, maximizando o ganho.

As combinações dos estados das chaves permitem 16 possibilidades (estados = 2, '0' e '1', chaves = 4, assim $2^4 = 16$) de ajuste do ganho a partir do unitário. As possibilidades de ganho foram estipuladas experimentalmente e podem sofrer variações na fabricação para abrangência de novas faixas de potências de motores.

A ação dos dois filtros de primeira ordem, FPB e FPA, resultam em um Filtro Passa-Faixa (FPF) de 2.^a ordem para o segundo ramo. O primeiro ramo só sofre a influência do FPB de 1.^a ordem. Assim, utilizando a Transformada de *Laplace*, a expressão geral para o AGC é equacionada da seguinte forma:

$$V_{out}(s) = \left(\frac{-\frac{1}{R_{eq}C}s}{s^2 + \frac{RC + R_{eq}C_1}{R_{eq}RC_1C}s + \frac{1}{R_{eq}RC_1C}} \right) V_{in}(s) + \left(\frac{1}{RCs + 1} \right) V_{offset}(s) \quad (5.12)$$

Tomando como base a forma geral da função de transferência para um FPF de 2.^a ordem [8]:

$$\frac{V_{out}(s)}{V_{in}(s)} = H(s) = \frac{-H_0 \frac{\omega_0}{Q} s}{s^2 + \frac{\omega_0}{Q} s + \omega_0^2} \quad (5.13)$$

Tem-se que para o ramo de V_{in} , $-H_0 \frac{\omega_0}{Q} = -\frac{1}{R_{eq}C}$, o que comprova a variação do ganho com a reconfiguração das chaves $CH(n)$ que alteram R_{eq} . Como V_{offset} é um sinal contínuo, o ganho para o mesmo será unitário.

Por fim, a resistência na entrada não inversora R_5 do amplificador operacional (AMP-OP) tem a função de polarizar os transistores internos de forma a reduzir a tensão de *offset* de saída do AMP-OP [49]. A saída do AGC é levada a um dos canais de entrada analógica do DSP.

5.3.9.5 Deslocamento de Nível de Tensão para o ADC

Nas **Subsubseções 5.3.9.2 e 5.3.9.4** foram apresentadas topologias que necessitavam de uma tensão de *offset* negativa na entrada $V_{offset} = -1,5 V_{DC}$ para provocar o deslocamento do nível de tensão no sinal analógico, situando sua excursão na faixa aceitável da entrada do ADC do DSP ($0 V_{DC}$ a $+3,0 V_{DC}$). Neste intuito, é proposto o circuito da **Figura 5.47** para prover a V_{offset} necessária a todos os circuitos descritos anteriormente.

O circuito da **Figura 5.47** é baseado na topologia do amplificador inversor [49, 52, 50], mas dimensionado para um ganho de 0,5. Como consequência, um sinal negativo que se apresenta na saída é metade de um sinal positivo aplicado à entrada. No caso deste projeto, é aplicada na entrada o sinal máximo de entrada do ADC ($+3,0 V_{DC}$), obtendo na saída o sinal $V_{offset} = -1,5 V_{DC}$ utilizado como referência para os circuitos citados nas subseções anteriores.

Na realimentação, caso haja dificuldade em encontrar um resistor com exatamente metade do valor, pode-se empregar dois resistores iguais em paralelo, tendo a vantagem do circuito ser constituído de resistores iguais.

O capacitor eletrolítico C na saída tem a função de regular a alimentação das cargas e redução de ruído, em suma, o desacoplamento da alimentação das cargas.

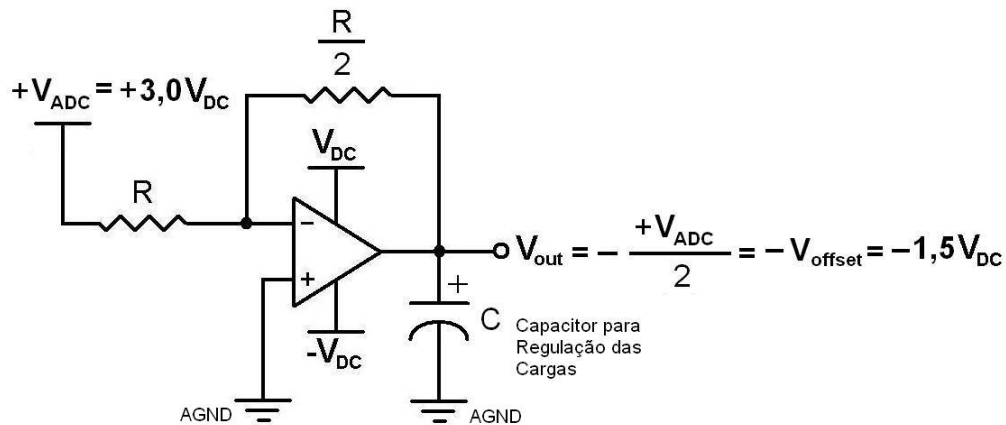


Figura 5.47: Circuito proposto para geração de sinal de referência negativa para deslocamento de nível de tensão.

5.3.9.6 Proteção para as entradas do ADC

No intuito de garantir que o sinal posto no ADC do DSP esteja limitado à faixa especificada, em todas as entradas dos canais do ADC são protegidos pelo circuito com diodos Zener da **Figura 5.48**.

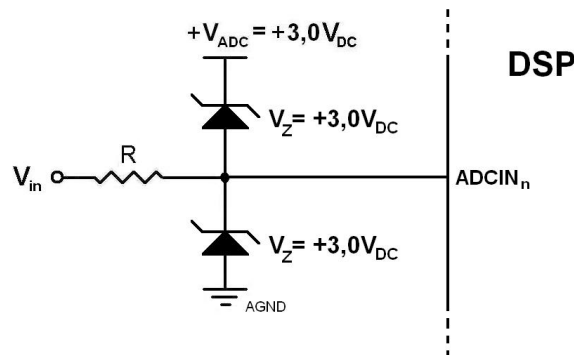


Figura 5.48: Circuito proposto para proteção das entradas analógicas do ADC do DSP.

Enquanto a excursão do sinal de entrada permanece na faixa de $-1,5 V_{DC}$ a $+1,5 V_{DC}$, graças a $V_{offset} = +1,5 V_{DC}$ adicionada ao sinal de saída por meio dos circuitos apresentados nas seções anteriores, o sinal de saída se mantém na faixa de $0 V_{DC}$ a $+3,0 V_{DC}$, como mostra a **Figura 5.49**. Quando a excursão do sinal de entrada ultrapassa a faixa de $-1,5 V_{DC}$ a $+1,5 V_{DC}$, os diodos do circuito proposto limitam a tensão de saída condicionando a faixa em $(0V_{DC}$ a $+3,0 V_{DC})$. Este efeito é verificado na simulação apresentada na **Figura 5.50** com a aplicação da tensão de entrada superior a $400,0 V_{AC}$ (no caso, está sendo aplicada uma tensão de $700,0 V_{AC}$).

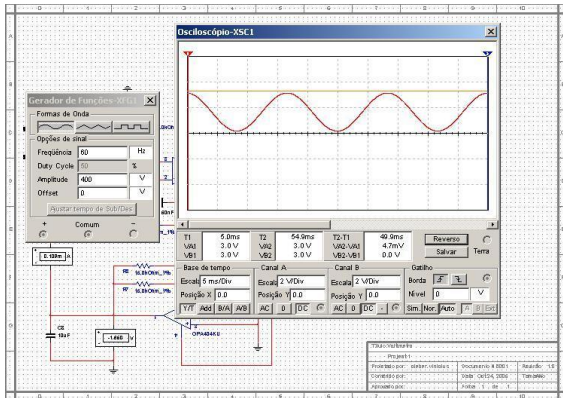


Figura 5.49: Simulação no *MultiSim* com a aplicação de sinais na entrada do ADC dentro da faixa aceitável.

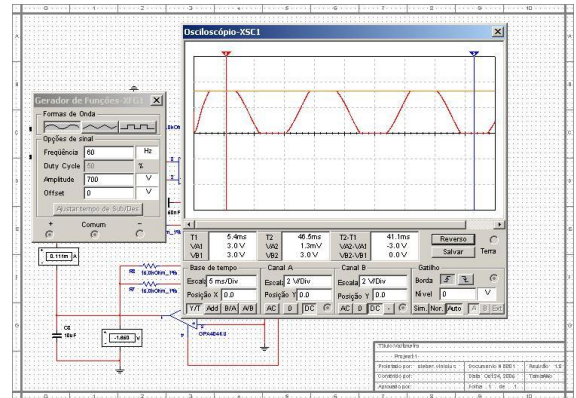


Figura 5.50: Simulação no *MultiSim* da aplicação de sinais na entrada do ADC fora da faixa aceitável.

5.3.10 Amplificador Operacional e Componentes Passivos Adotados

Com uma tensão máxima de $+3,0 V_{DC}$ e 12 bits de resolução, a resolução de tensão do ADC do DSP adotado torna-se $\approx 730,0 \mu V_{DC}$. Essa especificação requer que os AMP-OP's utilizados nas topologias descritas nas subseções anteriores tenham uma tensão de *offset* de saída na ordem de grandeza da resolução de tensão do ADC do DSP utilizado no projeto.

Atendendo a este critério, foi selecionado o CI OPA404 da *Texas Instruments* [53] em encapsulamento SOIC 16 (16 pinos), ilustrado na **Figura 5.51**. Ele possui 4 AMP-OP's por CI, com uma tensão de *offset* de saída de $\approx 750 \mu V_{DC}$ (provoca a variação de apenas 1 bit no ADC), baixo consumo, alta impedância de entrada, alta rejeição em modo comum e alta resposta em frequência.

Quanto aos componentes passivos (capacitores, indutores e resistores), foram selecionados em maioria componentes com precisão não inferior a 1% e em encapsulamentos SMD 0805 e 1206 (80×50 e 120×60 milésimos de polegada), como mostra a **Figura 5.52**.

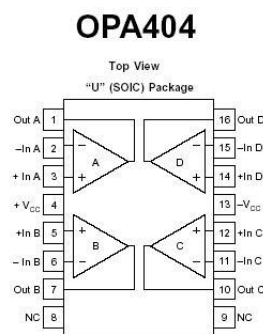
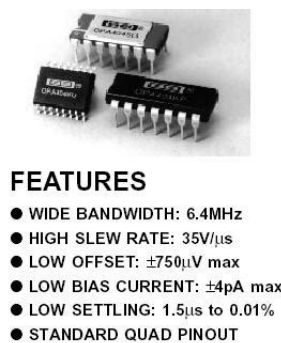


Figura 5.51: CI OPA404 da *Texas Instruments*.

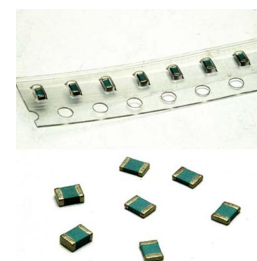


Figura 5.52: SMD's 0805 (acima) e 1206 (abaixo)

5.4 Definição da Caixa de Acondicionamento das Placas Eletrônicas

O local provável de operação do equipamento, ou o armário onde está instalado o inversor trifásico do MIT ou o armário onde está instalado o CLP (vide **Figura 3.1**), determinou uma lista de características mecânicas e condições do ambiente para o equipamento, expostos no **Capítulo 3**.

As características mecânicas exigiram dimensões reduzidas e possibilidade de instalação em trilho DIM TS-35. Conforme apresentado na **Seção 3.2**, por solicitação da própria PETROBRAS, a caixa de acondicionamento das placas eletrônicas do equipamento deverá ser plástica, num modelo próximo ao dos módulos atualmente utilizados na automação dos poços, a exemplo das caixas dos conversores de interfaces e das fontes de alimentação para CLP's.

No intuito de atender a preferência de modelo, após uma vasta pesquisa entre fabricantes nacionais e internacionais, fornecedores e distribuidores, cujos modelos são apresentados na **Figura 5.53**, foram selecionadas as caixas da série EG da linha *Combicon* da indústria alemã *Phoenix Contact*, uma das maiores fabricantes de conectores e caixas plásticas industriais do mundo. O modelo adotado foi a caixa EG-67,5/ABS ilustrada na **Figura 5.54**.

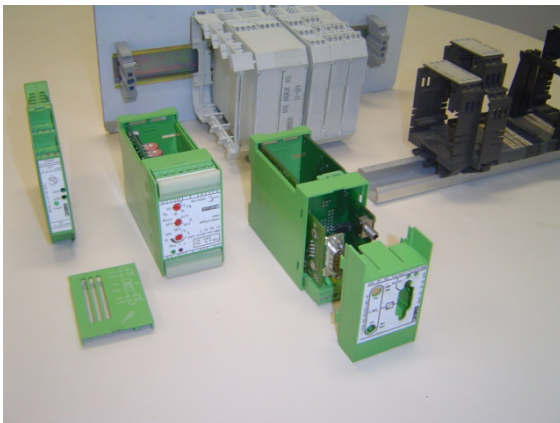


Figura 5.53: Caixas plásticas comerciais.

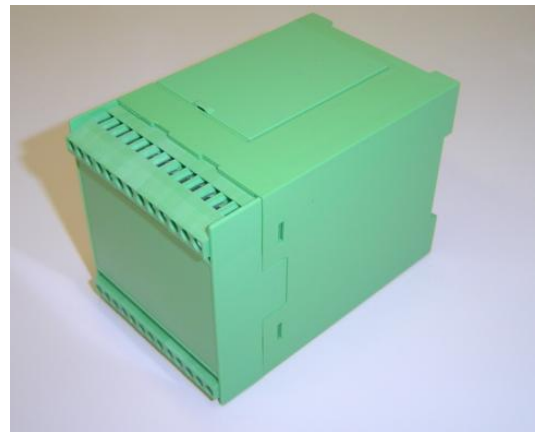


Figura 5.54: Caixa EG-67,5/ABS.

Os modelos de caixas da série EG possuem guias e trilhos nas paredes verticais e horizontais de forma a acomodar placas eletrônicas com formato, posicionamento e dimensões que obedecem criteriosamente às especificações contidas no manual presente no catálogo disponibilizado e fornecido pelo fabricante [54]. A boa documentação deste fabricante foi essencial para o desenvolvimento do protótipo do produto de forma a atender aos requisitos do projeto determinados pela necessidade da PETROBRÁS.

Além disso, o fabricante oferece recursos adicionais como legendas adesivas ou impressas em *silk-screen*, ou recortes e furos diretamente na caixa, tudo para criação de modelos personalizados [54], o que viabiliza a transformação futura do protótipo em um produto final de mercado.

5.5 Placas Eletrônicas em Circuito Impresso

Em desenvolvimento de produtos eletrônicos, muitas vezes definições mecânicas e dimensionais antecedem o projeto das PCI's. As especificações mecânicas exigidas e a adoção do modelo da caixa EG-67,5 constituíram um grande desafio ao desenvolvimento do protótipo do produto, devido à complexidade dos circuitos eletrônicos envolvendo o processador digital de sinais, as memórias, os filtros, os reguladores e os conversores. O espaço físico disponível mostrou-se bastante limitado, o que tornaria difícil a montagem de todos os componentes numa mesma placa que atenda as dimensões especificadas, mesmo com a máxima densidade de componentes e considerando seus menores encapsulamentos comerciais.

A solução para o problema veio por meio da adoção de uma estratégia modular de placas eletrônicas para constituição do protótipo. A estratégia adotada consistiu em separar o circuito eletrônico em três funções distintas: condicionamento de sinais analógicos, processamento da informação com gerenciamento do sistema e, a última, alimentação e interfaces.

A estratégia modular e a divisão do circuito completo em três funções levou à criação de quatro placas eletrônicas, três funcionais e uma apenas para interligar todas juntas eletricamente e mecanicamente. Na **Figura 5.55** é apresentada a seqüência do projeto à fabricação e montagem das placas eletrônicas, utilizando as ferramentas CAD descritas na **Seção 5.2**.

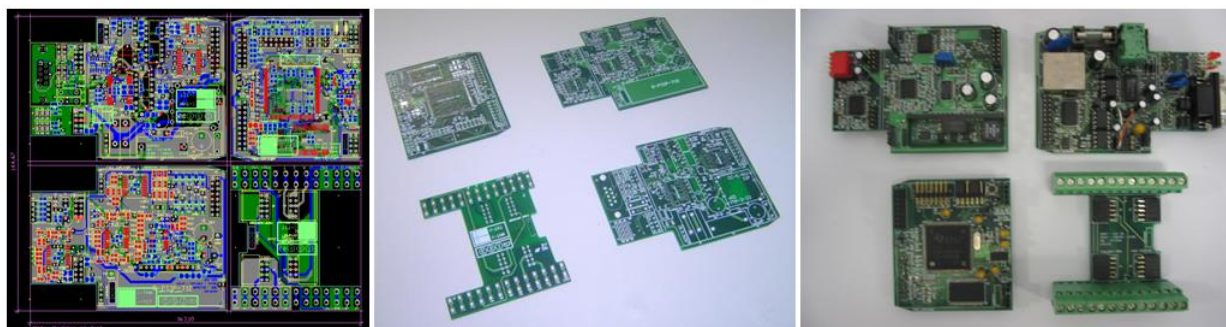


Figura 5.55: Seqüência de projeto, fabricação e montagem das placas eletrônicas.

Cada uma dessas funções foi concebida num circuito eletrônico específico constituindo uma placa eletrônica distinta. Foram consideradas as características e especificidades de cada circuito durante o *layout* e roteamento das trilhas, obedecendo as recomendações da referência [33], como a separação entre as alimentações e os terras digital e analógico, de forma a tornar o equipamento eletromagneticamente compatível e com certo nível de proteção e isolamento frente a outros equipamentos que porventura estejam a ele conectados.

Apesar da estratégia de adoção de placas distintas, visando obedecer as dimensões e formato especificados no manual do modelo da caixa escolhida, algumas características foram mantidas comuns em todas as placas, como adoção de quatro *layers*, sendo os dois intermediários planos de alimentação e terra para melhoria em EMC [33], utilização de pontos de teste e manutenção do formato e das dimensões com poucas variações. Para auxílio na fabricação, cada placa recebeu na serigrafia legendas para controle de qualidade, testes, inspeção e versão, profissionalizando, assim, o protótipo. A seguir serão descritas as placas concebidas.

5.5.1 Placa de Condicionamento de Sinais (PCS)

A primeira placa, destinada a executar a filtragem e condicionamento dos sinais analógicos, é denominada PCS (Placa de Condicionamento de Sinais), ilustrada nas **Figuras 5.56 e 5.57**.

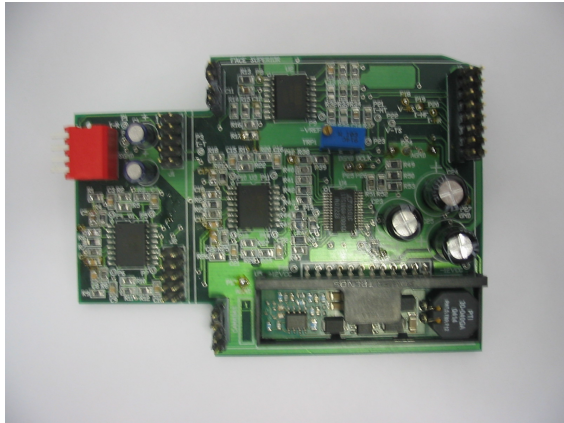


Figura 5.56: Vista superior da PCS.

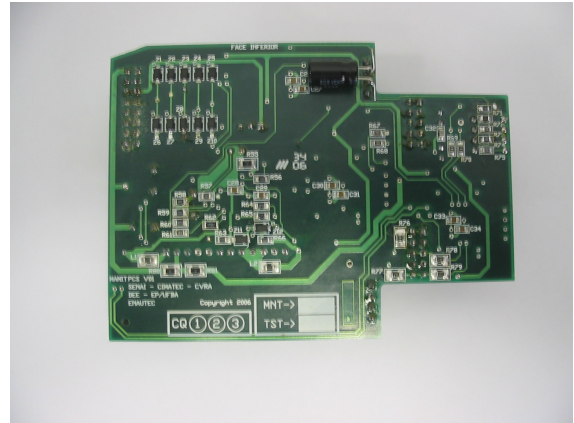


Figura 5.57: Vista inferior da PCS.

Nesta placa está implementado todo o condicionamento analógico de sinais descrito na **Subseção 5.3.9**. Pode-se notar, em vermelho, as chaves “DIP *switches*” (chaves DIP) tipo “piano”, para configuração do ganho do circuito de condicionamento analógico de acordo com a potência nominal do motor elétrico a ser supervisionado (vide **Subseção 5.3.9**). Localiza-se também na PCS o conversor DC-DC não isolado PT5061 (vide **Subseção 5.3.8**).

A PCS, assim como as outras placas, possui reduzidas dimensões ($96,90 \times 71,00 \text{ mm}$), obtidas graças a adoção das tecnologias descritas na **Seção 5.2**. Para efeito comparativo, a versão discreta do condicionamento analógico implementado para o desenvolvimento dos trabalhos descritos nas referências [10, 11] ocuparam quase inteiramente a área da bancada de trabalho, como ilustra a **Figura 5.58**.



Figura 5.58: Bancada utilizada para acomodar a primeira versão (discreta) dos circuitos eletrônicos para condicionamento de sinais analógicos (excetuando-se o *notebook*) na aquisição da corrente do estator do MIT.

5.5.2 Placa de Processamento e Gerenciamento (PPG)

A PCS é conectada e posicionada na lateral da segunda e principal placa, a PPG (Placa de Processamento e Gerenciamento). Nesta placa se encontram a memória RAM, o DSP, responsável pelo processamento numérico, controle e gerenciamento do sistema, o circuito de *reset*, o cristal do circuito oscilador interno do DSP, *straps* de configuração do equipamento, a interface J-TAG, e o regulador linear específico para alimentação do DSP. A PPG é apresentada nas **Figuras 5.59** e **5.60**.



Figura 5.59: PPG com o DSP.

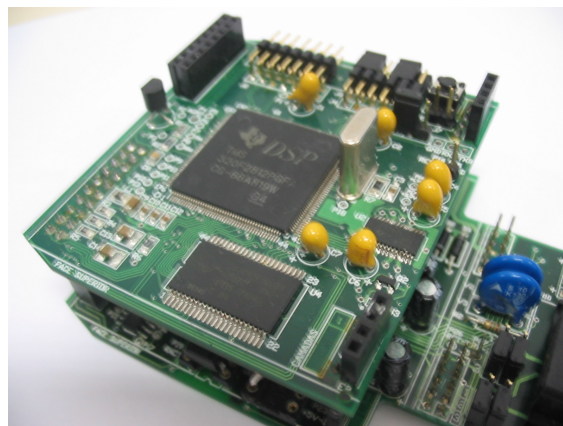


Figura 5.60: PPG montada sobre a PFI.

5.5.3 Placa Fonte e Interfaces (PFI)

Ao lado da PPG, tem-se conectada a PFI (Placa Fonte e Interfaces), exibida nas **Figuras 5.61** e **5.62**.

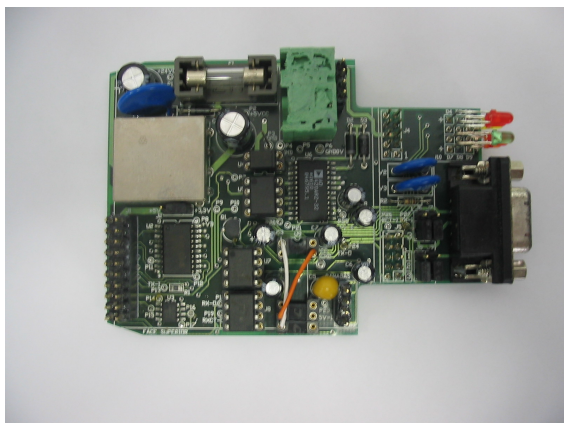


Figura 5.61: Vista superior da PFI.

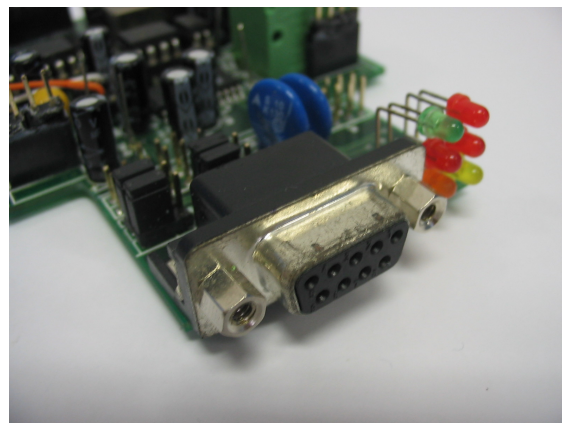


Figura 5.62: Conector DB-9 e LED's da PFI.

Esta placa destina-se a prover as tensões e correntes de alimentação necessárias ao funcionamento do equipamento a partir de uma fonte de $+24 V_{DC}$, a mesma que alimenta o CLP de controle do poço de petróleo, além de possuir todos os circuitos de interfaces do equipamento, como a interface serial RS-232, a interface de corrente de 4 a 20 mA utilizando o CI AD420, ambos isolados por optoacopladores e com fontes de tensão separadas e isoladas, no caso da RS-232, pelo conversor DC-DC DCR01, além do *buffer* 74HC244 para acionamento dos LED's da IHM. A alimentação geral do circuito, de valor $+5 V_{DC}$, é obtida reduzindo a tensão de alimentação de entrada ($+24 V_{DC}$) utilizando o conversor DC-DC isolado CC-E-6W. Encontra-se também nesta placa a memória EEPROM 25256, posta aqui ao invés de estar na PPG, para permitir a utilização dos módulos independente da plataforma microprocessada adotada.

A PFI contém a maioria dos componentes PTH, uma vez que é a placa mais robusta, com componentes de maior potência destinados à alimentação e proteção dos outros módulos conectados ao equipamento. Os circuitos e componentes supracitados foram descritos na **Seção 5.3**.

5.5.4 Placa de Ligação com as Borneiras (PLB)

A quarta placa, denominada PLB (Placa de Ligação com as Borneiras), ilustrada pelas **Figuras 5.63** e **5.64**, é posicionada atrás do painel frontal da caixa plástica e abrange todas as outras placas sobrepostas. É utilizada para conectar às borneiras externas os sinais e a alimentação às placas eletrônicas acondicionadas no interior da caixa plástica por meio de quatro conectores laterais, dois em cada lado.

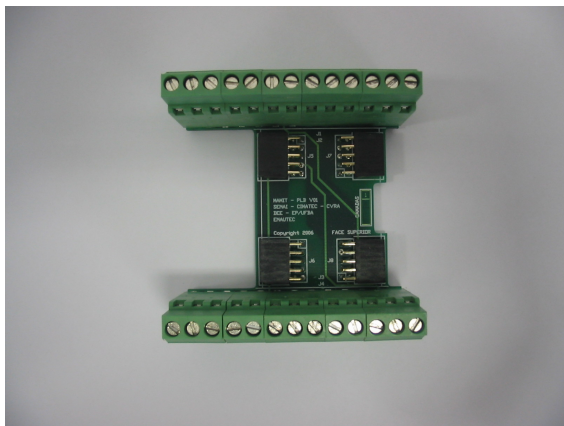


Figura 5.63: Vista frontal da PLB.

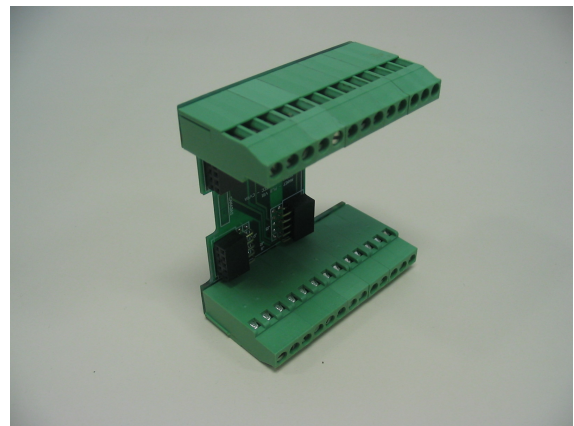


Figura 5.64: PLB em perspectiva.

5.6 Montagem e Aspecto Final

O equipamento é montado acoplado mecanicamente as placas uma sobre as outras, por meio de travas, conectores e “espaçadores” plásticos mostrados nas **Figuras 5.65** e **5.66**.

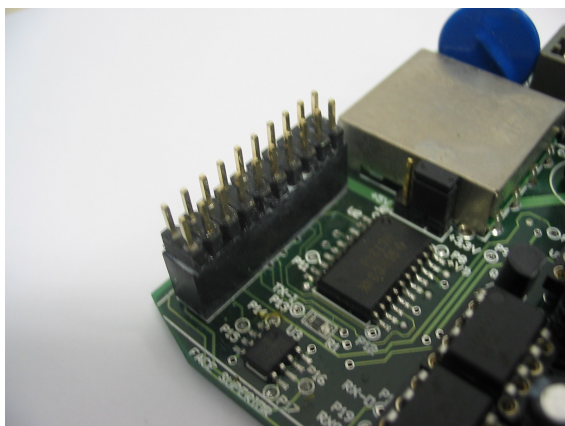


Figura 5.65: Detalhe de um dos conectores da PFI.

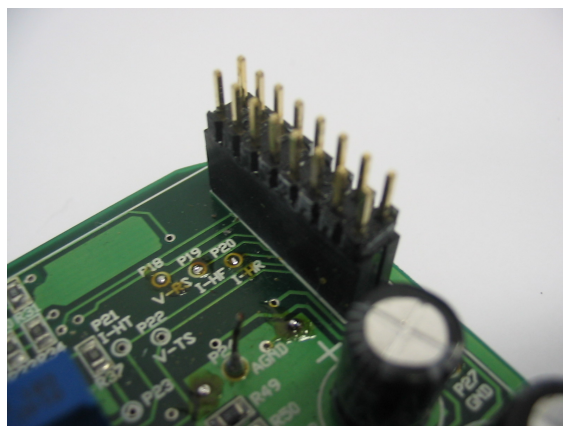


Figura 5.66: Detalhe de um dos conectores da PCS.

Dessa forma, a conexão mecânica e elétrica entre as placas, para a passagem de sinais digitais e analógicos, é realizada sem a utilização de qualquer parafuso. O aspecto da interconexão entre as placas assemelha-se a um “sanduíche” de placas, conforme **Figuras 5.67** e **5.68**.

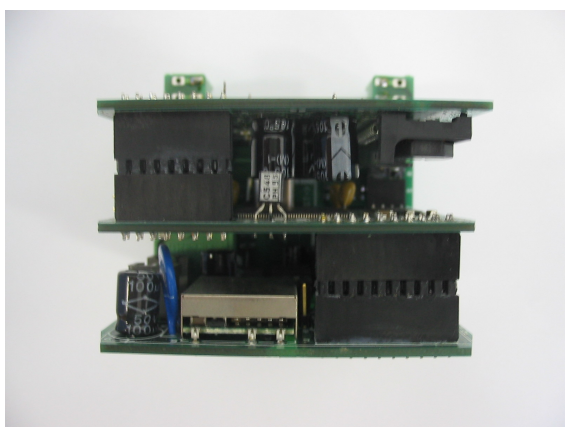


Figura 5.67: Vista traseira do “sanduíche” de placas.

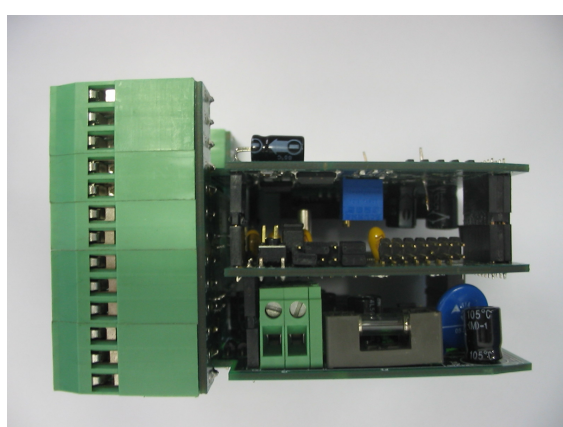


Figura 5.68: Vista lateral do “sanduíche” de placas.

As placas montadas uma sobre as outras constituem um bloco único inserido na caixa plástica. A sustentação deste bloco é mantida por guias plásticas pertencentes ao corpo da caixa. O sistema de montagem assemelha-se a montagem de um raque, porém com dimensões bem menores como ilustrado nas **Figuras**

5.69 e **5.70**, sendo que as dimensões finais do equipamento são aproximadamente $68,0 \times 75,0 \times 110 \text{ mm}$.

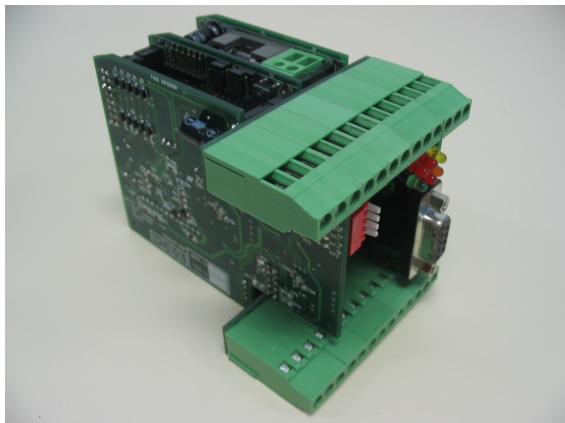


Figura 5.69: Bloco final rígido, compacto e com placas modulares.

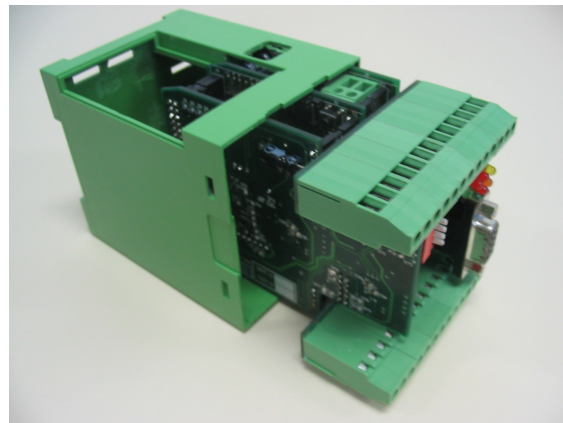


Figura 5.70: Sistema de montagem semelhante à de um raque.

A seqüência de montagem é descrita na seqüência ilustrada pela **Figura 5.71**.

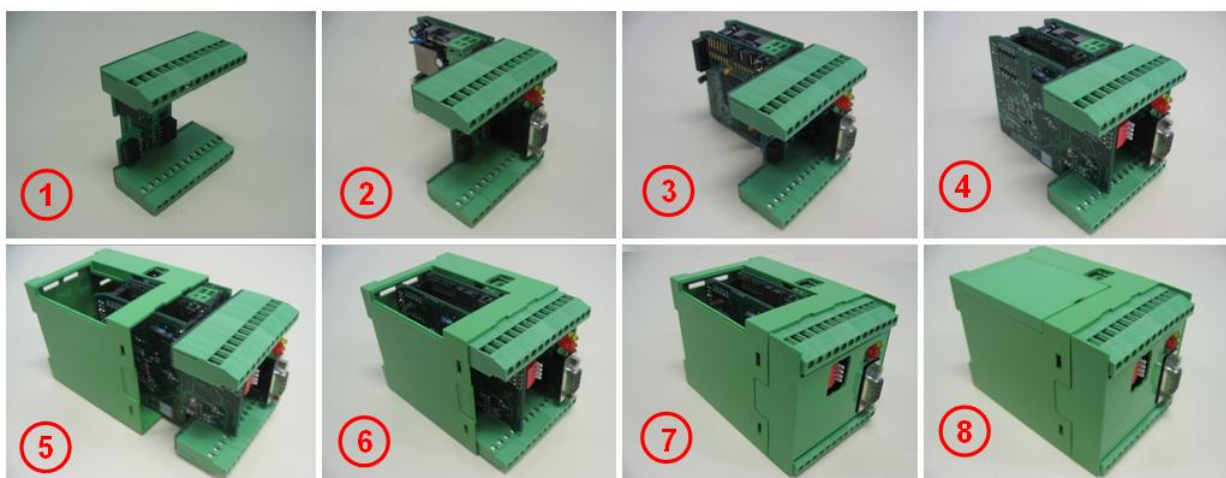


Figura 5.71: Seqüência de montagem do equipamento: 1) Inicia com a PLB como suporte; 2) Encaixa a PFI nos conectores laterais direitos da PLB; 3) Sobre a PFI encaixa a PPG; 4) A PCS é conectada acima da PFI e nos conectores laterais esquerdos da PLB; 5) e 6) Insere-se o bloco de placas na caixa plástica EG-67,5 ABS utilizando as guias internas; 7) Encaixa a tampa plástica do painel frontal e 8) Encaixa a tampa plástica superior.

A tampa superior da caixa pode ser removida para dar acesso a interface J-TAG do DSP, assim como a seus “straps” internos de configuração, como mostra a **Figura 5.72**. Este recurso foi muito utilizado no processo de desenvolvimento, gravação e depuração do *firmware*, no entanto, para o produto final, pode-se

optar por um modelo de caixa sem a tampa superior, uma vez que a gravação do *firmware* será feita no processo de fabricação, não sendo necessário o uso do J-TAG em campo.

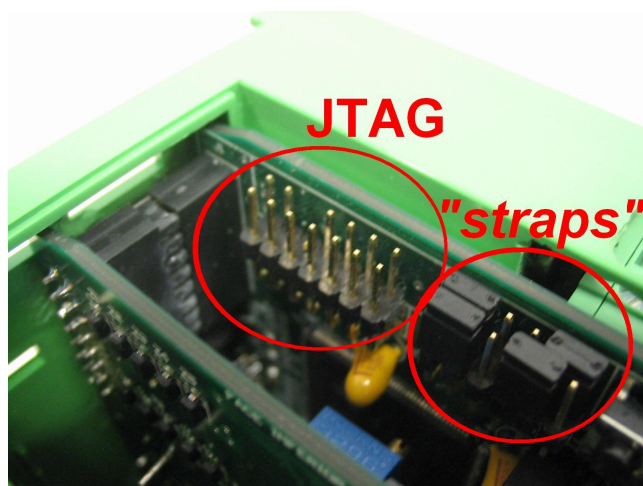


Figura 5.72: Detalhe da vista superior da caixa, exibindo a tampa plástica removida, dando acesso ao conector da interface J-TAG do DSP.

Ao final, têm-se um equipamento de pequenas dimensões, robusto, resistente a vibrações e pronto para instalação e operação nas condições de campo, sendo fixo em um dos trilhos DIM dos armários dos poços BCP. A **Figura 5.73** mostra o aspecto final do protótipo e a **Figura 5.74** ilustra-o instalado em trilho DIM. No painel frontal estão presentes os LED's da IHM, o conector DB-9 fêmea para a interface RS-232, em vermelho os "DIP *switches*" para configuração do equipamento de acordo com a potência nominal do motor elétrico a ser supervisionado (vide **Subseção 5.3.9**), além das borneiras superior e inferior, para conexão dos cabos de alimentação, medição e, alternativamente, comunicação RS-232, duplicado do conector DB-9.

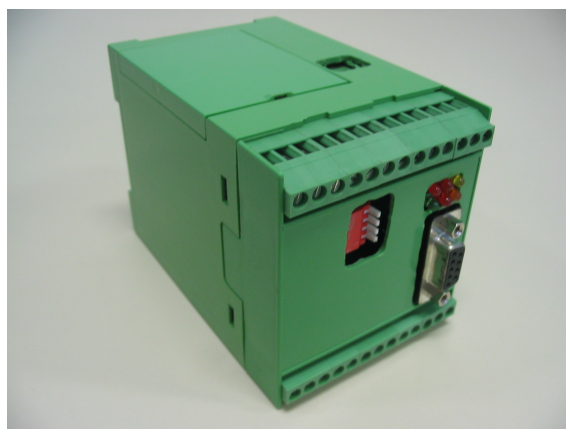


Figura 5.73: Aspecto final do protótipo montado.

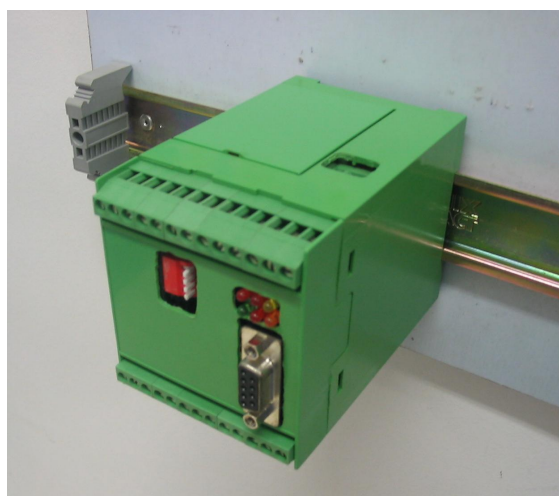


Figura 5.74: Protótipo montado em trilho DIM.

Na **Figura 5.75** está ilustrado o painel frontal do equipamento com a descrição dos bornes, dos conectores, das chaves e dos LED's citados anteriormente.

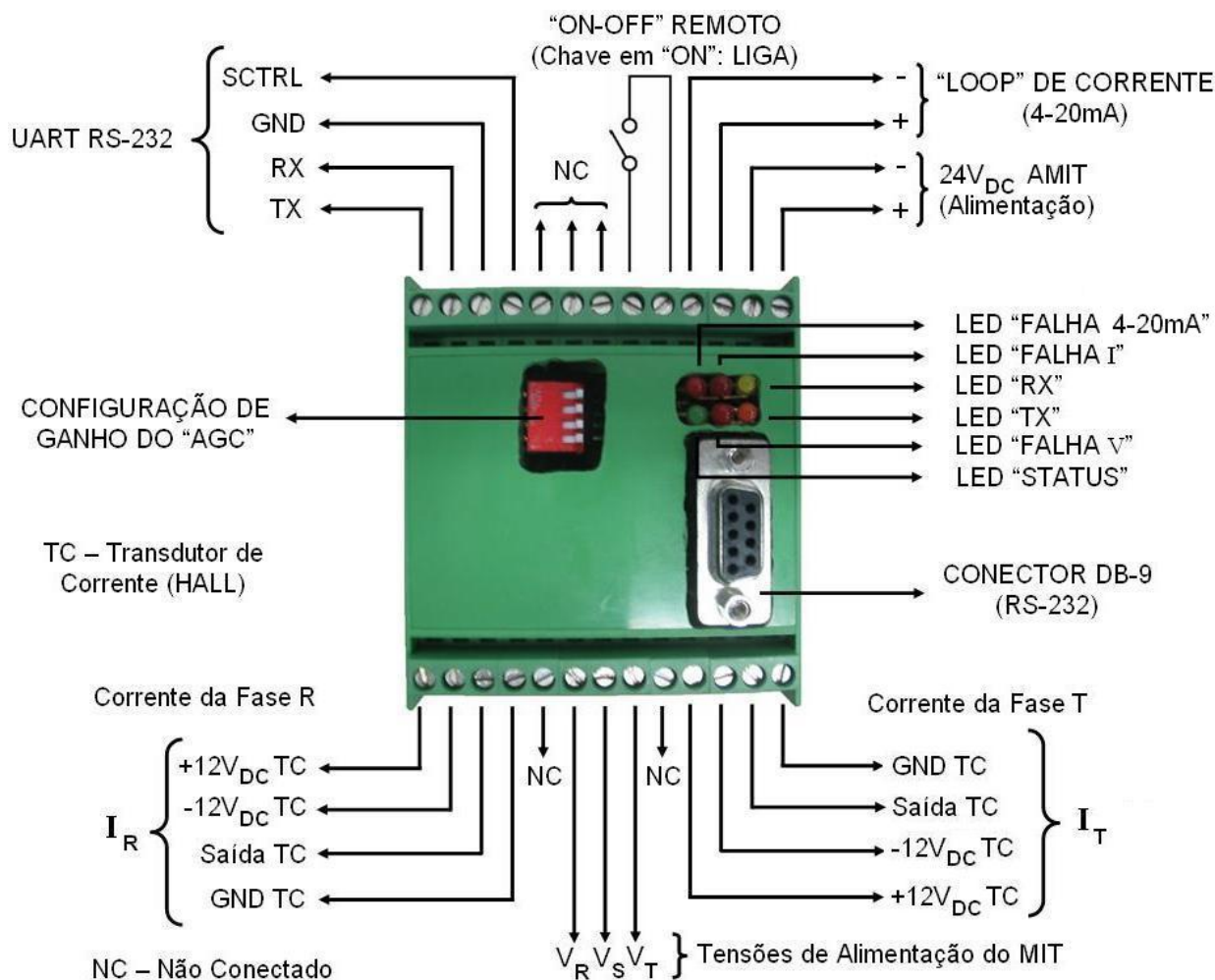


Figura 5.75: Painel frontal do equipamento com a descrição dos bornes, dos conectores, das chaves e dos LED's.

O projeto foi realizado visando imunidade a EMI e o atendimento de normas de EMC, dessa forma, o equipamento poderá atuar próximo ao CLP, ao inversor ou quaisquer outros equipamentos eletrônicos presentes no mesmo armário, e obedecendo aos outros critérios estabelecidos no **Capítulo 3**.

Capítulo 6

Concepção do *Firmware*

DE uma forma geral, serão abordadas neste capítulo as estratégias adotadas para implementação dos métodos e algoritmos para o processamento de sinais concomitantemente ao gerenciamento do sistema, superando as restrições de capacidade do DSP adotado.

6.1 Aritmética com Ponto Fixo utilizando Formato IQ

Os algoritmos e métodos os quais se baseiam o equipamento proposto para estimação da velocidade e torque por meio da análise espectral, foram implementados e testados sobre o *software MATLAB* utilizando números reais. Para trabalhar com estes números, DSP's de ponto-flutuante são ideais para essa tarefa, reduzindo o tempo de conversão de códigos, mas o custo deles é extremamente elevado [41]. Para atender às restrições de custo, sem perder a robustez e velocidade, foi selecionado um DSP de ponto-fixo com melhor relação custo/benefício.

Para a implementação dos algoritmos de processamento de sinais como a DFT, que normalmente são feitos com ponto-flutuante, em um DSP de ponto-fixo, foi utilizada uma nova abordagem ao desenvolvimento de algoritmos denominada “Matemática IQ”. Este método consiste em converter os números reais (ponto-flutuante) para um formato inteiro (ponto-fixo), conhecido como formato ‘IQ’ ou, simplesmente, formato ‘Q’ [41]. Neste formato, a primeira parte dos bits da palavra é a parte inteira do número (I), e a segunda a fracionária (Q), de acordo com a **Figura 6.1**.

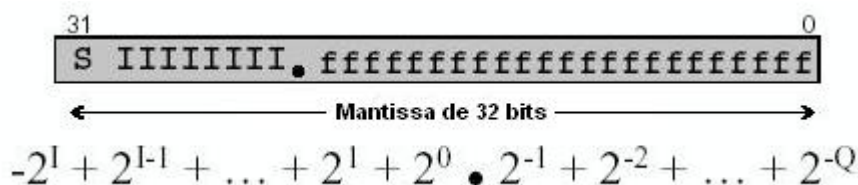


Figura 6.1: Representação fracionária no formato IQ tendo uma *doubleword* (32 bits) como exemplo. ‘f’ são os bits que compõem a parte fracionária e ‘I’ os bits que compõem a parte inteira.

Um número no formato $IQ^{\cdot N}$ tem ' N ' bits reservados para a parte fracionária, e o restante dos bits de uma palavra, *byte* (8 bits), *word* (16 bits), *dobleword* (32 bits), ou outras, é dedicado a parte inteira da palavra. Nesse formato, a precisão da parte fracionária é de $1/(2^N)$, ou seja, se um número inteiro nesse formato for incrementado de 1 (uma) unidade, o número que ele representa é incrementado de $1/(2^N)$. A parte inteira (I) tem seu tamanho limitado ao tamanho da palavra (em bits) subtraído de N , ou seja, se o tamanho da palavra é ' L ', o tamanho da parte inteira será $2^{(L-N)}$. Números inteiros sem parte fracionárias são considerados números no formato IQ_0 .

Na conversão entre formatos, são realizadas operações de multiplicação, para transformar um número real em IQ , e divisão, para transformar um número no formato IQ em real, ambas por potências de dois (2^n) [41]. Como a multiplicação e a divisão por 2^n resumem-se em deslocar os bits de uma palavra à esquerda, no caso da multiplicação, e à direita, no caso da divisão, a conversão entre formatos torna-se simples tanto para a máquina quanto para o ser humano. Na conversão de um número real para IQ , o resultado é truncado ao invés de aproximado.

No decorrer do uso deste formato, foram constatadas que as operações possuem regras e formatos dos resultados pré-estabelecidos, como mostram alguns exemplos na **Tabela 6.1**.

Operação	Condições	Representação	Formato do Resultado
Soma e Subtração	Números com mesmo $Q^{\cdot N}$	$(Q^{\cdot N})_1 \pm (Q^{\cdot N})_2$	$Q^{\cdot N}$
Multiplicação	-	$Q^{\cdot N} \times Q^{\cdot M}$	$Q^{\cdot (N+M)}$
Divisão	-	$Q^{\cdot N} / Q^{\cdot M}$	$Q^{\cdot (N-M)}$
Potência	-	$(Q^{\cdot N})^M$	$Q^{\cdot (N \times M)}$
Raiz	-	$\sqrt[M]{Q^{\cdot N}}$	$Q^{\cdot (N/M)}$

Tabela 6.1: Tabela com exemplos de operações utilizando o formato IQ .

Na prática, quando houve o desejo de manter o mesmo $IQ^{\cdot N}$, antes foi necessário efetuar a conversão dos resultados para cada operação realizada. No caso da divisão, o número foi convertido para um formato $IQ^{\cdot (2N)}$ antes da operação, resultando num número com $IQ^{\cdot N}$ igual ao original.

Como exemplo de aplicação, escolhendo o formato Q_8 (ignorando o tamanho total da palavra para saber o tamanho da parte I), um círculo com raio $r = 3cm$ tem um raio no formato Q_8 de $r = 3 \times 2^8 = 768$. Seu perímetro P é então $P = 2\pi r = (6,2832 \times 2^8) \times 768 \rightarrow P = 1608 \times 768 \rightarrow P = 1234944$. Passando para o formato real, $P = 1234944/2^{(8+8)} = 1234944/2^{16} \rightarrow P \simeq 18,84375cm$. A resposta obtida efetuando cálculo com números reais é $P = 18,8496cm$, com um erro de $\simeq 3,1\%$. Note que o resultado de final de P é dado em IQ_{16} e não em Q_8 , uma vez que é o resultado de um produto entre dois números Q_8 .

A escolha do formato $IQ^{\cdot N}$ mais adequado é determinada pela precisão mínima necessária para realização dos cálculos sem que o erro total provoque no final distorções significativas no valor calculado. O formato adequado, representado por N (o número de bits da parte fracionária de um número no formato IQ), a fim de se obter uma dada precisão ε , pode ser calculado pela equação (6.1), derivada a partir do uso do formato IQ no desenvolvimento do *firmware* do DSP.

$$N = -\log_2(\varepsilon) \quad (6.1)$$

Sendo N sempre aproximado para o maior número inteiro mais próximo. Por exemplo, para $\varepsilon = 10^{-5}$, o formato IQ mais adequado seria $N = -\log_2(10^{-5}) \simeq 16,6096 \therefore N = 17$. Para este Trabalho foi utilizado o formato IQ17, permitindo uma precisão da parte fracionária de $1/(2^{17}) = 7,62939453125 \times 10^{-6}$, dimensionado de acordo com o menor argumento computado numa operação de DFT equacionada por (4.56), que resultou num número da ordem de $\varepsilon = 10^{-5}$.

Uma desvantagem desse método está na necessidade do cuidado que se deve ter após cada operação acumulativa, que pode causar o *overflow* (estouro) da variável, pois como o número inteiro tem um tamanho limitado e não possui a faixa dinâmica do ponto flutuante [7], a parte inteira (I) de um número no formato IQ pode não ser suficiente para comportar o resultado de uma operação de soma ou multiplicação. Como precaução para este problema, em algumas situações no *firmware* do DSP algumas variáveis foram normalizadas, ou seja, divididas por um valor base, na maioria dos casos limitando a faixa ao intervalo entre 0 e 1 [7].

Em contrapartida, este formato facilita o trabalho de processamento dos DSP's e MCU's de ponto-fixa, que, em alguns casos, já possuem em seus *hardware* circuitos digitais para operações de soma e multiplicação, aumentando a velocidade e a performance. A utilização desta abordagem simplifica extremamente a tarefa de desenvolvimento de projeto. Ela também pode ser denominada “ponto-flutuante virtual”, desde que trabalha com números reais (ponto-flutuante), mas é executada usando técnicas de números inteiros (ponto-fixa) e conservando a precisão necessária para as operações [41].

6.2 Linguagens de Programação

Existe uma grande variedade de linguagens de programação, cada uma otimizada para um determinado tipo de aplicação. Elas estão evoluindo constantemente para facilitar a implementação de soluções. As linguagens de programação podem ser divididas em dois níveis: baixo e alto.

Uma linguagem é dita de baixo nível quando acessa diretamente o *hardware*, dando flexibilidade de operar diretamente os registradores do processador e poder absoluto sobre o *hardware* da máquina [4], conseqüentemente, maior possibilidade de otimizar o código, aumentando a velocidade e o desempenho. Esse nível de linguagem está mais próximo da “linguagem de máquina”, uma seqüência de bits ou *bytes* (8 bits) compreendidos diretamente pelo processador. A maior desvantagem reside na baixa produtividade na programação, exigindo um número considerável de instruções para realizar atividades pequenas, baixa modularidade, e o fato das instruções de baixo nível serem específicas para cada *hardware*. Dentre as linguagens de baixo nível uma das mais utilizadas é o *Assembly*, cujas linhas de instruções são constituídas por *mnemônicos* (instruções codificadas por poucos caracteres inteligíveis ao ser humano) e *operandos* em ordem pré-determinada. A conversão das instruções *Assembly* em código de máquina é chamado de “montagem”, justamente por isso, o *software* de conversão é chamado “montador”.

Em oposição, na programação em alto nível, utiliza-se de diversas estruturas de controle simples, familiares ao ser humano e abstraídas, ou seja, que traduzem o código para a linguagem de baixo nível [4]. A programação neste nível tem como vantagem uma maior produtividade com a estruturação do código, maior modularidade e o mesmo código pode ser reutilizado em outras plataformas. Em contrapartida, utilizam muito dos recursos do sistema, como memória e processamento, podendo gerar um código de baixo nível

pouco otimizado, prejudicando o desempenho do sistema. A conversão das instruções de uma linguagem de alto nível em linguagem de baixo nível e, posteriormente, no código de máquina, é chamado de “compilação”, justamente por isso, o *software* de conversão é chamado “compilador”.

No desenvolvimento desse Trabalho, foi utilizada a linguagem *C*, uma linguagem de alto nível estruturada (programação linear com o uso de subrotinas e funções), possuindo uma série de procedimentos prontos mas com característica de escrever *softwares* otimizados para o processador de desempenho próximo ao da linguagem *Assembly*.

6.3 Plataformas de Desenvolvimento

Como abordado na **Seção 6.2**, o *firmware* do DSP foi concebido utilizando a linguagem *C*. A ferramenta computacional adotada para o uso dessa linguagem no desenvolvimento do *firmware* do DSP foi o *software* “Code Composer Studio 3.3” (CCS), ilustrado na **Figura 6.2**, um IDE para DSP’s da *Texas Instruments*.

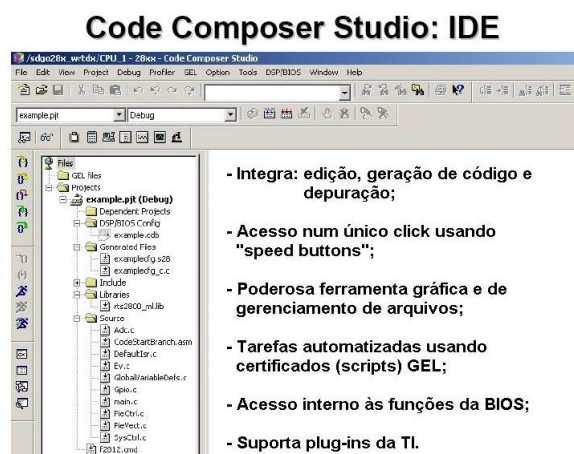


Figura 6.2: *Code Composer Studio*: ferramenta de desenvolvimento de *firmware* para DSP’s da *Texas Instruments*.

A linguagem *C* permitiu uma maior modularidade, portabilidade, e reutilização do código, além de diminuir o tempo de desenvolvimento, ao contrário do que seria caso o *firmware* fosse implementado em *Assembly* para DSP. O CCS possui recursos próprios de otimização do código *C* de forma a ter um desempenho equivalente ao código *Assembly* do DSP. Nesse IDE foi incorporada a “IQmathLib”, uma biblioteca para o formato IQ da própria *Texas*.

Para treinamento, concepção desenvolvimento de *firmware*, *Spectrum Digital Inc.* comercializa diversas ferramentas de *hardware*, entre elas, o *Starter Kits* eZdspF2812 e o Emulador USB XDS510, ilustrados respectivamente nas **Figuras 6.3**, **6.4** e **6.5**, foram utilizados no projeto do equipamento. Eles permitiram o acompanhamento passo-a-passo da execução do programa e a avaliação do conteúdo de posições de memória e dos registradores, o que favorece bastante o processo de depuração, teste, avaliação e otimização da aplicação.



Figura 6.3: Starter Kit eZdsp da Spectrum Digital Inc. para o DSP TMS320F2812 da Texas Instruments.

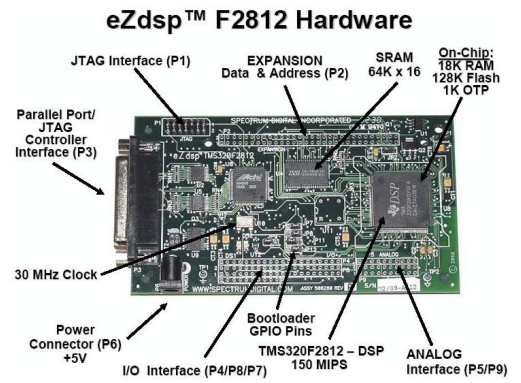


Figura 6.4: Elementos do Starter Kit eZdsp da Spectrum Digital Inc.



Figura 6.5: Emulador USB XDS510 para o DSP F2812 da Texas Instruments.

6.4 Técnicas de Programação

Um processador geralmente possui uma execução linear, ou seja, executa uma instruções por vez, seqüencialmente [4]. Existem duas formas de execução de um *software* embarcado ou *firmware*. Na primeira, o algoritmo é executado uma única vez, do início ao fim, onde a CPU encerra as atividades de execuções de instruções. A segunda consiste de um laço de repetição (*loop*) cíclico e infinito, para leitura de sensores, acionamento de LED's, motores e atuadores, cálculos, etc., abrangendo todo o *firmware* [4]. Esse *loop* é conhecido como “*loop* principal”.

A segunda maneira é a forma mais adotada na concepções de *firmwares* em Sistemas Embarcados, e será a utilizada para o desenvolvimento do *firmware* do equipamento proposto.

Aplicações de Sistemas Embarcados normalmente necessitam implementar temporizações, como para determinar a velocidade de giro de motores de passo, implementação de relógios e cronômetros, criar o efeito de piscagem de LED's, dentre outras. Principiantes e amadores usualmente recorrem a técnica de criação de subrotinas de atraso ou “*delay*” para implementar temporizações para essas aplicações. Essa técnica se baseia no conhecimento prévio da duração do tempo de execução de uma instrução pela CPU. Com esse conhecimento, cria-se uma subrotina de chamada que, a partir da carga de um valor numa variável de contagem (um contador), seu valor é decrementado até que seu conteúdo seja nulo, encerrando a subrotina. Essa rotina gera um atraso com um tempo determinado pelo valor carregado na variável contador. O fluxograma dessa subrotina é mostrado na **Figura 6.6**.

SUBROTINA TÍPICA PARA GERAÇÃO DE ATRASOS (DELAY)

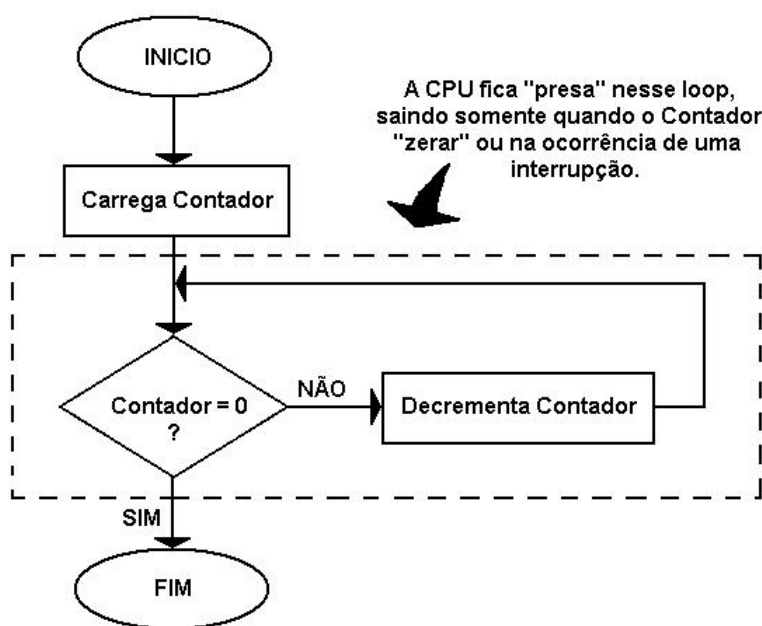


Figura 6.6: Fluxograma da subrotina de atraso (*Delay*).

No entanto, essa técnica de programação possui um sério problema. A subrotina mantém a CPU presa no laço que decreta o contador. Na ocorrência de qualquer outro evento fora do laço da subrotina, a CPU o perderá, como mostra o fluxograma da **Figura 6.7**, que exemplifica o uso da chamada a subrotina de *delay* da **Figura 6.6** para implementar uma aplicação que pisca um LED conectado a porta do MCU.

FLUXOGRAMA EXEMPLO DE UM PROGRAMA COM USO DE SUBROTINAS DE ATRASO (DELAY)

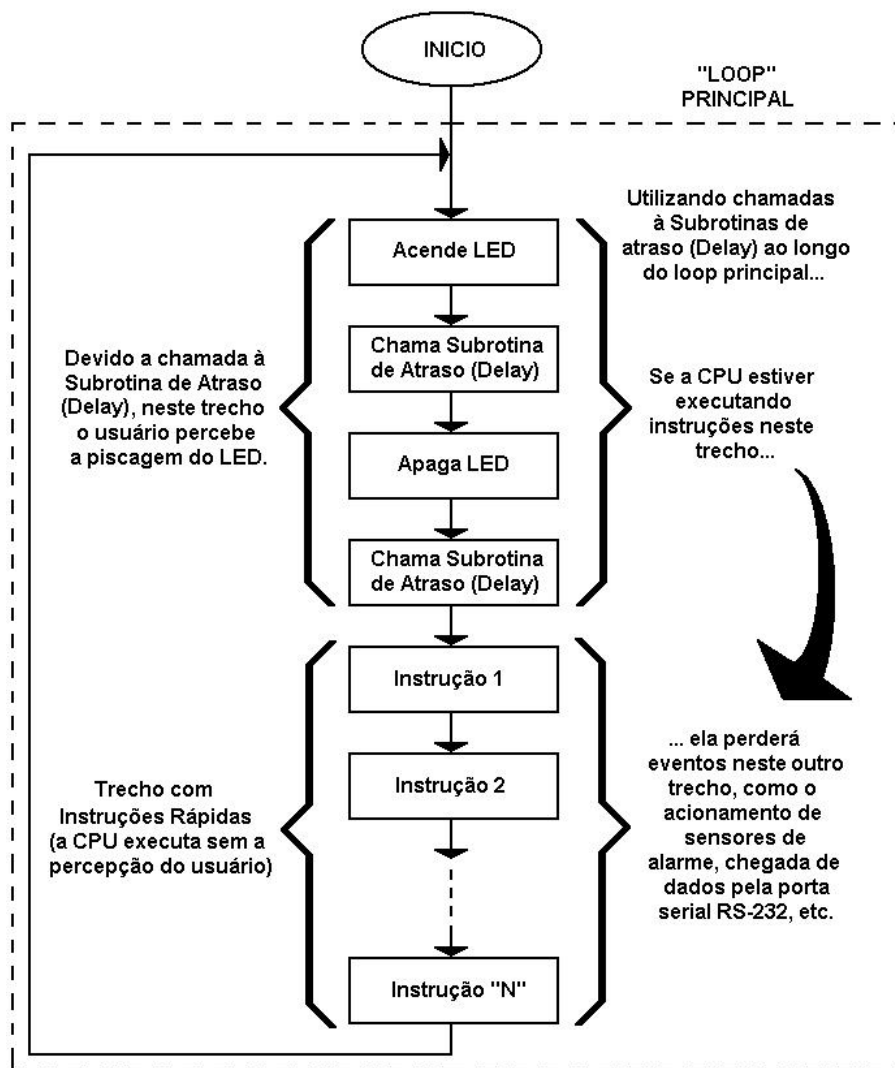


Figura 6.7: Fluxograma exemplo de programação utilizando *Delay*.

Uma forma mais elegante e profissional de implementar temporizações em sistemas embarcados é a utilização de “interrupções de *hardware*”, recurso disponível na totalidade dos MCU’s, DSP’s e DSC’s. A interrupção é um evento que origina um salto na execução normal do programa, de forma a executar um bloco de comandos específicos e retornar a ponto de onde partiu após a execução do bloco [4, 9], como mostra a **Figura 6.8**.

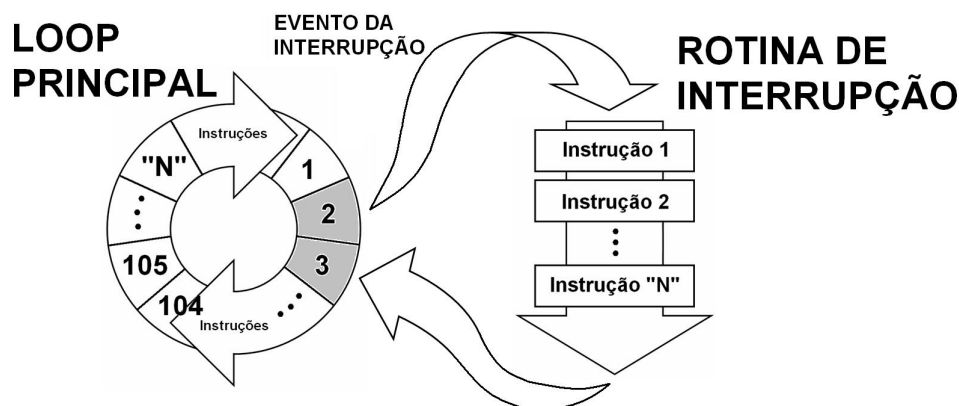


Figura 6.8: Programação com uso de interrupção.

As interrupções permitem aos processadores responderem de imediato a eventos e enquanto eles não ocorrem, realizam normalmente instruções do *loop* principal [4]. Quando acontece uma interrupção, devido à ocorrência de algum evento interno ou externo, a instrução atual é executada, o endereço de interrupção é armazenado na pilha interna do processador, então a CPU salta para o endereço da subrotina de atendimento da interrupção que gerou o evento, para depois de executar seus comandos, recuperar o endereço armazenado na pilha e retornar corretamente à execução do programa a partir da próxima instrução do ponto de onde havia partido. Geralmente os periféricos internos disponíveis nos MCU's, DSP's e DSC's podem ser configurados para gerarem interrupções.

Para gerar as temporizações normalmente usa-se as interrupções geradas pelos TIMER's, periféricos internos do MCU, DSC ou DSP. No entanto, quando há a necessidade de gerar várias temporizações diferentes, a utilização de várias rotinas de interrupção torna-se inviável devido a existência de uma quantidade limitada de TIMER's internos, que geralmente não ultrapassam quatro.

Para resolver esse problema e poupar recursos de *hardware* do sistema, é proposta uma filosofia de programação baseada em "Bases de Tempo" (BT), geradas a partir de uma única interrupção de TIMER. As BT's são bits de uma variável de RAM, em que cada um ao ser "setado" (levado ao nível lógico '1') indica a passagem de uma determinada fração de tempo diferente, como 1 *ms*, 5 *ms*, 10 *ms*, 50 *ms*, 100 *ms*, 500 *ms*, 1000 *ms*. Todas as BT's são derivadas de uma única BT mais baixa, sendo múltiplas dessa base. Como só é utilizada uma interrupção de TIMER, na ocorrência do evento da mesma é gerada imediatamente a BT mais baixa, e todas as outras são geradas a partir dela por meio de contadores virtuais, que nada mais são que variáveis de memória RAM. Esses contadores são incrementados a cada interrupção do TIMER e caso seja múltiplo de um tempo de base específico da BT, um bit de uma variável de RAM é "setado". Esse bit corresponde a um FLAG (bandeira ou sinalizador) da BT na variável de FLAG's do sistema. O fluxograma da interrupção do TIMER para geração das BT's é mostrado na **Figura 6.9**. Um jargão muito utilizado por alguns desenvolvedores de *firmwares* para as BT's é o "Tic" de "X" milissegundos.

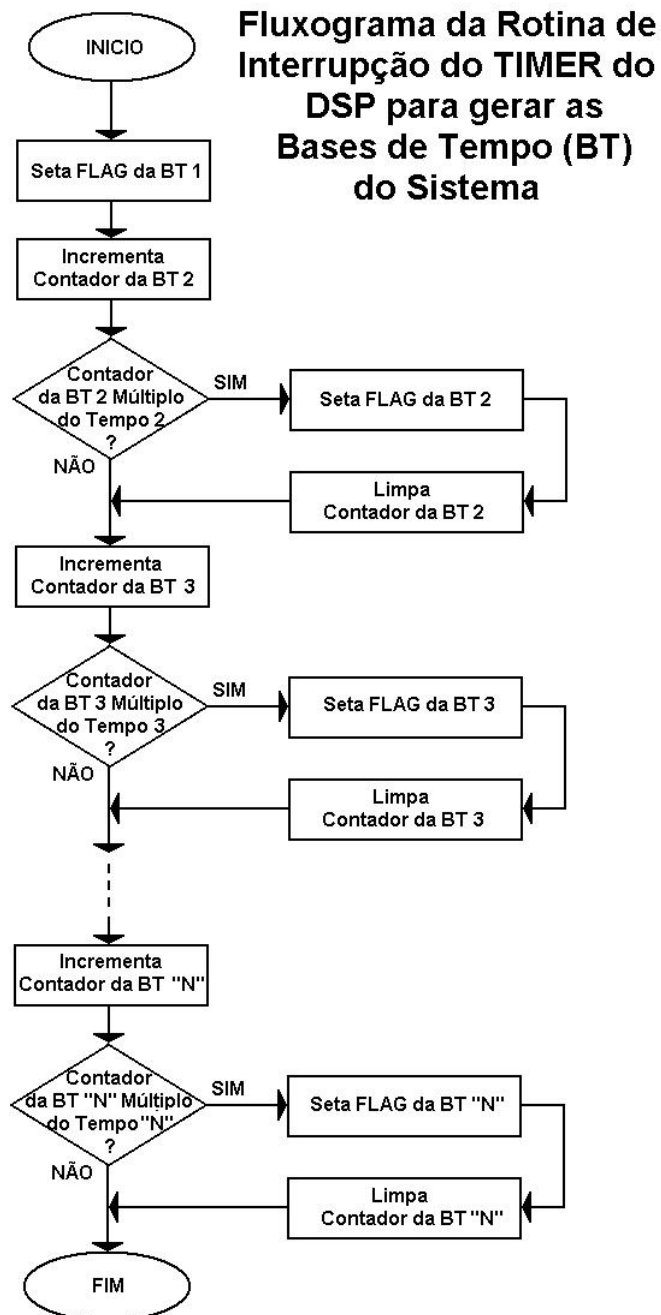


Figura 6.9: Fluxograma de Interrupção do *Timer* para gerar as Bases de Tempo (BT's).

Uma vez implementada a interrupção para geração das BT's, cria-se uma função a ser inserida no *loop* principal para testar cada BT e, na ocorrência de alguma ou algumas delas, executar os procedimentos relativos a cada base, como acender ou apagar LED's, gerando o efeito da "piscagem", dentre outros. O fluxograma dessa função é ilustrado na **Figura 6.10**. Outras bases também podem ser derivadas, criando-se novos contadores virtuais e novos bits de FLAG's para as novas BT's.

Fluxograma da Aplicação para Tratar as Bases de Tempo (BT)

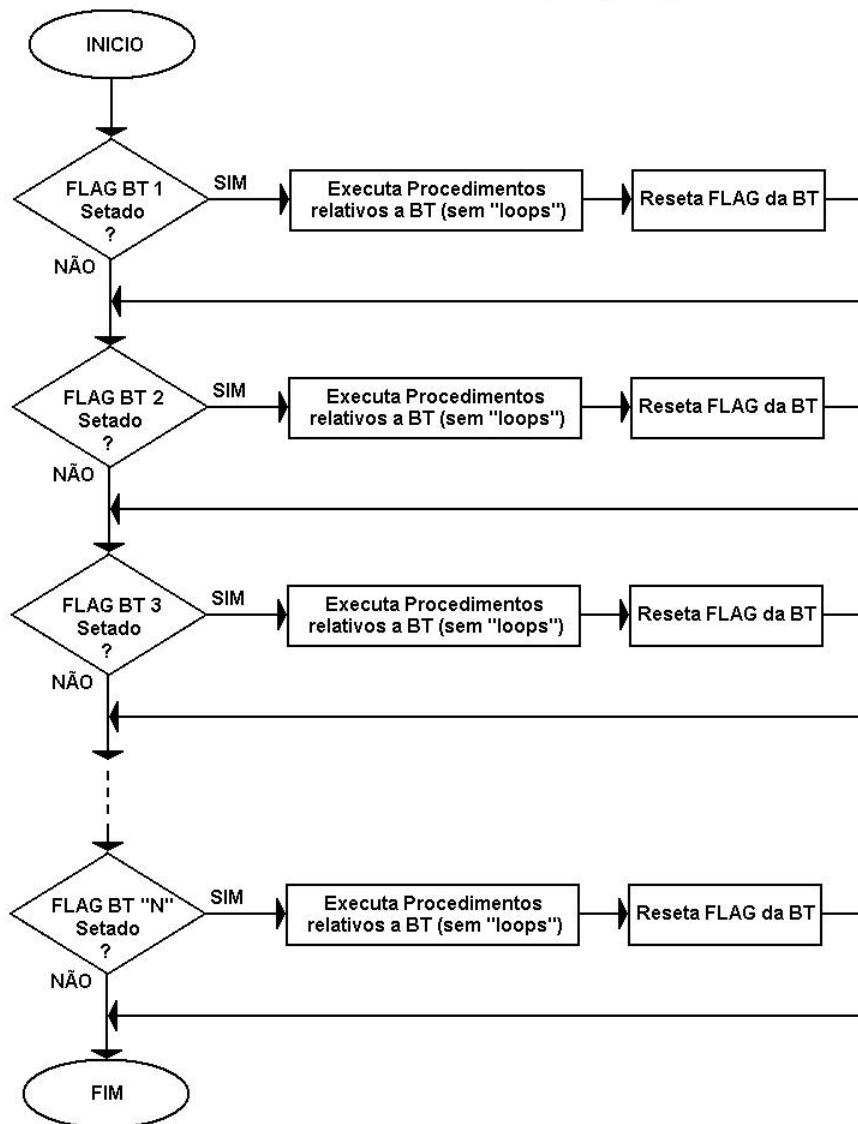


Figura 6.10: Fluxograma de uma função para tratar as Bases de Tempo (BT's).

As BT's juntamente com a função de tratamento das mesmas, permitem a concepção de verdadeiros sistemas operacionais embarcados. Primeiramente, são projetadas funções genéricas para acesso ao *hardware* (acesso às portas dos dispositivos, controle de periféricos e suas interrupções) e com elas é construído todo o *Kernel* (núcleo) do sistema embarcado. Posteriormente são construídas aplicações de alto nível, que se utilizam das funções prontas do *Kernel* como funções de recepção e transmissão de dados pela serial RS-232 para, por exemplo, implementar o protocolo Modbus/RTU, que está numa camada de *software* superior. Tendo em vista essa metodologia, a proposta para a organização do *loop* principal do *firmware* do equipamento é mostrada na **Figura 6.11**.

FLUXOGRAMA GERAL DA ESTRUTURAÇÃO DE FIRMWARE BASEADO EM MÁQUINAS DE ESTADO E BASES DE TEMPO (BT)

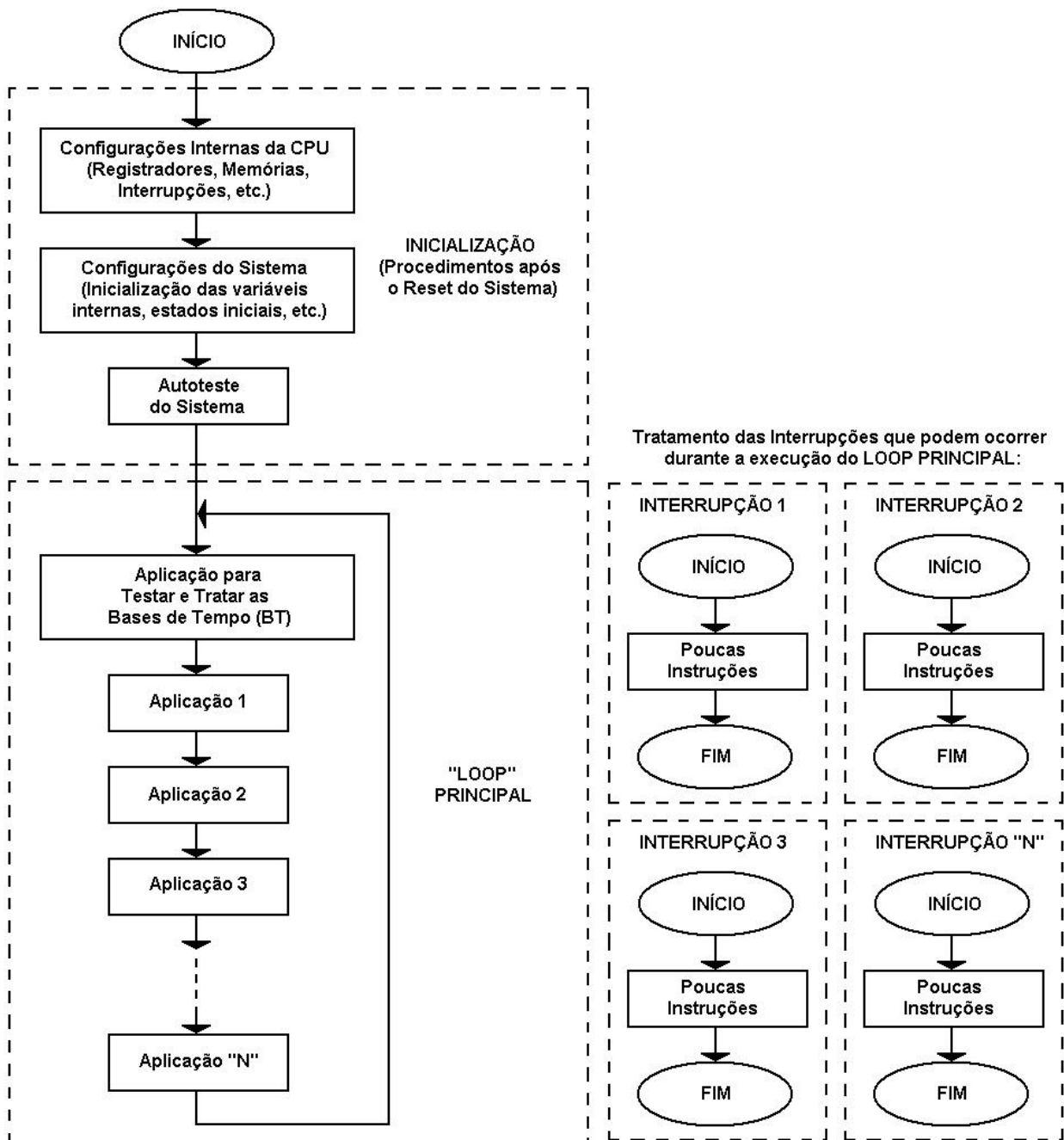


Figura 6.11: Fluxograma de *Loop* Principal do *firmware* do equipamento.

Nessa abordagem, após os procedimentos de configuração e inicialização do sistema que ocorrem depois do *reset* do DSP, o sistema entra no *loop* principal, que é constituído por uma chamada a função que trata as

bases de tempo, citada anteriormente, seguido de várias “aplicações” enfileiradas seqüencialmente, quantas forem necessárias no qual o número máximo de aplicações é limitado pelo poder de processamento da CPU e pela capacidade da memória de programa. As aplicações são funções dedicadas a tarefas específicas, como comunicação, acionamento de motor de passo, etc.

Para que essa técnica funcione, é imprescindível que todas as aplicações sejam executadas no mínimo tempo possível e que nenhuma delas possua internamente um laço muito longo, como o da subrotina *delay* discutida anteriormente. Como proposta para atender esses requisitos, é sugerida a utilização de uma técnica de construção de funções (subrotinas) analogamente a “Máquinas de Estado Digitais”.

As Máquinas de Estado são modelos de sistemas digitais em que a saída depende não só do valor da entrada, como também do estado da aplicação, ou seja, do efeito gerado pelas saídas passadas [2, 1]. Elas são representadas por diagramas de círculos e flechas, sendo que no interior dos círculos são representados os estados, o corpo das flechas representam as transições dos eventos e as extremidades a entrada e a saída, como mostra o exemplo da **Figura 6.12**.

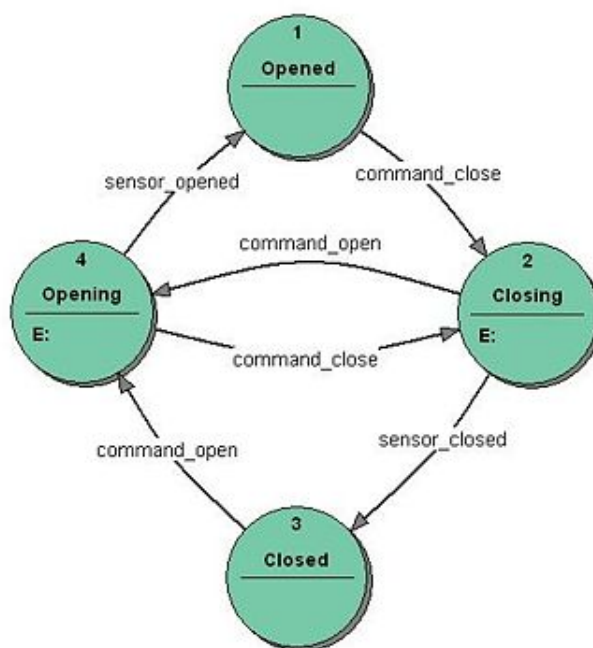


Figura 6.12: Exemplo de representação de uma aplicação utilizando Máquinas de Estado Digitais.

Um algoritmo com funcionamento análogo ao princípio das Máquinas de Estado é apresentado na **Figura 6.13**. Por este fluxograma, é executado apenas um estado da aplicação por vez a cada chamada da função que representa a aplicação, tornando sua execução significativamente rápida. Máquinas de Estado podem ser implementadas por *software* em linguagem *C* por meio da utilização das estruturas de controle “*if/else*” ou “*switch/case*” [55]. Essa última foi a adotada para a implementação da maioria das aplicações existentes no *firmware*.

Fluxograma das Aplicações Baseadas em MÁQUINAS DE ESTADO

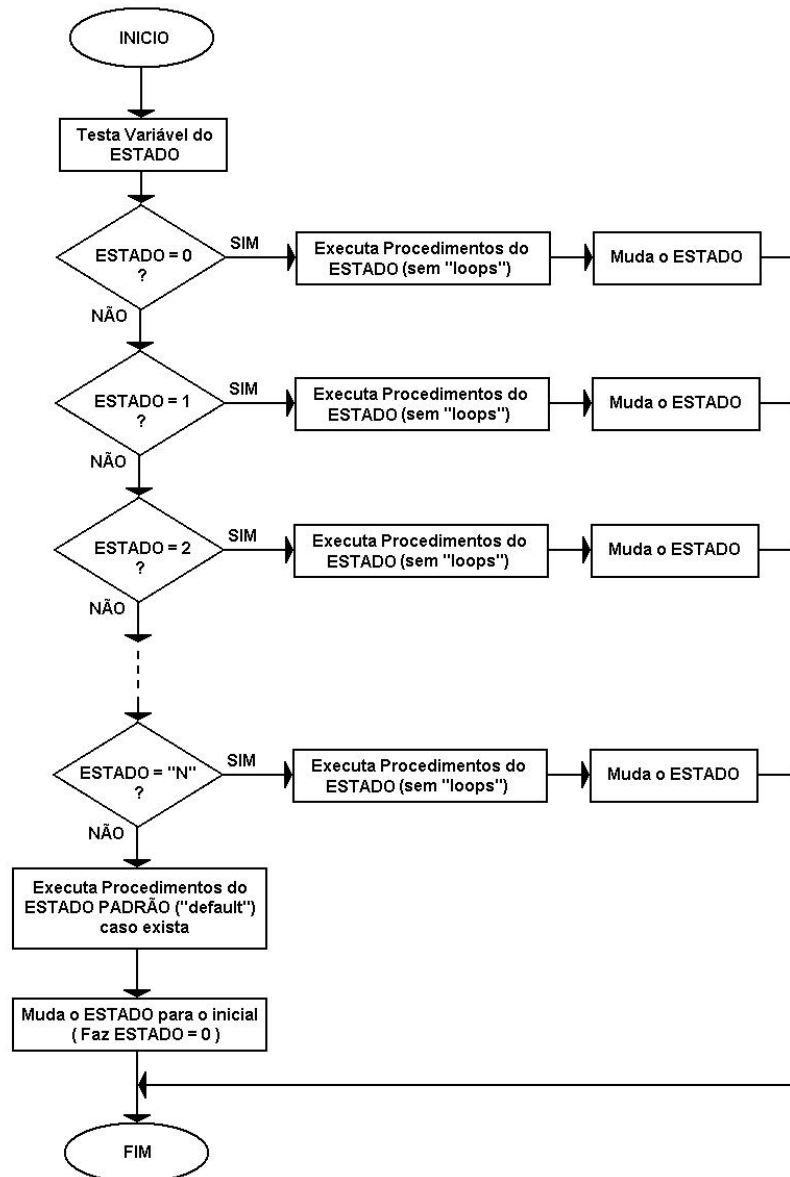


Figura 6.13: Fluxograma de um algoritmo de funcionamento análogo às Máquinas de Estado Digitais.

O *firmware* concebido para o DSP adotado comporta-se praticamente como um sistema operacional interno, implementado com diversas bases de tempo. Para isso, o projeto do *firmware* obedeceu a uma filosofia de programação com utilização de máquinas de estados, FLAG's para controle e *status*, bases de tempo e contadores virtuais, tornando-o um mini-sistema "multitarefa". Isto foi imprescindível para o gerenciamento do sistema, considerando que além de efetuar o processamento da informação, ele precisa gerenciar todas as interfaces internas e externas, no caso, comunicação com a memória EEPROM por interfaces SPI e comunicação pela RS-232 utilizando o protocolo *Modbus/RTU*. Tudo ao mesmo tempo.

6.5 Implementação do *Firmware*

Serão descritas a seguir os métodos e algoritmos principais implementados no *firmware* do DSP adotado para o equipamento proposto.

6.5.1 Aplicação para a Máquina de Controle do Sistema

A aplicação mais importante inserida na seqüência de aplicações do *loop* principal é a “Máquina de Controle do Sistema”, representada pelo fluxograma da **Figura 6.14**. Essa aplicação foi implementada obedecendo a filosofia de implementação de máquinas de estado e bases de tempo, discutida na **Seção 6.4**.

A máquina de controle interna do sistema implementada no *firmware* do DSP permite que o equipamento trabalhe em dois modos: “automático” ou “manual”. No primeiro, o próprio *firmware* dita a seqüências das tarefas a serem realizadas, entre a aquisição, o processamento e a análise. No segundo modo, o usuário determina a seqüência, podendo operar o equipamento de forma que ele execute as tarefas passo-a-passo. Este recurso foi muito útil na depuração e desenvolvimento do *firmware*.

O modo automático é o padrão. Após o *reset* do equipamento ele inicia nesse modo, “setando” um bit (levando para o nível lógico ‘1’) de FLAG na variável de RAM correspondente aos FLAG’s do sistema. A entrada no modo manual é feita pelo usuário ao gravar qualquer dado na memória interna do equipamento, RAM ou EEPROM, por meio do protocolo ModBus.

De acordo com o fluxograma apresentado (**Figura 6.14**), o estado da aplicação da máquina de controle é definido por uma variável. O estado que ela contiver corresponderá aos procedimentos que ela executará ou que está executando, como gerenciamento da aquisição de amostras pelas entradas analógicas, análise espectral para estimação do torque e grandezas, identificação de parâmetros, obtenção automática dos *offsets* dos canais do ADC, dentre outros. Um conjunto de bits de FLAG’s informa a conclusão dos procedimentos do estado.

O conteúdo da variável de estado da aplicação é alterado pela própria aplicação, caso a máquina esteja no modo automático, ou pelo usuário via protocolo Modbus, caso esteja no modo manual.

No modo automático, a aplicação define sozinha a seqüência de estados, permutando entre aquisição de amostras e análise espectral para estimação de parâmetros. Na inicialização após o *reset* do sistema, ele próprio testa se os parâmetros do MIT (R , n_d e n_a , abordados na **Subseção 4.2.4**) estão identificados ou se estão corrompidos, caso afirmativo, o estado inicial será o de identificação de parâmetros, caso negativo, o estado inicial será o de aquisição de amostras pelos canais analógicos.

Quando um novo estado é enviado pelo usuário, se a máquina de controle estiver ociosa (não estiver executando nenhum estado), ela muda o estado para o solicitado pelo usuário. Se ela estiver executando algum estado quando do recebimento de um novo, a máquina guarda o estado recebido e “seta” um bit de FLAG indicando que um estado está pendente. Ao terminar o estado atual, ela testa esse bit antes de executar um novo estado. Caso haja algum estado pendente, a máquina o recupera da memória e o executa.

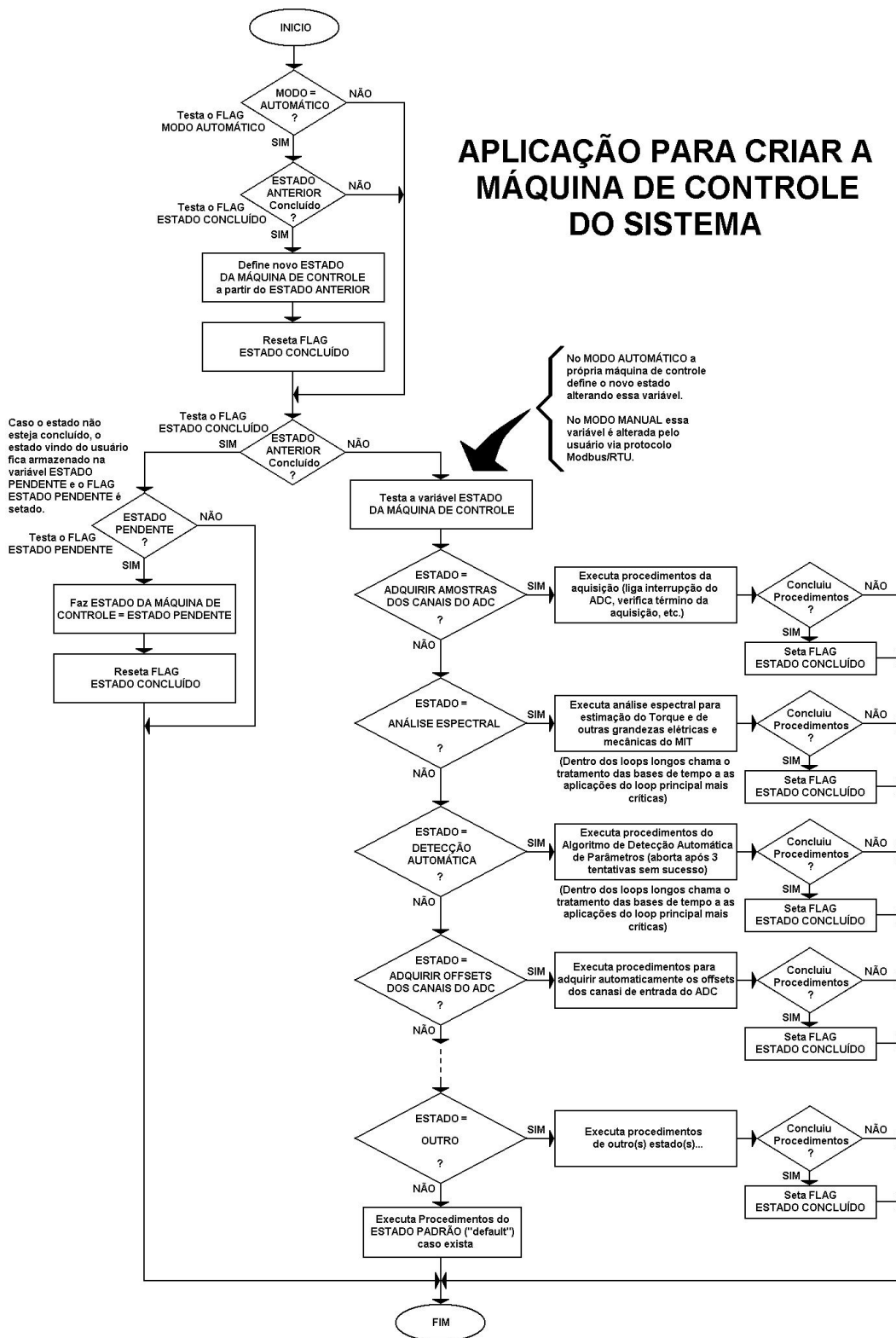


Figura 6.14: Fluxograma da Máquina de Controle do Sistema.

O *firmware* do DSP foi concebido com proteções de *software* contra travamento ou corrompimento dos dados internos, decorrente de ruídos eletromagnéticos ou transientes, preparando-o para trabalho autônomo em campo. A primeira proteção é a habilitação do *Watchdog* (cão-de-guarda) interno, um contador com *clock* independente que deve ser “resetado” periodicamente para que o mesmo não “resete” a CPU, impedindo-a que permaneça travada por algum motivo. Como outras formas de proteção, na seqüência de aplicações durante o *loop* principal são executadas aplicações de teste de integridade do conteúdo dos registradores internos de configuração do DSP. Caso os dados estejam corrompidos, a CPU é “resetada”, para restabelecimento das configurações originais.

6.5.2 Aquisição de Amostras

No *Kernel* do sistema, uma das rotinas de tratamento de interrupções implementadas é a rotina de interrupção do ADC, periférico interno do DSP, para aquisição de amostras dos canais de entrada analógicos. Essa interrupção é o primeiro procedimento acionado pela aplicação da máquina de controle do sistema (presente no *loop* principal), no estado de aquisição de amostras, através de um FLAG (bit de uma variável de FLAG's do sistema).

Pelo diagrama da arquitetura de *hardware* (vide **Figura 5.2**), ao todo são cinco canais analógicos, 4 para estimação dos valores eficazes de tensão e corrente e 1 para aquisição dos componentes de frequência de interesse (vide **Subseção 4.2.2**). Uma vez acionada, a interrupção do ADC adquire uma amostra de cada canal sequencialmente a cada ocorrência do evento de interrupção. Recursivamente, as amostras são filtradas por filtros digitais IIR (vide **Subseção 4.3.2**) de 5.^a ordem.

Os filtros IIR foram adicionados à rotina de aquisição no intuito de melhorar a qualidade do sinal adquirido e filtrado pelos filtros analógicos do *hardware*, aumentando a ordem do filtro resultante. Os valores de f_c dos filtros digitais são idênticos aos valores de f_c dos filtros analógicos do *hardware* projetado (vide **Subseção 5.3.9**), assim, os coeficientes a_k e b_k dos filtros IIR foram calculados para o projeto de dois filtros com as frequências de corte diferentes: um com $f_c = 150 \text{ Hz}$, para estimação dos valores eficazes de tensão e corrente, e outro com $f_c = 3 \text{ kHz}$, para aquisição dos componentes de frequência de interesse.

As amostras de todos os canais são adquiridas a uma frequência de amostragem $F_s = 10 \text{ kHz}$. Cada amostra coletada é filtrada digitalmente entre duas aquisições consecutivas, exigindo um processamento rápido e caracterizando assim, um processamento em tempo-real, justificando mais uma vez o uso do DSP.

São coletadas 10.000 amostras, relativas ao canal dos componentes de frequência de interesse, e 2.000 amostras para os canais destinados ao cálculo dos valores eficazes. Quando todas as amostras são coletadas, a interrupção “seta” um bit de FLAG sinalizando a aquisição das amostras para o estado de aquisição de amostras na aplicação da máquina de controle do sistema do *loop* principal.

A partir do Trabalho desenvolvido, foram observadas algumas condições que prejudicam a detecção dos componentes de frequência: a utilização das amostras iniciais na região do transitório introduzido pela filtragem digital, e a existência da tensão de *offset* nas amostras dos sinais adquiridos. A primeira distorce a análise em frequência no cálculo da DFT, elevando os lóbulos ao redor da frequência fundamental, prejudicando a detecção dos componentes de frequência de excentricidade f_{ecc} (vide **Subseção 4.2.2**). A segunda gera lóbulos no domínio da frequência em toda a faixa de interesse do espectro, podendo sobrepor

o componente de interesse.

Algumas medidas foram tomadas para melhorar as condições de detecção dos componentes de frequência de interesse posteriormente à aquisição das amostras. Uma delas é aproveitar somente as amostras após alguns ciclos do sinal, para ignorar os transitórios causados pela filtragem nas primeiras amostras. Foram ignoradas as 2.000 primeiras amostras filtradas. As amostras filtradas posteriores são armazenadas e aproveitadas até completar o número estipulado anteriormente para cada canal. A outra medida é calcular a média dos valores das amostras para obtenção da tensão de *offset* dinâmica do canal, e subtrair o valor de cada amostra coletada.

6.5.3 Interface de Corrente

Como o equipamento permite a estimação de outras grandezas além do torque, foi implementado no *firmware* do equipamento o recurso de se poder selecionar qual grandeza poderá ter seu valor enviado via interface de corrente de 4-20 mA do equipamento. A seleção é feita por meio da gravação de um número que identifica a grandeza a ser supervisionada em um endereço de memória do equipamento que possa ser acessado via protocolo *Modbus/RTU*.

O cálculo do valor binário de 16 bits, a ser gravado serialmente no CI AD420, para conversão da grandeza supervisionada em sinal analógico de corrente, é feito de acordo com a equação abaixo:

$$Vg_B = \left\lfloor \frac{Vg - Vg_{min}}{Vg_{max} - Vg_{min}} \right\rfloor \times 65535 \quad (6.2)$$

Onde: $Vg \in \mathbb{R}$ é o valor da grandeza; $Vg_{min} \in \mathbb{R}$ é o valor mínimo da grandeza; $Vg_{max} \in \mathbb{R}$ é o valor máximo da grandeza; $Vg_B \in \mathbb{N}$ é o valor da grandeza convertido em binário; e o número 65535 corresponde ao valor máximo alcançado por uma variável de 16 bits ($2^{16} - 1$), uma vez que o AD420 é um ADC de 16 bits.

Considerando uma faixa de variação da grandeza de zero (0) ao dobro do seu valor nominal (Vg_n), para todas as grandezas estipulou-se $Vg_{min} = 0$ e $Vg_{max} = 2Vg_n$. Reescrevendo então (6.2), têm-se como resultando a equação (6.3). Esse método permite que o valor da grandeza excursionem em torno do seu valor nominal.

$$Vg_B = \left\lfloor \frac{Vg}{2Vg_n} \right\rfloor \times 65535 \quad (6.3)$$

Uma vez que o *hardware* do equipamento foi concebido a partir do modelo de ligação completo, mostrado na **Figura 5.2**, outras grandezas elétricas e mecânicas do MIT, além do torque, puderam ser estimadas, como o fator de potência, a potência elétrica e o rendimento (vide **Subseção 4.2.1**). Dessa forma, a implementação da rotina para envio de valores de grandezas pela interface de corrente 4 – 20mA contemplou também, além do valor do torque, a possibilidade do envio do valor das grandezas: rendimento, fator de potência, potência elétrica, potência mecânica, carregamento, tensões eficazes V_{RS} e V_{TS} , correntes eficazes I_R e I_T , velocidade de rotação do eixo, escorregamento, e frequência de alimentação. No modo de ligação simplificado (vide **Figura 5.1**), o valor do torque é o único a ser enviado pela interface de corrente.

6.5.4 Protocolo *Modbus/RTU*

Para o protocolo *Modbus/RTU* do equipamento, foram implementadas somente três funções ModBus (vide **Subseção 3.6.3**), mas úteis e essenciais: *Read Holding Register*, *Preset Single Register* e *Preset Multiple Register*, mostradas na **Tabela 3.3**. Com apenas estas três funções é permitido configurar o equipamento, enviar comandos e ler dados de configuração e supervisão. A aplicação de comunicação implementada no *firmware*, juntamente com as interrupções de transmissão e recepção de dados pela interface UART (*Universal Asynchronous Receiver/Transmitter* ou, em português, Receptor/Transmissor Assíncrono Universal) presente no *hardware* do DSP, se encarregam de, além da recepção, tradução e transmissão dos *bytes* do *frame* ModBus, de efetuar o mapeamento dos endereços de memória internos do DSP com os endereços Modbus do equipamento.

Todas as grandezas que podem ser supervisionadas pelo Modbus são lidas com seu valor multiplicado por 100, pois como os dados ModBus são binários, optou-se pelo envio no formato inteiro para facilitar a leitura e compreensão, como também para conservar uma precisão para o usuário de duas casas decimais.

6.5.5 Sinalização pela IHM

As aplicações envolvidas com alarmes, comunicação e *status* do sistema, quer estejam no *loop* principal, na aplicação que trata as bases de tempo ou no interior das interrupções, “setam” e/ou “resetam” bits (gravam o nível lógico ‘1’ e ‘0’ respectivamente) de uma variável específica da memória RAM. Cada bit dessa variável representa o estado de um dos LED’s da IHM. Por exemplo, a aplicação que trata os eventos das BT’s, as aplicações que programam o ritmo das piscadas dos LED’s (vide **Subseção 5.3.5**) o fazem alterando os bits dessa variável.

No *loop* principal reside uma outra aplicação específica para o acionamento dos LED’s. Ela lê cada bit da variável citada anteriormente e aciona o hardware (o pino físico da porta para o acionamento dos LED’s) por meio do acesso ao Registrador da porta onde se encontram o circuito do driver dos LED’s, ilustrado na **Figura 5.18**.

Esse método de fazer com que uma única aplicação acesse diretamente o *hardware* oferece maior segurança e obedece a filosofia de implementação de sistemas operacionais embarcados constituídos de aplicações de alto nível e de baixo nível (que constituem o *Kernell* do sistema).

6.5.6 DFT Modificada

Como visto na **Subseção 4.3.3**, para obter uma melhora na resolução da faixa dos componentes de frequência de excentricidade e de ranhura, sem aumentar o número de amostras coletadas, têm-se como alternativas o aumento do tempo de amostragem T_a ou a inclusão de zeros (“*zero-padding*”) após a última amostra. Na maioria dos casos o aumento de T_a pode ser inviável devido a limitações da memória disponível no de *hardware* para armazenar as amostras coletadas, tornando a segunda opção mais atrativa a depender da ferramenta escolhida para a análise em frequência.

Na **Subseção 4.3.3** foi apresentada a FFT como um algoritmo de DFT otimizado, rápido, e que viabiliza a análise em frequência em sistemas computacionais de pouco poder e velocidade de processamento.

No entanto, com a utilização das *butterflies* (borboletas) nos algoritmos de raiz 2 ou raiz 4 da FFT, o método requer a utilização de todas as amostras coletadas, incluindo os zeros adicionados, caso fosse utilizada a técnica *zero-padding* [8, 7]. Nesse aspecto, a alocação de memória somente para armazenamento de variáveis nulas seria um desperdício de recursos injustificável para a programação em sistemas embarcados, cujos códigos devem ser otimizados o máximo possível. Como opção, é sugerido e utilizado nesse Trabalho o uso da DFT, que apesar de ser um método computacional lento, é simples de implementar. Serão apresentadas aqui formas de se trabalhar com essa técnica atendendo as necessidades e ainda com melhor aproveitamento dos recursos do sistema.

A DFT realiza cálculos com números complexos ($x \in \mathbb{C}$), no entanto, até hoje as linguagens de programação de sistemas embarcados só reconhecem variáveis naturais ($x \in \mathbb{N}$), inteiras ($x \in \mathbb{Z}$) ou reais ($x \in \mathbb{R}$). O artifício utilizado nessas linguagens, como é o caso da linguagem C, é a separação da variável complexa em duas partes, uma real e a outra imaginária. Dessa forma, o corpo de (6.4) deve ser dividido em duas partes e para isso utilizou-se da identidade de Euler:

$$e^{\pm j\theta} = \cos \theta \pm j \operatorname{sen} \theta \quad (6.4)$$

Assim, permanecendo os mesmos significados das notações utilizadas na **Subseção 4.3.3**, (4.56) é reescrita da forma:

$$X[k] = \sum_{n=0}^{N-1} \left[x[n] \cos \left(\frac{2\pi}{N} kn \right) - j x[n] \operatorname{sen} \left(\frac{2\pi}{N} kn \right) \right], \quad \text{para } 0 \leq k \leq (N-1) \quad (6.5)$$

Então, as variáveis complexas $X[k]$ calculadas e divididas em duas partes, armazenadas em duas posições de memória, uma para armazenar a parte real $X_R[k] = x[n] \cos \left(\frac{2\pi}{N} kn \right)$, e outra para armazenar a parte imaginária $X_I[k] = x[n] \operatorname{sen} \left(\frac{2\pi}{N} kn \right)$. Isso gera o inconveniente do espaço requerido para armazenar os pontos da DFT ser o dobro do espaço necessário para o armazenamento das amostras coletadas. O problema se agrava se as variáveis que armazenam as amostras são do tipo inteiro e as que armazenam as partes real e imaginária das variáveis complexas forem do tipo ponto-flutuante.

Baseando-se na equação (6.5), a implementação da DFT utilizando a linguagem C requer a utilização de dois laços (*loops*): um para o cálculo do corpo da equação (6.5) propriamente dito, dando como resultado o valor do componente de frequência de índice k , ou seja, os valores de $X_R[k]$ e $X_I[k]$; e outro para variar os índices k dos componentes de frequência discretos, armazenando na memória uma matriz bidimensional para o armazenamento das partes $X_R[k]$ e $X_I[k]$ calculadas, como mostra o algoritmo da **Figura 6.15**, onde N_k é o número máximo para o índice das componentes de frequência discreta k e N_T é o número total de amostras, incluindo o número de zeros acrescidos, se for utilizada a técnica *zero-padding*.

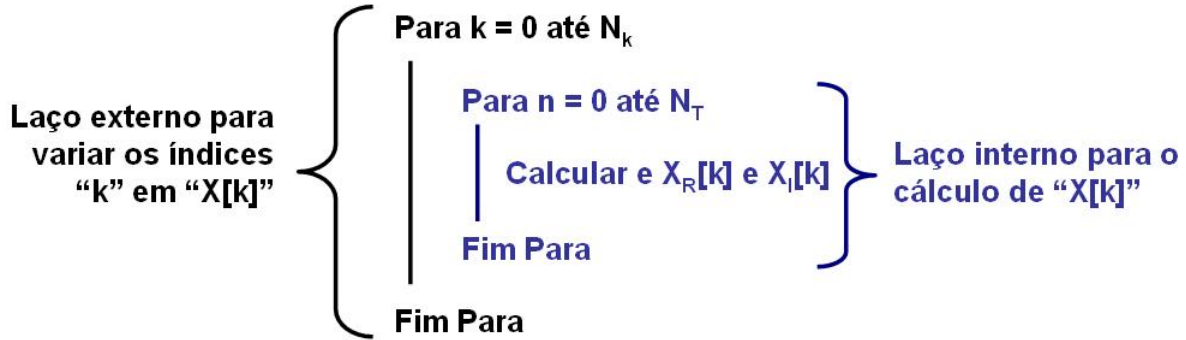


Figura 6.15: Algoritmo para implementar o cálculo da DFT em linguagem C.

De acordo com o explicado na **Subseção 4.3.3**, para que se possa recuperar o sinal original a partir da DFT, $N_k \leq N_T$. A abordagem a seguir terá como premissa $N_k = N_T$, ou seja, o número de amostras numericamente igual à frequência de amostragem F_s , ou o número de zeros acrescentados ao número de amostras totalizem juntos o valor numérico da frequência de amostragem ($N_T = F_s$).

Observa-se na equação (6.5) que ao ser utilizada a técnica de *zero-padding*, a partir do momento em que o laço começar a processar os zeros adicionados, $x[n] = 0$, logo, $X_R[k] = 0$ e $X_I[k] = 0$, pois os produtos $x[n] \cos\left(\frac{2\pi}{N}kn\right)$ e $x[n] \sin\left(\frac{2\pi}{N}kn\right)$ serão nulos, o que torna o cálculo de $X_R[k]$ e $X_I[k]$ no laço desnecessário nesses pontos. O limite do índice das amostras n pode ser limitado ao número de amostras N original, antes da inclusão de zeros, mas o limite máximo do laço que varia o índice dos componentes de frequência k , ou seja, N_k deverá permanecer o mesmo, bem como o número de amostras original N , utilizado no argumento $\left(\frac{2\pi}{N}kn\right)$ dos senos e cossenos, deverá ser substituído pelo número total de amostras com os zeros acrescentados N_T . Isso leva a conclusão de que, ao invés de acrescentar zeros no final das amostras coletadas, basta aumentar o limite N_k (substituindo N_T no lugar de N nos argumentos e usando N no laço interno) para se obter o efeito *zero-padding* equivalente. Dessa forma, pode-se melhorar o contorno da DFT, sem a necessidade de aumentar o número de amostras, com o acréscimo de zeros proporcionado pela técnica *zero-padding*.

Outra modificação pode ser sugerida. Ao invés de iniciar o índice dos componentes de frequência k com um valor nulo, começando com um valor diferente de zero a análise em frequência utilizando a DFT iniciará a partir de uma frequência não nula. O limite N_k também pode ser variado. Como consequência, pode-se realizar a análise em frequência dentro de uma faixa específica, em que o k inicial, denominado de k_{in} , é dado por:

$$k_{in} = \frac{f_{in}}{\Delta f_d} \quad (6.6)$$

Onde: f_{in} é a frequência inicial desejada e Δf_d é a resolução desejada em frequência. Como $k_{in} \in \mathbb{N}$ e $\Delta f_d \in \mathbb{R}$, o resultado poderá não ser exato (fracionário), logo, k_{in} deverá ser aproximado para o menor

inteiro mais próximo. De forma semelhante, $k_{fin} \in \mathbb{N}$, o k final, será dado por:

$$k_{fin} = \frac{f_{fin}}{\Delta f_d} \quad (6.7)$$

Sendo que k_{fin} deverá ser aproximado para o maior inteiro mais próximo. Devido a erros de aproximação, a forma prática de implementação é calcular o k_{in} e o número de índices k que conterà a faixa desejada, definido como N_k , pela equação (6.8), e acrescentar k_{in} da unidade dentro do laço que varia k até atingir o número de índices da faixa. N_k também deverá ser $N_k \in \mathbb{N}$, sendo aproximado para o maior inteiro mais próximo caso (6.8) resulte num número fracionário.

$$N_k = \frac{f_{fin} - f_{in}}{\Delta f_d} \quad (6.8)$$

Para redução dos erros de aproximação e aproveitando o formato IQ para cálculo de números reais a partir de números inteiros (vide **Seção 6.1**), uma nova abordagem é proposta para o aumento da amostragem em frequência da Transformada de Fourier contínua, utilizando índices de frequência k fracionários, k_{fr} , para as componentes de frequências discretas. A base dessa nova abordagem se fundamenta no fato de ao multiplicar o índice inteiro da componente de frequência k pela resolução desejada em frequência Δf_d , obtêm-se índices fracionários de componentes de frequência k_{fr} intermediários aos índices dos componentes de frequência originais, ou seja, $k_{fr} = k\Delta f_d$. É como se realizasse uma amostragem em frequência em pontos fracionários intermediários aos já existentes, obtendo-se um efeito de melhora no contorno da DFT e aproximando-a da Transformada de Fourier contínua, com resultado equivalente a técnica *zero-padding* mostrado na **Figura 4.27**.

Nessa nova abordagem, (6.7) não é usada, (6.8) se mantém, N no argumento $\left(\frac{2\pi}{N}kn\right)$ não é substituído por N_k , e (6.6) é generalizada para:

$$k_{in} = f_{in} \left(\frac{N}{F_s}\right) \quad (6.9)$$

Em (6.9), $k_{in} \in \mathbb{R}$ e nela é possível $N \neq F_s$, o que confere a generalização. Por (6.9), nota-se que se $N = F_s$, $k_{in} = f_{in}$. O novo argumento dos senos e cossenos passa a ser então $\left(\frac{2\pi}{N}k_{fr}n\right)$, resultando na equação da DFT modificada:

$$X[k] = \sum_{n=0}^{N-1} \left[x[n] \cos\left(\frac{2\pi}{N}k_{fr}n\right) - jx[n] \text{sen}\left(\frac{2\pi}{N}k_{fr}n\right) \right], \quad \text{para } 0 \leq k \leq (N_k - 1) \quad (6.10)$$

Onde k_{fr} é calculado a cada iteração do laço para o cálculo de $X[k]$ (no caso, para o cálculo de $X_R[k]$ e $X_I[k]$), cujo índice k é incrementado da unidade até N_k obtido de (6.8). A expressão generalizada de k_{fr} é dada como sendo:

$$k_{fr} = k_{in} + k\Delta f_d \left(\frac{N}{F_s}\right) \quad (6.11)$$

Por (6.11), se $N = F_s$ e $k_{in} = 0$ ($f_{in} = 0$), $k_{fr} = k\Delta f_d$.

Os algoritmos de análise espectral para estimação do torque no eixo de MIT's e para detecção automática de parâmetros do MIT utilizam somente a informação de módulo $|X[k]|$ proveniente da DFT, calculado por:

$$|X[k]| = \sqrt{X_R[k]^2 + X_I[k]^2} \quad (6.12)$$

Dessa forma, $|X[k]|$ pode ser calculado e armazenado a cada iteração do laço interno de cálculo de $X_R[k]$ e $X_I[k]$, descartando a informação de fase que é desnecessária aos dois algoritmos, poupando com isso metade da memória requerida. Ao contrário da DFT, o armazenamento da informação de módulo unicamente não pode ser implementado utilizando a FFT, por necessitar das informações módulo e fase do início ao fim do algoritmo.

Na implementação em linguagem *C* para o *firmware* do DSP, a dizimação foi incluída na rotina para o cálculo da DFT modificada no laço para o cálculo do corpo da equação (6.10), saltando M amostras consecutivas (sendo M o fator de dizimação) no incremento do índice n , gerando o efeito da redução do valor de F_s e de N . Logo, no algoritmo da DFT modificada a nova frequência de amostragem será $F_{sn} = F_s/M$ e a nova quantidade de amostras será $N_n = N/M$. No laço interno da DFT, como o índice n é incrementado de M , no argumento da DFT $\left(\frac{2\pi}{N}k_{fr}n\right)$, no lugar de n deverá ser substituído o valor (n/M) .

A pré-filtragem antes da dizimação (vide **Subseção 4.3.4**) não foi utilizada pelo fato do filtro passa-baixas digital necessitar que sua frequência de corte seja variável, o que aumentaria o esforço computacional. Contudo, nas frequências mais baixas as componentes de maior amplitude puderam ser detectadas, se destacando mesmo na ocorrência do *aliasing*, como pôde-se observar na faixa não sombreada dos lóbulos sobrepostos da **Figura 4.30.b**).

A dizimação foi muito útil para estimação da frequência fundamental que, por ter amplitude muito superior aos componentes de frequência, pôde-se utilizar fatores de dizimação até 50, aumentando expressivamente a velocidade na detecção da frequência de alimentação do inversor mesmo utilizando o lento processamento da DFT como técnica de detecção. Foi testado no *MATLAB* o algoritmo DFT modificado, organizando as instruções de forma aplicável à implementação em linguagem *C* e incluindo todas as alterações descritas até aqui, como apresentado na **Figura 6.16**.

```

=====
%
% Transformada Discreta de Fourier Modificada - DFT mod
% (DFT - Discrete Fourier Transform)
%
% Função: [X,Nk] = dft_mod(x,fin,ffin,df,Fs)
%
% Descrição: Implementação da DFT Modificada
%           (DFT - Discrete Fourier Transform)
%
% Entrada: x   = vetor com as amostras coletadas;
%          fin  = frequência inicial (em Hz);
%          ffin = frequência final (em Hz);
%          df   = resolução desejada em frequência (em Hz);
%          Fs   = frequência de amostragem (em Hz);
%          M    = fator de dizimação.
%
% Saída:  X = vetor com os módulos da DFT;
%        Nk = número de pontos da DFT ou o número de índices k.
%
=====
function [X,Nk] = dft_mod(x,fin,ffin,df,Fs,M)
% Obtém 'N' e verifica se 'x' é um vetor coluna:
[N,C]=size(x);
if C ~=1
    x = x';
    N = C;
end
% Cálculo de Nn e Fsn:
Nn = ceil(N/M); Fsn = ceil(Fs/M);
% Cálculo de 'Nk' (número de pontos da DFT, ou o número de k's):
Nk = ceil((ffin-fin)/df);
% Cálculo de 'kin':
kin = fin*(Nn/Fsn);
% Alocação de memória para 'X[k]':
X = zeros(Nk,1);
% Laço externo para cálculo de cada 'X[k]' com variação do índice das
% componentes de frequência k:
for k = 0:1:(Nk-1)
    X_R = 0; % Inicializa a parte real de 'X[k]';
    X_I = 0; % Inicializa a parte imaginária de 'X[k]';
    % Laço interno para cálculo de 'X[k]'. Implementa o somatório da DFT
    % já empregando a dizimação:
    for n = 0:M:(N-1)
        kfr = kin + k*df*(Nn/Fsn); % kfr = k fracionario
        X_R = X_R + x(n+1)*cos( (2*pi/Nn)*kfr*(n/M) ); % Calcula 'X_R[k]';
        X_I = X_I + x(n+1)*sin( (2*pi/Nn)*kfr*(n/M) ); % Calcula 'X_I[k]';
    end
    % Cálculo de '|X[k]|' usando 'X_R[k]' e 'X_I[k]':
    X(k+1) = sqrt(X_R^2 + X_I^2);
end
end

```

Figura 6.16: Algoritmo desenvolvido no *MATLAB* para melhoria do contorno da DFT dentro de uma faixa de frequências específica.

Observa-se no laço interno do algoritmo apresentado na **Figura 6.16** o emprego da dizimação, a separação de $X[k]$ nas partes real ($X_R[k]$) e imaginária ($X_I[k]$), o cálculo de k_{fr} e o cálculo do módulo de $X[k]$. No laço interno vê-se várias expressões derivadas exclusivamente de constantes, como $(2\pi/N_n)$ e (N_n/F_{sn}) , calculadas a cada iteração desnecessariamente. Na versão em *C*, valores derivados de constantes são o máximo possível calculados fora dos laços, aumentando a velocidade e otimizando o código.

Para testar o algoritmo da DFT modificada, construiu-se no *MATLAB* 10.000 amostras de um sinal composto pelas frequências 61,5 *Hz*, com amplitude de 1, e 73,4 *Hz*, com amplitude de 0.5. O sinal foi criado com uma taxa de amostragem de $F_s = 10$ *kHz*, resultando numa resolução real em frequência para a DFT de 1 *Hz*. Foi empregada neste sinal a DFT normal, que abrangeu toda a faixa em frequência possível, e o algoritmo da DFT modificada, na faixa de 55 a 85 *Hz*, configurada para interpolar um espaçamento entre componentes de frequência de $\Delta f_d = 0,1$ *Hz* e fator de dizimação $M = 1$. O resultado pode ser observado na **Figura 6.17**. Nota-se nessa figura que foi necessário efetuar uma ampliação (“zoom”) na faixa 55 a 85 *Hz* para a DFT normal, uma vez que ela abrange toda a faixa. Isso não foi necessário com o uso da DFT modificada.

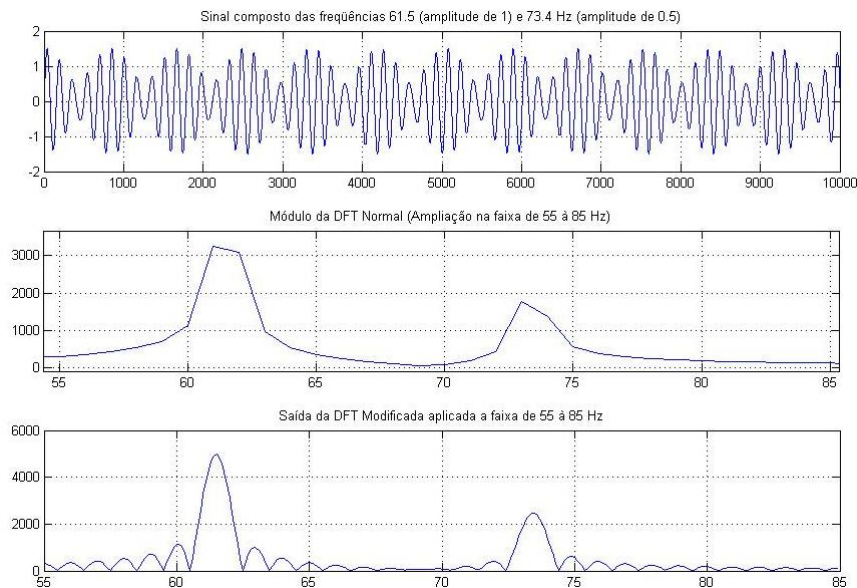


Figura 6.17: Teste do Algoritmo da DFT modificada desenvolvido no *MATLAB* para reduzir, por interpolação, o espaçamento entre componentes de frequência dentro de uma faixa de frequências específica. No teste, houve melhora no contorno da DFT de um sinal composto na faixa especificada.

O algoritmo da DFT modificada utilizando índices fracionários para os componentes de frequência, permitiu a definição da faixa de frequência para análise e a melhora na aproximação à Transformada contínua em relação ao algoritmo da DFT original. A faixa de frequência desejada e o espaçamento entre componentes de frequência passam a ser parâmetros de entrada na busca dos componentes de frequência de interesse. Aliada a inclusão da dizimação no próprio algoritmo, a DFT modificada conciliou redução do esforço computacional, redução do espaço necessário em memória e simplicidade de código. Ela será o algoritmo fundamental empregado na estimação do torque no eixo de MIT’s e detecção automática de parâmetros do MIT, ambos utilizando a análise espectral.

6.5.7 Determinação da Frequência de Alimentação do MIT

Para determinar a frequência de alimentação do MIT f_1 emprega-se uma técnica de duas etapas.

Na primeira, utiliza-se a DFT modificada (vide **Subseção 6.5.6**) fornecendo como parâmetros de entrada um ponteiro (endereço) para o vetor de amostras coletadas do canal da corrente de linha da fase 'R' ($i_R(t)$), onde a frequência fundamental f_1 está presente (vide **Seção 5.1**), a faixa de frequência da alimentação do inversor (30 a 90 Hz como abordado na **Seção 3.5**), um alto espaçamento em frequência de $\Delta f_d = 1Hz$, um fator de dizimação de $M = 50$ e a taxa de amostragem $F_s = 10 kHz$. Obtendo como resultado da etapa o valor grosseiro de f_1 .

Na segunda etapa, determina-se uma nova faixa cujo limite inferior é o valor grosseiro de f_1 subtraído de 1,0 Hz, e o limite superior é o valor grosseiro de f_1 adicionado a 1 Hz ($(f_1 - 1,0) \leq f_1 \leq (f_1 + 1,0)$) para entrada na DFT. Posteriormente, emprega-se novamente DFT modificada, mas com espaçamento entre componentes de frequência reduzido para $\Delta f_d = 0,1Hz$ e com fator de dizimação $M = 1$, por fim, localiza-se o valor de f_1 mais refinado.

A técnica apresentada, aliada ao uso da DFT modificada como ferramenta, permitiu a rápida inferência da frequência de alimentação do MIT.

6.5.8 Algoritmo de Detecção Automática de Parâmetros do MIT

Previendo a possibilidade da não detecção da excentricidade no caso do uso do equipamento em MIT's novos ou de pequena potência (vide **Subseção 4.1.3**), o algoritmo original para Detecção Automática de Parâmetros do MIT, abordado na **Subseção 4.2.4**, foi modificado e implementado em uma função C no *firmware* do DSP.

Ao chamar a função que implementa o algoritmo alterado, ela começa verificando em uma variável armazenada na memória RAM se o usuário gravou na mesma o valor da velocidade de rotação do eixo do MIT. Caso negativo, o algoritmo da função segue normalmente como o algoritmo original, desde a primeira etapa para identificação dos componentes de excentricidade e estimação do valor impreciso da velocidade de rotação do MIT. Do contrário, o algoritmo passa imediatamente para a segunda etapa, a de identificação do número de ranhuras R , e segue daí por diante.

O valor impreciso da velocidade é fornecido ao equipamento pelo usuário por meio do protocolo Modbus via interface RS-232. Esse valor impreciso pode ser obtido em campo pelo usuário por meio de um tacômetro óptico ou por outro método disponível.

Em toda a implementação do algoritmo, é empregada DFT modificada (vide **Subseção 6.5.6**) tendo como parâmetros de entrada um ponteiro (endereço) para o vetor de amostras coletadas do canal do caminho do filtro a capacitor comutado, onde a frequência fundamental f_1 está atenuada (vide **Seção 5.1**), a faixa de localização dos componentes de frequência de excentricidade f_{ecc} ou de ranhura f_{sh} , o espaçamento em frequência desejado, mantido em $\Delta f_d = 0,1$, a taxa de amostragem $F_s = 10 kHz$ e o fator de dizimação, mantido em $M = 1$.

6.5.9 Metodologia de Estimação do Torque

Implementada no *firmware* de acordo com a **Subseção 4.2.3**, com a diferença de relacionar o escorregamento máximo à 25% acima do nominal, ou seja, $s_{max} = 1,25s_n$, e não pela estipulação de $s_{max} = 0,1$ (vide **Subseção 4.2.3**). Essa modificação foi feita para que a determinação da faixa de frequência provável para localização do componente de frequência de ranhura permaneça sempre próximo a região linear determinada pela **Figura 4.16**. A componente de ranhura f_{sh} é detectada de forma análoga à detecção f_1 (vide **Subseção 6.5.7**), aplicando o mesmo método dentro da faixa calculada para $s_{min} = 0$ e $s_{max} = 1,25s_n$. A diferença entre a técnica empregada na detecção de f_{sh} e f_1 reside no valor do fator de dizimação utilizado para inferência dos valores grosseiros de f_{sh} e f_1 e no critério de escolha do componente que se destaca. Utiliza-se $M = 50$ para estimação do valor grosseiro de f_1 e $M = 1$ na DFT modificada para detecção do valor grosseiro de f_{sh} , além de uma variação dos critérios a) e b) do Trabalho [11] para seleção de f_{sh} , como variação na metodologia proposta em [10], a qual não utilizou esses critérios na detecção de f_{sh} . O uso das técnicas citadas tem como vantagens a redução do esforço computacional, uma vez que a faixa de cálculo da DFT é menor, maior segurança na detecção de f_{sh} e a restrição do método à região linear independente da potência do motor.

6.5.10 Algoritmos de Estimação de Grandezas Elétricas e Mecânicas do MIT

Os algoritmos destinados à estimação de grandezas elétricas e mecânicas do MIT (torque, rendimento, fator de potência, potência elétrica, potência mecânica, carregamento, tensões eficazes V_{RS} e V_{TS} , correntes eficazes I_R e I_T , velocidade de rotação do eixo, escorregamento, e frequência de alimentação) foram implementados no *firmware* do DSP de acordo com as equações das **Subseções 4.1.2, 4.2.1 e 4.3.1**, em duas funções *C*. A primeira, chamada, logo após a aquisição e filtragem digital das amostras (vide **Subseção 6.5.2**), é encarregada de estimar a frequência de alimentação f_1 , o fator de potência $\cos \varphi$, potência elétrica total $P_{eaT-\Delta}$, tensões eficazes V_{RS} e V_{TS} e correntes eficazes I_R e I_T . A segunda, localizada no interior da função que implementa a metodologia de estimação do torque (vide **Subseção 6.5.9**), é chamada após a localização bem sucedida da componente de ranhura f_{sh} para estimar as grandezas: velocidade de rotação do eixo, escorregamento, torque, potência mecânica, carregamento, rendimento, exatamente nessa seqüência.

6.5.11 Simulação no PC utilizando a Linguagem C

Para desenvolver os algoritmos em linguagem *C* (a metodologia de estimação do torque, o algoritmo de identificação de parâmetros, a análise espectral com DFT e a estimação de grandezas elétricas e mecânicas) foi utilizado o compilador *C* da IDE *C++ Builder 6.0*. Softwares aplicativos desenvolvidos em ambiente PC para implementar os algoritmos concebidos no MATLAB, mostrados nas **Figuras 6.18 e 6.19**, foram utilizados tanto para conversão destes códigos como para simulação das funções criadas em *C*, aproveitando amostras reais armazenadas em arquivos ASCII e coletadas de ensaios experimentais em MIT's. Futuramente, os códigos fonte dessas mesmas funções foram replicados nos módulos do *firmware* do DSP, usufruindo assim da vantagem da portabilidade e reusabilidade das linguagens de alto nível.

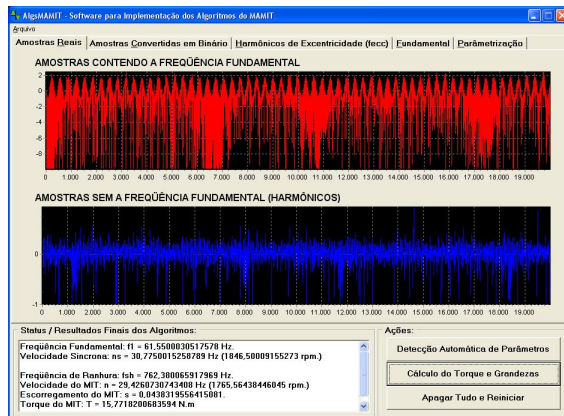


Figura 6.18: Aplicativo concebido em ambiente PC aproveitando amostras de ensaios experimentais.

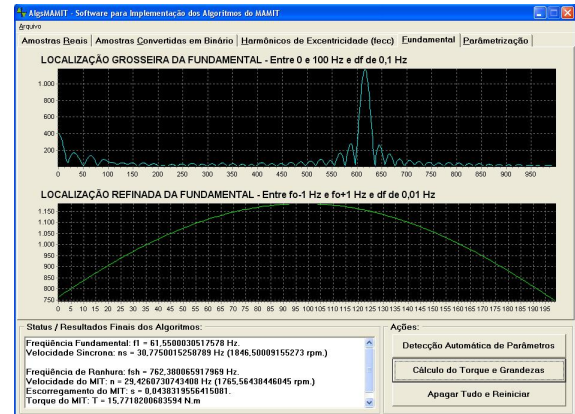


Figura 6.19: O aplicativo concebido em ambiente PC permite simular as funções implementadas para a análise espectral.

6.5.12 Estruturação dos Códigos Fonte

A implementação dos algoritmos, interrupções, rotinas e subrotinas resultaram num *firmware* relativamente grande e complexo. O tamanho final do código usado para envio a memória de programa (a memória FLASH) do DSP é de 44 KB (*kilobytes*) e um código fonte de milhares de linhas.

Para criar um ambiente de *software* que facilite o desenvolvimento e a depuração (busca e correção de erros ou “*bugs*”), além da criação de um projeto, recurso disponível no CCS, os códigos fontes do *firmware* do DSP tiveram de ser organizados e estruturados em módulos funcionais para aplicações afins. Como foi adotada a linguagem C, um módulo nada mais é do que um arquivo fonte C (extensão “.c”) com seu arquivo de *header* (cabeçalho) (extensão “.h”).

Por exemplo, todas as funções e aplicações destinadas ao processamento digital de sinais, foram organizadas no módulo “DSP”, por meio dos arquivos “DSP.c” e “DSP.h”. Todas as funções e aplicações destinadas à comunicação RS-232 e a implementação do protocolo *ModBus/RTU*, foram organizadas no módulo “UART”, nos arquivos “UART.c” e “UART.h”, e daí por diante. Um arquivo de cabeçalho global, “HeadersGlobais.h”, se encarrega de integrar todos os módulos, tornando-os visíveis entre si, e as variáveis comuns a todos os módulos são também organizadas num módulo único, constituído pelos arquivos “VarFuncGlobais.c” e “VarFuncGlobais.h”.

Além da facilidade de depuração, a modularização oferece a possibilidade de maior reutilização do código para a criação de outras aplicações e o compartilhamento/divisão das tarefas entre outros desenvolvedores de *software*, diminuindo o tempo de desenvolvimento e, conseqüentemente, aumentando significativamente a produtividade. Contudo, como o *firmware* do DSP desenvolvido neste Trabalho foi desenvolvido por um único indivíduo, essa última vantagem não pôde ser aproveitada. A utilização de filosofias de programação baseadas em máquinas de estado e bases de tempo, bem como a estruturação modular do código, permitirão atualizações do *firmware* de forma significativamente mais rápida.

6.6 Software para Comunicação e Configuração com o Equipamento

O equipamento finalizado foi batizado informalmente de “Analisador de Motores de Indução Trifásico” (AMIT), por permitir a estimação, além do valor do torque, de várias outras grandezas elétricas e mecânicas relacionadas ao MIT (rendimento, fator de potência, potência elétrica, potência mecânica, carregamento, tensões eficazes V_{RS} e V_{TS} , correntes eficazes I_R e I_T , velocidade de rotação do eixo, escorregamento, e frequência de alimentação), úteis à análise do funcionamento do motor elétrico em regime permanente e em plena operação.

Uma vez com o *hardware* funcional e a finalização da concepção do *firmware*, foi desenvolvido um *software* em linguagem visual usando *C++* para a plataforma *Windows XP/NT*, utilizando a IDE “*C++ Builder 6.0*” da *Borland*. O programa possui interface amigável e intuitiva para parametrização e configuração do equipamento, além da supervisão das grandezas do MIT pela técnica de “*pooling*”, utilizando o protocolo *Modbus/RTU*.

O programa desenvolvido, denominado de “*ConfigAMIT*” e apresentado nas **Figuras 6.20, 6.21 e 6.22**, é um arquivo executável único com tamanho de 1,5 MB (*megabytes*), para utilizá-lo basta copiá-lo numa pasta local do PC, não necessitando de instalação.



Figura 6.20: Programa *ConfigAMIT*, *software* de configuração e supervisão.

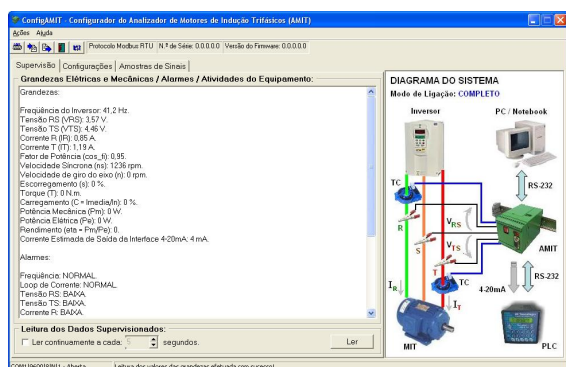


Figura 6.21: Supervisão das grandezas estimadas do MIT estimadas pelo *ConfigAMIT*.

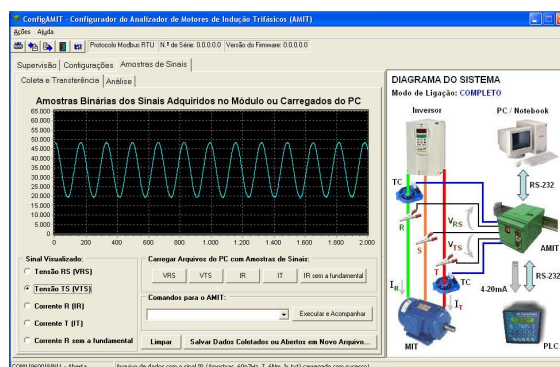


Figura 6.22: Análise e armazenamento das amostras coletadas pelo *ConfigAMIT*.

Como exemplo da parametrização e configuração, as Figuras 6.23 e 6.24 mostram, respectivamente, as telas de configuração dos modos de ligação simplificado e completo, abordados na Subseção 5.1.

DIAGRAMA DO SISTEMA

Modo de Ligação: **SIMPLIFICADO**

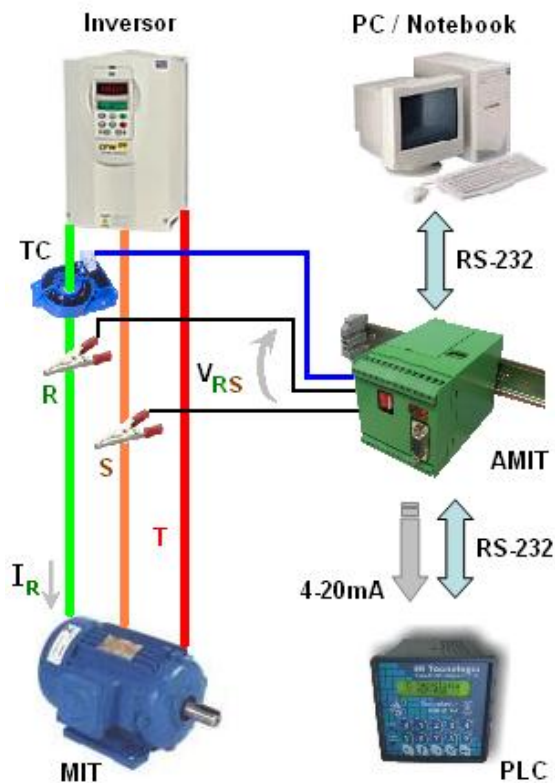


Figura 6.23: Diagrama da tela do *ConfigAMIT* para configuração do AMIT no Modo de Ligação Simplificado.

DIAGRAMA DO SISTEMA

Modo de Ligação: **COMPLETO**

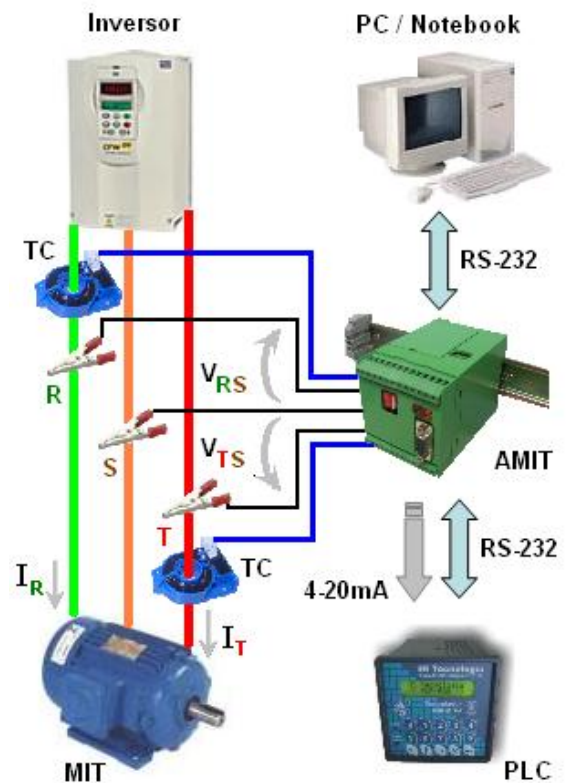


Figura 6.24: Diagrama da tela do *ConfigAMIT* para configuração do AMIT no Modo de Ligação Completo.

Além da parametrização e configuração do equipamento, o *ConfigAMIT* permite “carregar” do AMIT para PC as amostras coletadas para análise (o AMIT pode operar como um coletor de dados), efetuando no PC a estimação das grandezas e/ou detecção de parâmetros, como também salvar as amostras coletadas no computador ou ainda enviá-las para o AMIT analisá-las. O *software* pode também ler e alterar configurações de fábrica do AMIT, como o ganho dos canais do ADC, e enviar comandos para leitura automática de tensões de *offset* dos canais do ADC e para o diagnóstico e depuração tanto do *hardware* quanto do *firmware*.

Capítulo 7

Ensaio e Resultados Experimentais

ALÉM de descrever a infraestrutura e os recursos utilizados para realização dos testes, este capítulo aborda os ensaios experimentais mais relevantes, bem como seus respectivos resultados e comentários de avaliação e desempenho.

7.1 Infraestrutura e Equipamentos dos Locais de Teste

Para o projeto, desenvolvimento, implementação e validação experimental do protótipo concebido, foram utilizadas duas bancadas de teste. A primeira foi instalada no espaço físico da Área de Microeletrônica e Eletrônica Embarcada (AMEE) do SENAI-CIMATEC. Ela é mostrada na **Figura 7.1**.



Figura 7.1: Bancada de testes do AMEE utilizada para conceber, testar e validar o protótipo.



Figura 7.2: Estação didática de ensino do conversor CFW-09 utilizada nos testes.

A bancada instalada no AMEE foi equipada com um PC, uma fonte de alimentação DC simétrica modelo PS280 da *Tektronix*, um osciloscópio digital com 4 canais isolados modelo TPS2024 da *Tektronix*, um multímetro digital “*True RMS*” modelo 189 da *FLUKE*, um gerador de funções arbitrárias com 2 canais modelo AFG3102, também da *Tektronix*, e uma estação didática para ensino do conversor vetorial modelo CFW-09 da WEG (**Figura 7.2**), tendo como elementos um MIT com os dados de placa: $P_n = 1,5 \text{ CV}$, $\tau_n = 6,2 \text{ N.m}$, 220 V_{RMS} , $f_n = 60 \text{ Hz}$ e $p = 4$. Esta estação possui um freio eletromagnético, consistindo de um eletroímã frente a um disco de metal acoplado concêntricamente ao eixo do MIT. Com este freio pôde-se variar a carga, e para medição do torque desenvolvido é preso um dinamômetro da lateral do suporte móvel do disco ao corpo da estação.

Para instalação do AMIT na estação didática do CFW-09, os TC’s de efeito Hall (vide **Subseção 5.3.1**) foram conectados dos cabos de alimentação do MIT, como mostra a **Figura 7.3**, e os cabos de sinais de tensão e de corrente provenientes do MIT foram devidamente conectados às borneiras parafusadas do AMIT (**Figura 7.4**) de acordo com o diagrama apresentado na **Figura 5.75**. Para testar a interface de corrente, foi utilizado o multímetro na função amperímetro, e uma chave entre os terminais do *loop* de corrente na borneira do AMIT para simular a falha no *loop* da interface corrente 4-20mA. Este detalhe é visível na **Figura 7.4** (seguindo o fio amarelo na borneira superior).

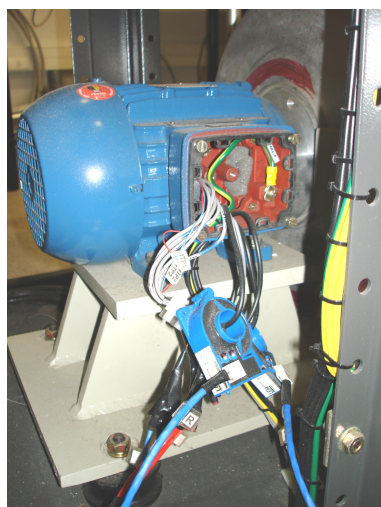


Figura 7.3: Instalação dos TC’s de efeito Hall no MIT da estação didática CFW-09.

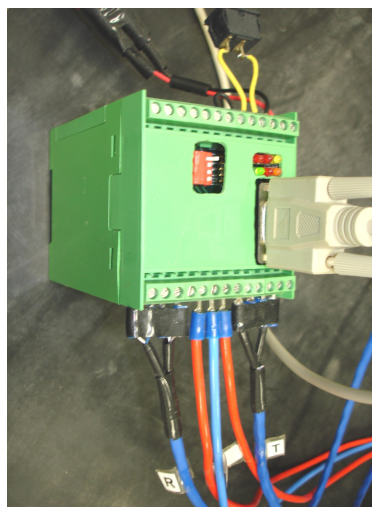


Figura 7.4: AMIT com os cabos de sinais conectados às borneiras parafusadas.

Na concepção e depuração do *firmware*, foram utilizadas as ferramentas específicas do *software* CCS (vide **Seção 6.3**), acoplando o emulador J-TAG XDS510USB (vide **Seção 6.3**) ao conector J-TAG do AMIT vide **Seção 5.6**). Para testes de comunicação (parametrização e supervisão utilizando o protocolo *Modbus/RTU*), um cabo RS-232 foi conectado do PC ao DB-9 no painel do AMIT. Todas as conexões citadas podem ser vistas na **Figura 7.5**. Pode-se notar nesta figura a fonte de tensão contínua alimentando o equipamento e regulada para a tensão de $+24,0 \text{ V}_{DC}$ especificada na **Seção 3.3**.

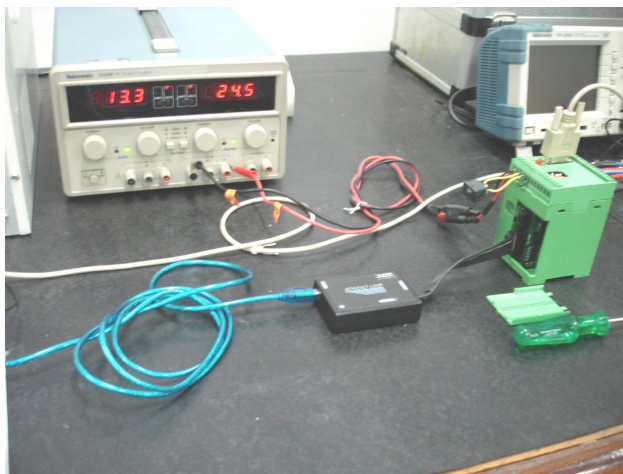


Figura 7.5: Conexões no AMIT para concepção e depuração do *firmware*, bem como para testes de comunicação.

A segunda bancada de teste, e a mais antiga, foi montada no Laboratório de Máquinas Elétricas (LME) do Departamento de Engenharia Elétrica da Escola Politécnica da Universidade Federal da Bahia (DEE-EP-UFBA), ilustrada na **Figura 7.6**.



Figura 7.6: Bancada de testes utilizada no DEE-EP-UFBA.

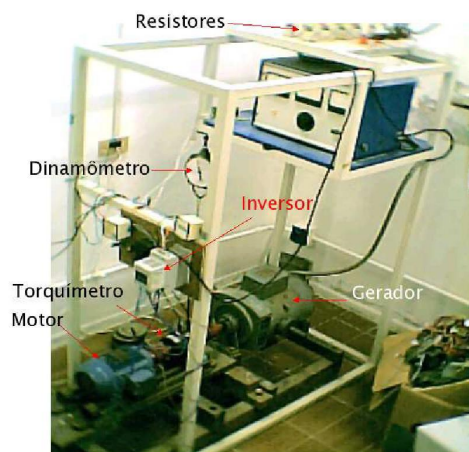


Figura 7.7: Descrição dos elementos da bancada de testes do DEE-EP-UFBA.

Como mostra a **Figura 7.7**, a bancada do LME-UFBA é constituída de um MIT com os seguintes dados de placa: $P_n = 2,0 \text{ CV}$, $\tau_n = 8,0 \text{ N.m}$, 220 V_{RMS} , $f_n = 60 \text{ Hz}$ e $p = 4$. Além do MIT, integram a bancada: um inversor escalar, um torquímetro dinâmico e tacômetros, mecânico e óptico. Além do MIT de $2,0 \text{ CV}$, foi também empregado um motor de $3,0 \text{ CV}$ no LME-UFBA para realização de ensaios. Essa bancada, bem como os dois motores citados, foram utilizados nos trabalhos descritos nas referências [11, 10], e os resultados dos ensaios foram arquivados, documentados e posteriormente aproveitados nas atividades

desta Dissertação, a exemplo, o número de ranhuras dos dois motores, sendo $R = 28$ para o MIT de 3 CV e $R = 44$ para o MIT de 2,0 CV. Além dos elementos da bancada, o ambiente disponibilizava de PC's, de um *notebook*, de um sistema de aquisição de sinais com múltiplos canais da *National Instruments*, e foram projetados e montados circuitos eletrônicos discretos, como filtros (filtros passa-baixas, passa-faixas e NOTCH) e fontes de alimentação (vide **Figura 5.58**), para o condicionamento analógico dos sinais de corrente adquiridos por meio de alicates amperímetros.

Graças a todos estes recursos disponíveis, também puderam ser empregados ferramentas e instrumentos computacionais como o *LABVIEW*, para a aquisição dos dados, e o *MATLAB*, para o processamento de sinais. Nos experimentos no LME-UFBA utilizando a bancada e essas ferramentas, a carga foi variada através de um gerador CC ligado a cargas resistivas. O inversor escalar alimentou o motor com tensão de 60 Hz e 220 V. Nos experimentos realizados foi possível verificar dificuldades na localização do componentes de frequência de excentricidade quando as condições de operação do motor concebiam torques elevados, que aumentavam a amplitude da frequência fundamental de alimentação f_1 , sobrepondo os componentes próximos, no caso, os de excentricidade f_{ecc} . Esse problema foi contornado quando da implementação do filtro NOTCH, da correção nível DC na aquisição do sinal, e do devido ajuste do ganho fornecido ao sinal de corrente. Os dados adquiridos e salvos no computador em arquivos de texto foram enviados para análise no AMIT por meio do aplicativo *ConfigAMIT*.

7.2 Teste dos Principais Elementos de *Hardware*

7.2.1 Transdutor de Corrente (TC)

No intuito de comprovar a linearidade da resposta do transdutor às variações da corrente adquirida por meio da leitura do seu campo magnético por meio do efeito Hall, obedecendo a uma função de transferência representada por uma reta $f(x) = ax + b$, e ao mesmo tempo para obter os coeficientes a e b dessa mesma reta, foi realizado um ensaio com o TC adotado (o HTR-50SB da *LEN*, vide **Subseção 5.3.1**).

O procedimento do ensaio consistia na aplicação de um sinal de corrente constante a um condutor no interior do TC de -15 a +15 ampères em incrementos de 1,0 A, e o valor da tensão de saída do TC foi lido na saída do circuito diferencial para aquisição de grandes e pequenos sinais, apresentado na **Subsubseção 5.3.9.1** e posteriormente anotado. Os dados levantados levaram a construção da curva apresentada na **Figura 7.8**. No ensaio foi utilizada uma fonte de corrente 0 – 35 V_{DC} / 0 – 15 A, modelo 6653A da *Agilent*. Para obtenção dos valores negativos de corrente, inverteu-se a polaridade da fonte.

A curva revelou-se linear como esperado, podendo ser expressa pela função de transferência $V_{TC}(I_{DC}) = a_{TC}I_{DC} + b_{TC}$, onde V_{TC} é a tensão de saída do TC em função da corrente de entrada I_{DC} , e $a_{TC} = 0,0791$ e $b_{TC} = -0,1289$ são, respectivamente, os coeficientes angular e linear da reta. Os coeficientes levantados foram úteis na confirmação do dimensionamento adequado do circuito diferencial, bem como para determinação dos valores do ganho do ADC para parametrização.

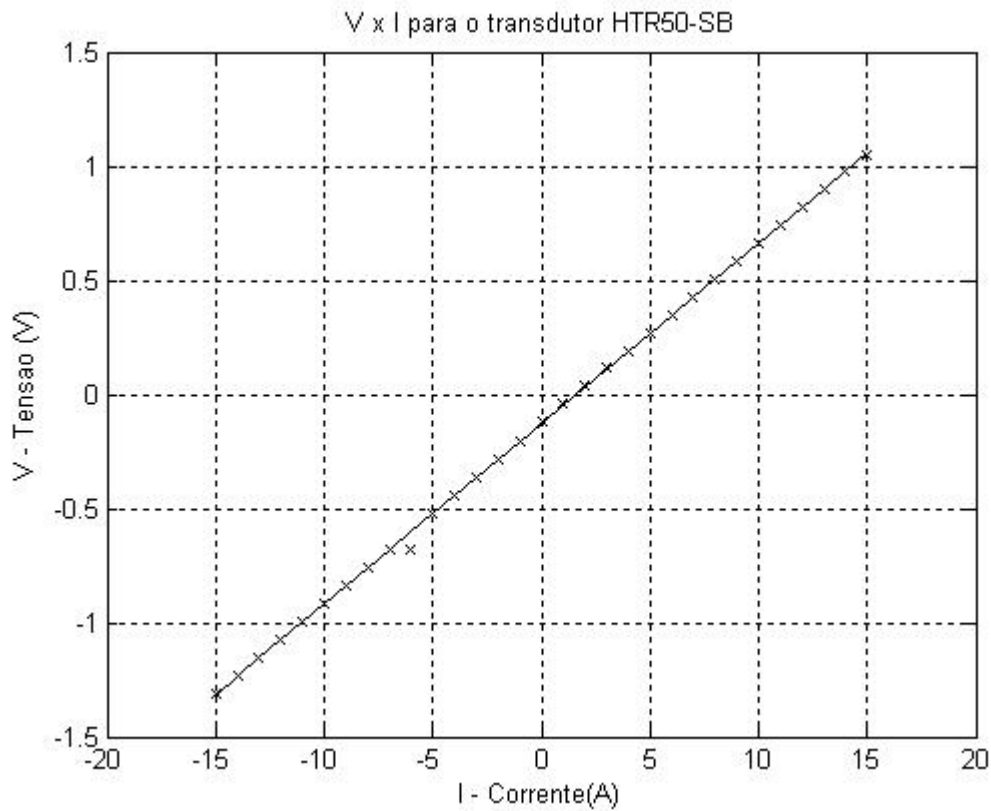


Figura 7.8: Reta “Tensão de Saída \times Corrente de Entrada” para o transdutor Hall utilizado.

7.2.2 Circuito para Aquisição de Tensões e Correntes

O circuito para aquisição de tensões e correntes é o responsável pelo condicionamento analógico dos sinais instantâneos que serão coletados para o cálculo dos valores eficazes das grandezas. Ele é constituído pelo circuito diferencial para aquisição de grandes e pequenos sinais, e pelos FPB's de 2.^a ordem MFB dimensionados com $f_c = 150 \text{ Hz}$ para demodulação do sinal PWM de alimentação (vide **Subsubseção 5.3.9.2**). Eles estão presentes nos caminhos de medição das tensões e correntes das fases ‘R’ e ‘T’ ($v_{RS}(t)$, $v_{TS}(t)$, $i_R(t)$ e $i_T(t)$). O sinal de corrente de linha do caminho da fase ‘R’, $i_R(t)$, levará à estimação da frequência de alimentação f_1 e com ela o DSP reprogramará a frequência de corte do filtro NOTCH a capacitor comutado.

Foram dois testes realizados para este circuito. O primeiro foi realizado nas mesmas condições, com a mesma instrumentação e com o mesmo objetivo e procedimentos da **Subseção 7.2.1**, com a diferença dos elementos testados serem os FPB's dos sinais de corrente das fases ‘R’ e ‘T’, ou seja, nos testes foram avaliadas a entrada e a saída destes filtros. Os dados levantados levaram à construção das curvas da **Figura 7.9** (com o comportamento do FPB do sinal de corrente de linha da fase ‘R’) e da **Figura 7.10** (com o comportamento do FPB do sinal de corrente de linha da fase ‘T’).

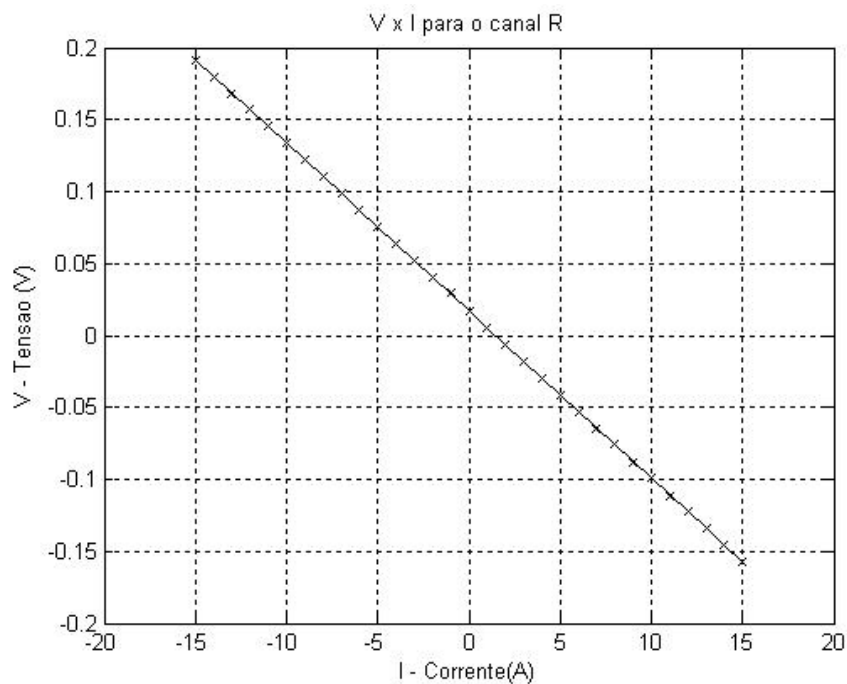


Figura 7.9: Retas "Tensão de Saída \times Corrente de Entrada" para o FPB para o sinal de corrente de linha da Fase 'R'.

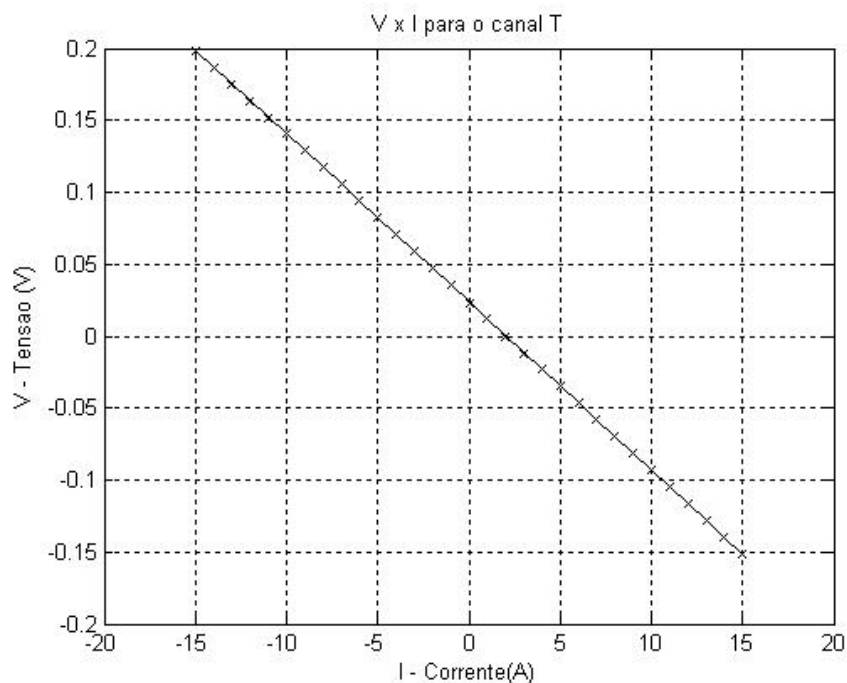


Figura 7.10: Retas "Tensão de Saída \times Corrente de Entrada" para o FPB para o sinal de corrente de linha da Fase 'T'.

Considerando a resposta maximamente plana na faixa de passagem dos FPB's (vide **Subsubseção 5.3.9.2**), a resposta dos filtros pode ser modelada pelas retas, sendo $V(I_{DC-R}) = -0,0116I_{DC-R} + 0,0172$, para o canal $i_R(t)$, e $V(I_{DC-T}) = -0,0117I_{DC-T} + 0,0238$, para o canal $i_T(t)$. Os coeficientes angulares são negativos devido a inversão de fase proporcionada pela topologia MFB (o ganho DC é negativo), e o módulo do inverso dos coeficientes angulares levaram à determinação do ganho das respectivas entradas analógicas do ADC.

O segundo teste tinha como meta comprovar o funcionamento da demodulação PWM. Para isso foram aplicados às entradas os sinais reais de tensão e corrente provenientes do conversor de frequência para alimentação do MIT. O sinal demodulado $v_{RS}(t)$ é visualizado na tela do osciloscópio apresentada na **Figura 7.11**. Observa-se ainda a presença de ruídos. Estes serão atenuados com a filtragem digital complementar realizada pelo DSP.

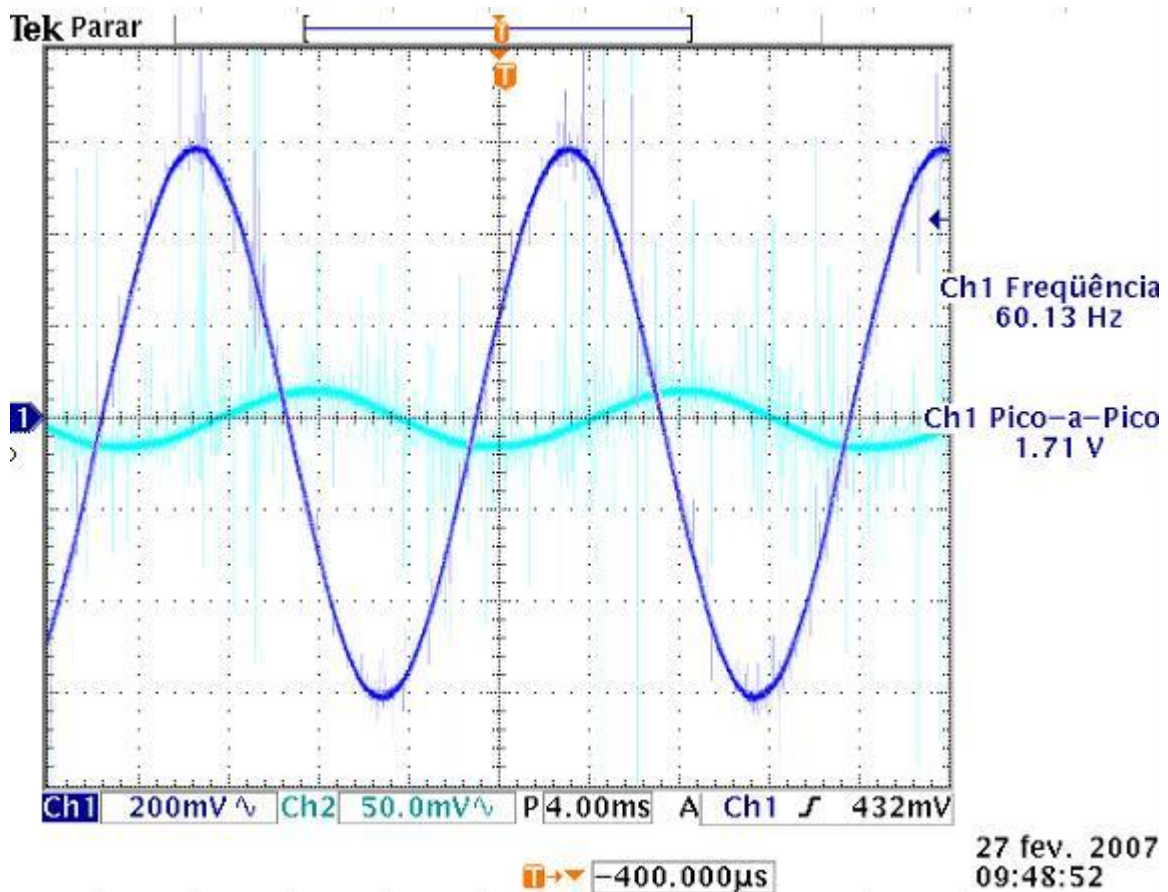


Figura 7.11: Tela do osciloscópio digital utilizado mostrando a demodulação PWM de $v_{RS}(t)$ (azul escuro) e o sinal $i_R(t)$ (azul claro).

7.2.3 Filtro a Capacitor Comutado (FCC)

Para o filtro a capacitor comutado (FCC) configurado como NOTCH (vide **Subsubseção 5.3.9.3**) é necessário testar: 1.^o) a resposta à aplicação de sinais DC, para comprovar a linearidade do seu ganho projetado fora da faixa de rejeição; 2.^o) a atenuação da frequência de corte programada; e 3.^o) a constante α que determina a frequência de corte na faixa de rejeição f_{NOTCH} em função da frequência do seu sinal digital de *clock*, f_{clock} , na equação:

$$f_{NOTCH} = \alpha f_{clock} \quad (7.1)$$

O primeiro teste foi realizado nas mesmas condições, com a mesma instrumentação e procedimentos da **Subseção 7.2.1**, com a diferença dos sinais de tensão medidos serem os da a entrada e da saída do FCC. A curva levantada é mostrada na **Figura 7.12**. Os coeficientes determinados $a_{FCC} = 2,5003$ e $b_{FCC} = 0,1196$ foram úteis no dimensionamento dos ganhos do AGC após a saída do FCC (vide **Subsubseção 5.3.9.4**).

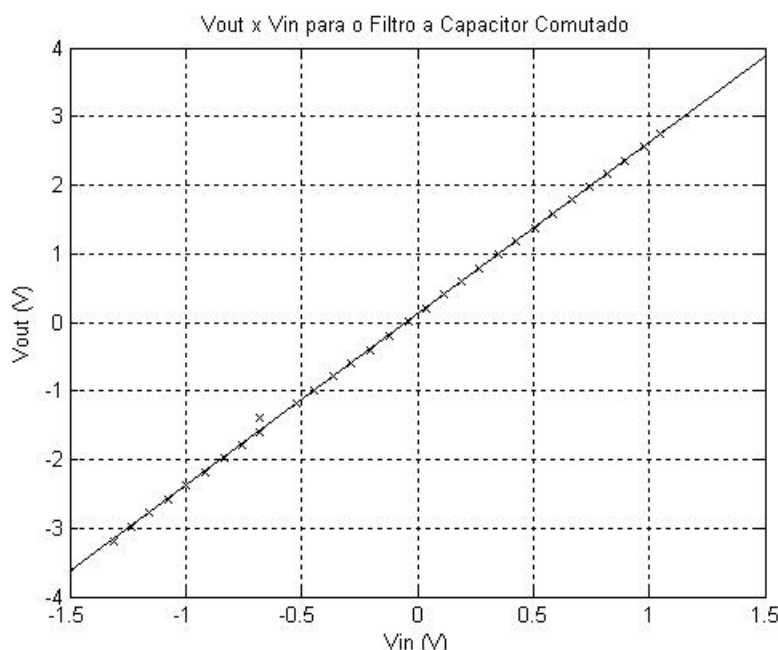


Figura 7.12: Reta “Tensão de Saída × Tensão de Entrada” da resposta do filtro NOTCH a capacitor comutado (FCC) à aplicação de sinais DC.

No segundo teste foi utilizado o gerador de funções arbitrários e o osciloscópio digital, ambos citados na **Seção 7.1**. Um dos canais do gerador foi configurado com um sinal senoidal e aplicado à entrada do FCC e o outro com um sinal digital padrão TTL e aplicado na entrada de *clock* do FCC. A frequência do sinal senoidal foi variada enquanto a frequência do sinal de *clock* foi mantida constante com um valor ajustado para que o FCC atenuie a frequência de 60 Hz, no caso, $f_{clock} = 11,0 \text{ kHz}$. Parte da seqüência do teste é mostrada nas telas do osciloscópio nas **Figuras 7.13, 7.14 e 7.15**.

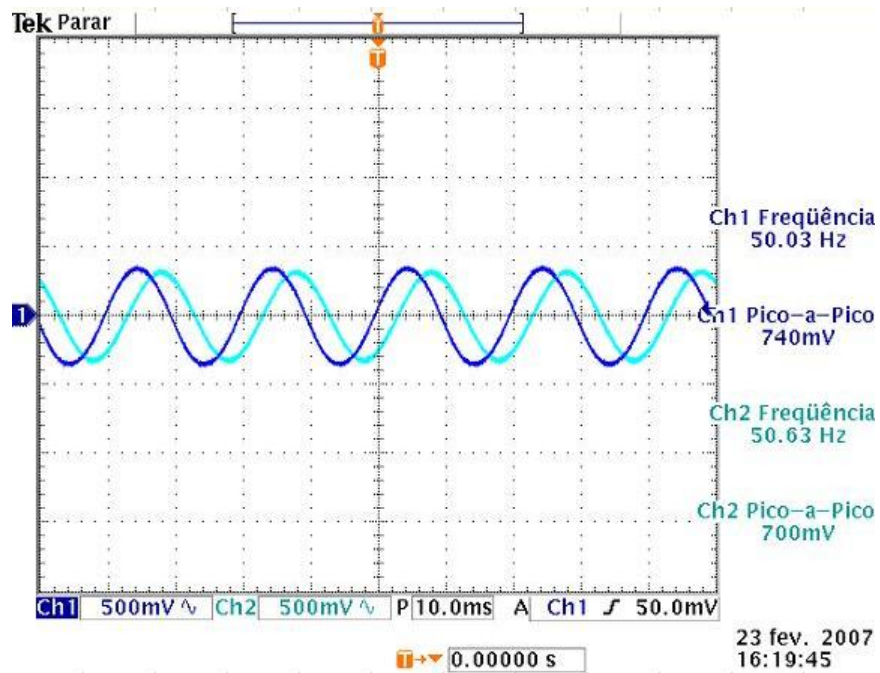


Figura 7.13: Tela do osciloscópio digital utilizado mostrando o sinal de saída do FCC (azul claro), programado para atenuar sinais de 60Hz , em resposta à aplicação de um sinal senoidal de 50Hz na entrada (azul escuro).

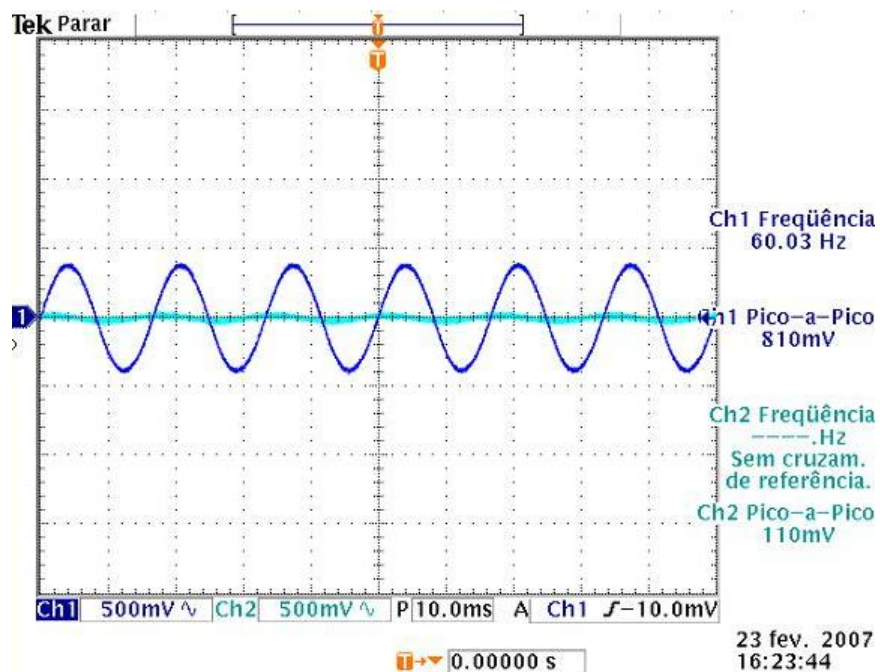


Figura 7.14: Tela do osciloscópio digital utilizado mostrando o sinal de saída do FCC (azul claro), programado para atenuar sinais de 60Hz , em resposta à aplicação de um sinal senoidal de 60Hz na entrada (azul escuro).

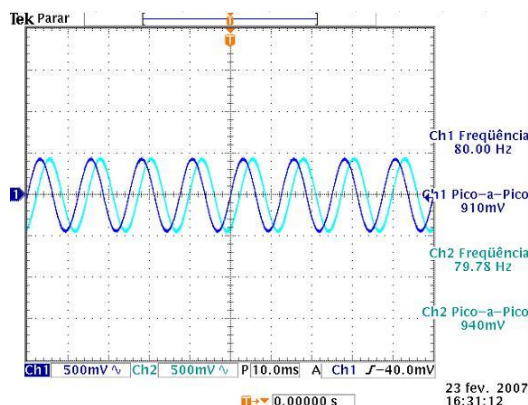


Figura 7.15: Tela do osciloscópio digital utilizado mostrando o sinal de saída do FCC (azul claro), programado para atenuar sinais de 60Hz , em resposta à aplicação de um sinal senoidal de 80Hz na entrada (azul escuro).

Os exemplos mostrados acima comprovam a atenuação da frequência de corte programada ($f_{NOTCH} = 60\text{ Hz}$) e a passagem das frequências 50Hz e 80 Hz , que estão fora da faixa de rejeição (antes e depois dos 60 Hz). No entanto, como pôde-se notar na **Figura 7.14**, a atenuação dos 60Hz está aquém da esperada. Isso porque não foi utilizado um valor adequado para a constante α na equação (7.1). Daí a necessidade do terceiro ensaio.

O terceiro teste utilizou os mesmos equipamentos e configurações de ligação do segundo, mas com o procedimento oposto, ou seja, o sinal senoidal de entrada foi mantido com frequência fixa enquanto a frequência do sinal digital da entrada de *clock* (f_{clock}) era variada, anotando-se o valor o de f_{clock} que provoca a maior atenuação e calculando-se posteriormente o valor de α por meio de (7.1), fazendo a frequência de entrada igual a f_{NOTCH} . Como exemplo, a curva resultante do ensaio para $f_{NOTCH} = 60\text{ Hz}$ é apresentada na **Figura 7.16**. Foram realizados testes com outras frequências além de 60 Hz . Foi aproveitada a média dos melhores valores de α , convergindo para $\alpha = 200$, como dimensionado na **Subseção 5.3.9.3**.

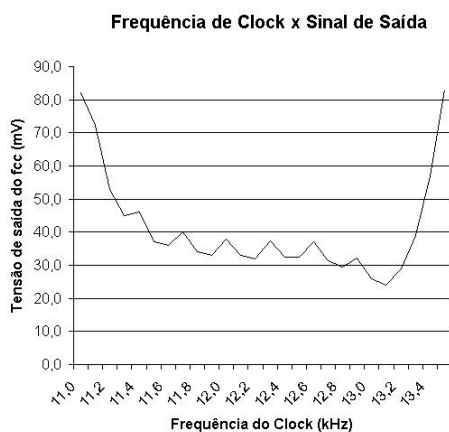


Figura 7.16: Gráfico mostrando a atenuação do sinal provocada pelo FCC em função da frequência de *clock* aplicada.

7.3 Teste dos Principais Elementos do *Firmware*

7.3.1 Comunicação utilizando o protocolo *Modbus/RTU*

Um dos primeiros módulos implementados no *firmware* do AMIT foi o de comunicação, decisão essa tomada de forma estratégica para permitir criar um ambiente interno de depuração própria do *firmware*. Assim, no início, a primeira funcionalidade da aplicação da máquina de controle do sistema (vide **Subseção 6.5.1**) era fazer o equipamento trabalhar passo-a-passo e como um coletor de dados, sejam amostras ou FLAG's e estados do sistema.

Para concepção, teste e avaliação do desempenho da comunicação, como também para validação do protocolo *Modbus/RTU* implementado, foi utilizada a versão de demonstração do software “*ASE2000 Communication Test Set*” da *Applied Systems Engineering*. O *ASE2000* (**Figura 7.17**) permite monitorar a testar a comunicação entre estações, bem como simulá-las. Ele possui diversos protocolos, dentre eles o *Modbus/RTU* oficial completo.

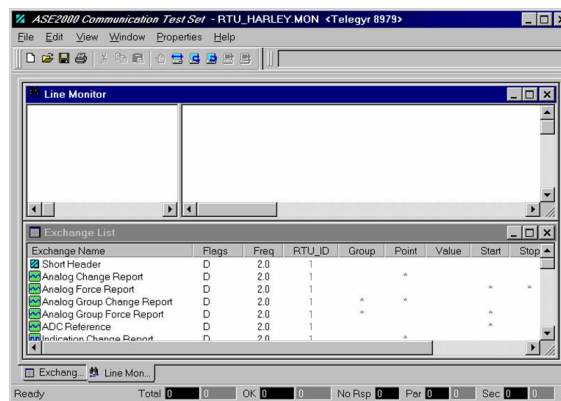


Figura 7.17: Versão de demonstração do *software ASE2000*, empregada dos testes de comunicação utilizando o *Modbus/RTU*.

Durante os testes de comunicação e funcionamento do equipamento, o tempo de resposta foi praticamente imediato para o usuário, mesmo com várias rotinas sendo executadas pelo DSP após todos os módulos do *firmware* implementados. Uma vez com o módulo de comunicação pronto, testado e validado, o *ASE2000* foi substituído pelo programa *ConfigAMIT*, descrito na **Seção ??**.

7.3.2 Aquisição de Sinais e Filtragem Digital

Para testar o módulo de aquisição implementado no *firmware* do DSP foram utilizados os recursos de depuração do IDE do CCS (vide **Subseção 6.3**). O CCS permite a criação de *displays* gráficos onde os dados plotados são o conteúdo de endereços da memória RAM, externa ou interna, definidos à partir da identificação do endereço inicial (ou por um nome atribuído à variável ou por um número) até o limite de 2048 endereços consecutivos, constituindo um vetor de dados. O objetivo deste teste é a comprovação do perfeito funcionamento da aquisição de amostras de todos os canais, bem como sua posterior filtragem pelos filtros digitais IIR de 5.^a ordem (vide Subseção 6.5.2).

O procedimento de teste consistiu na inserção de um *breakpoint* (ponto de parada) no ponto do *firmware* após a filtragem das amostras adquiridas dos 5 canais do ADC. Na **Figura 7.18** têm-se a plotagem das amostras instantâneas de tensão de linha entre as fases ‘R’ e ‘S’ ($v_{RS}[n]$) e na **Figura 7.19** a plotagem das amostras instantâneas da corrente de linha da fase ‘R’ ($i_R[n]$).

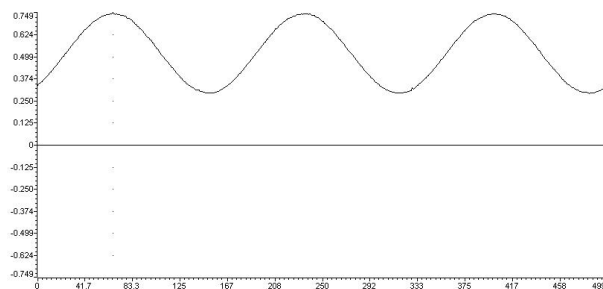


Figura 7.18: *Display* gráfico do CCS plotando as amostras coletadas $v_{RS}[n]$.

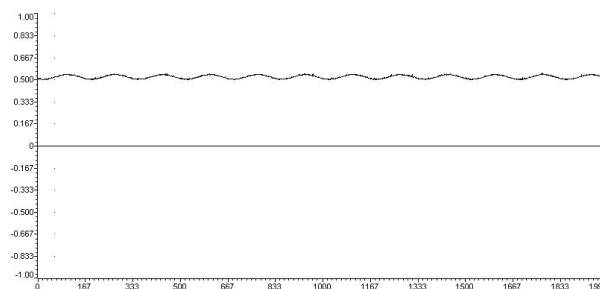


Figura 7.19: *Display* gráfico do CCS plotando as amostras coletadas $i_R[n]$.

Nas figuras apresentadas, os sinais adquiridos estão mais nítidos (com menos ruídos) do que os obtidos pelo condicionamento analógico apresentados na tela do osciloscópio (vide **Figura 7.11**), comprovando o funcionamento dos filtros implementados bem como o reforço proporcionado à filtragem exercida pelo condicionamento analógico.

7.3.3 Captura e Atenuação da Frequência de Alimentação do MIT

O objetivo deste teste era verificar a programação da frequência de rejeição do FCC f_{NOTCH} para atenuação de f_1 da alimentação do MIT. No experimento foi utilizado novamente o recurso dos *displays* gráficos da plataforma CCS e os mesmo *breakpoint* da **Subseção 7.3.2**. O gráfico das amostras adquiridas do sinal do canal do sinal de corrente com f_1 atenuada (o canal onde o FCC atua) é mostrado na **Figura 7.20**.

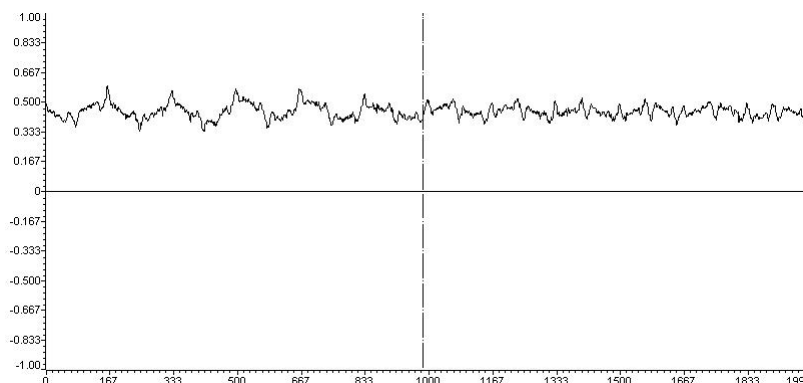


Figura 7.20: *Display* do CCS plotando as amostras coletadas $i_R[n]$ filtrada pelo FCC NOTCH (sem a componente fundamental f_1).

Nessa figura é visível o efeito da estimação de f_1 pelo firmware do DSP e o ajuste da f_{clock} do FCC. Depois de um determinado ponto no gráfico (linha vertical tracejada), o DSP consegue estimar f_1 , e ela é atenuada ao máximo, restando apenas os componentes de frequência, comprovando programação bem sucedida da f_{NOTCH} do FCC.

7.3.4 Estimação do Valor das Grandezas

A partir daqui serão feitos os testes com o sistema completo a fim de estimar as grandezas elétricas e mecânicas do MIT em plena operação em regime. A estação do CFW-09 foi ligada e o MIT foi posto em operação com uma carga indicada pela força $F = 11N$ no dinamômetro da estação (**Figura 7.21**) com uma frequência de alimentação de $f_1 = 59,8 Hz$, mostrada na tela da IHM da **Figura 7.22**.

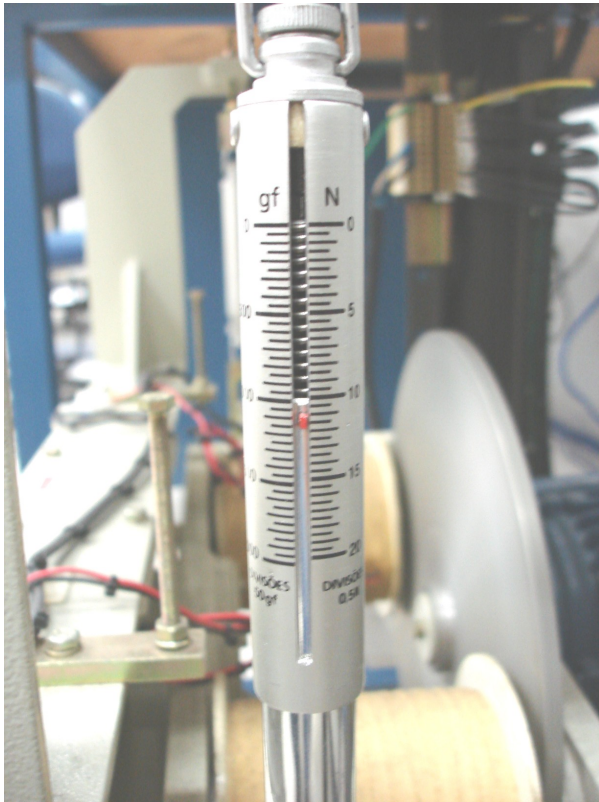


Figura 7.21: Dinamômetro da estação do inversor CFW-09 marcando $F = 11 N$, que resulta em um torque $\tau = 3,3 N.m$.



Figura 7.22: IHM do conversor CFW-09 mostrando a frequência fundamental de alimentação $f_1 = 59,8 Hz$.

Como mostra a **Figura 7.21**, o dinamômetro (instrumento para medição de forças - F) é graduado de 0 a 20 N, com um erro teórico de 0,25 N (metade da menor divisão da graduação). A medição do valor do torque utilizando este instrumento foi feita multiplicando-se o valor de leitura da força por 0,3, que é o comprimento, em metros, do braço de alavanca a qual o dinamômetro tem fixada a sua extremidade móvel.

Sendo assim, a medição do torque pelo dinamômetro (em newtons-metro $N.m$) é equacionada como:

$$\tau = 0,3 F \quad (7.2)$$

Dessa forma, por (7.2), para $F = 20 N$ lido no dinamômetro, $\tau = 6,0 N.m$, que é o valor de τ_n para o MIT de 1,5 CV utilizado pela estação CFW-09. Com o valor $F = 11 \pm 0,25 (N)$ lido no dinamômetro da **Figura 7.21**, o valor do torque por (7.2) será $\tau = 0,3F \simeq 0,3 \times 11 \therefore \tau \simeq 3,3 \pm 0,825 (N.m)$.

A partir da evolução do torque desenvolvido no eixo do MIT, desde a operação em vazio ($\tau \simeq 0 N.m$) até o torque $\tau = 3,3 N.m$, temos na **Figuras 7.23 e 7.24** o acompanhamento da variação da carga por meio da posição do componente de ranhura f_{sh} no espectro.

A **Figura 7.23** é a plotagem dos resultados da DFT modificada em um dos *displays* gráficos do CCS, aplicada à faixa calculada para $s_{min} = 0$ e $s_{max} = 1,25s_n$ na situação de ausência de carga no eixo do MIT ($\tau \simeq 0 N.m$), enquanto que a **Figura 7.24** é a plotagem dos resultados da DFT modificada na mesma faixa, mas na situação para $\tau = 3,3 N.m$ mostrada na **Figura 7.21**. Em ambas figuras, a linha vertical tracejada indica a frequência onde f_{sh} aparece. Para obter esse gráfico no CCS, o *breakpoint* foi posicionado no ponto em que f_{sh} é detectada.

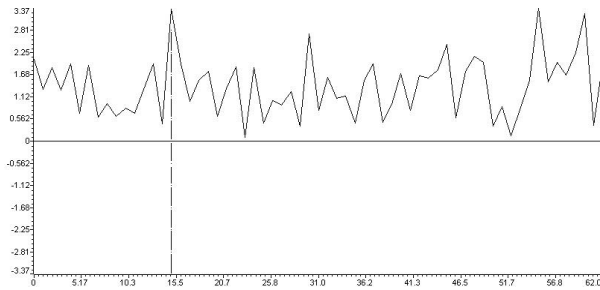


Figura 7.23: *Display* do CCS plotando os pontos da DFT modificada para a busca de f_{sh} (linha vertical tracejada), com o MIT operando sem carga ($\tau \simeq 0 N.m$).

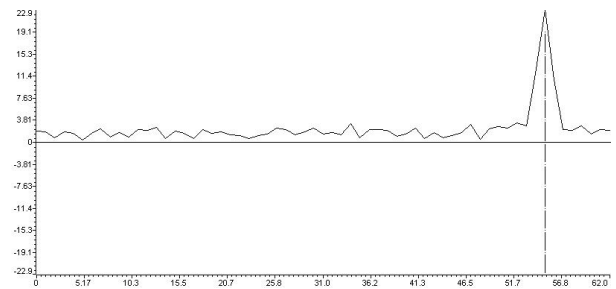


Figura 7.24: *Display* do CCS plotando os pontos da DFT modificada para a busca de f_{sh} (linha vertical tracejada), com o MIT operando com $\tau = 3,3 N.m$.

Nota-se claramente nessas figuras que para $\tau = 3,3 N.m$ (**Figura 7.24**) o componente se destaca claramente em relação aos outros componentes, e sua localização tende ao fim da faixa como foi mostrado na **Figura 4.17**. Em oposição, na figura para $\tau \simeq 0 N.m$, f_{sh} se aproxima do início da faixa de localização e sua amplitude diminui, não mais se destacando e podendo comprometer sua detecção.

Como resultado, a versão do algoritmo da DFT modificada (vide **Figura 6.16**) para o *firmware* do DSP funcionou como esperado e apresentou um resultado satisfatório. A estimação do torque bem como das outras grandezas elétricas e mecânicas foi realizado a contento com valores coerentes, que puderam ser lidos pelo programa *ConfigAMIT* utilizando o protocolo *Modbus/RTU*. A tela de supervisão do *ConfigAMIT* com os valores das grandezas estimados, inclusive o valor do torque, é mostrada na **Figura 7.25**.


```

Grandezas:

Frequência do Inversor: 59,8 Hz.
Tensão RS (VRS): 221,45 V.
Tensão TS (VTS): 220,78 V.
Corrente R (IR): 3,36 A.
Corrente T (IT): 3,22 A.
Fator de Potência (cos_fi): 0,78.
Velocidade Síncrona (ns): 1794 rpm.
Velocidade de giro do eixo (n): 1743,6 rpm.
Escorregamento (s): 2,79 %.
Torque (T): 3,25 N.m.
Carregamento (C = Imedia/In): 76 %.
Potência Mecânica (Pm): 613,6319 W.
Potência Elétrica (Pe): 713,5319 W.
Rendimento (eta = Pm/Pe): 0,8.
Corrente Estimada de Saída da Interface 4-20mA: 11,97351 mA.

Alarmes:

Frequência: NORMAL.
Loop de Corrente: NORMAL.
Tensão RS: NORMAL.
Tensão TS: NORMAL.
Corrente R: NORMAL.

```

Figura 7.25: Tela de supervisão do programa *ConfigAMIT* mostrando as grandezas elétricas e mecânicas estimadas, incluindo o torque $\tau = 3,25 \text{ N.m}$.

Pela tela apresentada, o torque estimado foi de $\tau = 3,25 \text{ N.m}$, ou seja, com um erro de apenas 1,15% em relação ao torque medido utilizando o dinamômetro, que foi de $\tau = 3,3 \text{ N.m}$. O valor da frequência de alimentação, $f_1 = 59,8 \text{ Hz}$, é idêntico ao mostrado pelo LCD da IHM do CFW-09 na **Figura 7.22**. O valor das outras grandezas estimadas mostram-se coerentes, inclusive o rendimento do MIT, que tem como dado de placa um rendimento de 0,82.

7.4 Validação da Estimação do Valor do Torque

Nesta seção serão realizados testes para levantar os erros na estimação do valor do torque pelo equipamento desenvolvido nesta Dissertação. O mesmo estudo para as outras grandezas não será aplicado, uma vez que foge a proposta de estimação da grandeza foco deste Trabalho.

Além dos erros, serão apresentados os resultados da aplicação do algoritmo de detecção automática dos parâmetros intrínsecos do MIT implementado no equipamento resultante. Os testes foram realizados no motor de 1,5 CV da estação no AMEE-CIMATEC, e com as amostras coletadas dos motores de 2,0 CV e 3,0 CV do LME-UFBA, variando a carga na região linear da curva apresentada na **Figura 4.16**, ou seja, de $\tau = 0 \text{ N.m}$ até $\tau = \tau_n$ para cada motor.

No caso dos motores de 2,0 CV e 3,0 CV, a variação da carga era simulada, enviando ao AMIT para análise arquivos de amostras coletadas com torques diferentes, por meio do protocolo Modbus/RTU utilizando o programa *ConfigAMIT*. Para cada situação de torque, se tinha 3 arquivos: o primeiro continha as amostras com f_1 , o segundo com f_1 atenuada, e o terceiro com os valores eficazes médios da tensão de alimentação do estator. Todas as amostras disponíveis nos ensaios com os motores de 2,0 CV e 3,0 CV foram obtidas mantendo $f_1 = 60 \text{ Hz}$.

7.4.1 Ensaio com o MIT de 1,5 CV

Para a bancada com o motor de 1,5 CV alimentado pelo inversor vetorial CFW-09, a detecção dos parâmetros apresentava falhas consecutivas na determinação da velocidade grosseira, em função da dificuldade da detecção das componentes de frequência de excentricidade, que eram muito pequenas para o motor, por ser de baixa potência e muito novo. A detecção ocorreu após o fornecimento da velocidade obtida por um tacômetro óptico e enviada ao AMIT pelo aplicativo desenvolvido *ConfigAMIT*. Foram detectados os parâmetros $R = 44$, $n_d = +1$ e $n_w = +1$, com um tempo de detecção em torno de 20 minutos.

Com relação a estimação do torque, os ensaios foram realizados desde a operação do motor a vazio ($\tau_n = 0 \text{ N.m}$) até o torque nominal da máquina ($\tau = \tau_n \simeq 6 \text{ N.m}$). Os resultados são apresentados nas **Tabelas 7.1, 7.2 e 7.3**, onde o “Torque Medido” é o valor obtido com o uso do dinamômetro, tomado como referência para o cálculo do erro; o “Torque Estimado” é o valor obtido pelo equipamento desenvolvido (o AMIT); o “Erro” é dado pela diferença entre o “Torque Medido” e o “Torque Estimado”; o “Erro Percentual” é o módulo do “Erro” dividido pelo “Torque Medido” e multiplicado por 100; e, por fim, f_1 é a frequência de alimentação f_1 a qual o MIT está operando, obtida pelo LCD da IHM da estação do CFW-09 como foi mostrado na **Figura 7.22**.

Devido à grande quantidade de valores possíveis para f_1 , para a realização dos testes foram escolhidas três frequências distintas de operação do MIT: uma anterior à frequência nominal de operação do MIT ($f_1 < f_n$), uma posterior à f_n ($f_1 > f_n$), e a própria f_n do MIT ($f_1 = f_n$), no caso, $f_1 = f_n = 60 \text{ Hz}$.

Torque Esperado (N.m)	Torque Medido (N.m)	Torque Estimado (N.m)	Erro (N.m)	Erro% (Módulo)	f_1 (Hz)
0,00	0,45	0,94	-0,49	108,89	48,9
1,00	1,05	1,65	-0,60	57,14	49,1
2,00	1,95	2,48	-0,53	27,18	49,3
3,00	3,00	3,17	-0,17	5,67	49,6
4,00	3,90	3,87	0,03	0,77	49,8
5,00	5,10	4,72	0,38	7,45	50,0
6,00	6,00	5,58	0,42	7,00	50,3

Tabela 7.1: Tabela do ensaio de validação do torque estimado para $f_1 = 50 \text{ Hz}$ na bancada com o MIT de 1,5 CV ($R = 44$), alimentado pelo conversor vetorial CFW-09 da WEG.

Torque Esperado (<i>N.m</i>)	Torque Medido (<i>N.m</i>)	Torque Estimado (<i>N.m</i>)	Erro (<i>N.m</i>)	Erro% (Módulo)	f_1 (<i>Hz</i>)
0,00	0,75	1,42	-0,67	89,33	58,9
1,00	1,05	1,50	-0,45	42,86	58,6
2,00	1,95	2,27	-0,32	16,41	58,7
3,00	3,15	3,33	-0,18	5,71	58,8
4,00	4,05	4,22	-0,17	4,20	59,8
5,00	5,10	5,18	-0,08	1,57	60,1
6,00	6,00	6,18	-0,18	3,00	60,3

Tabela 7.2: Tabela do ensaio de validação do torque estimado para $f_1 = 60 \text{ Hz}$ na bancada com o MIT de 1,5 CV ($R = 44$), alimentado pelo conversor vetorial CFW-09 da WEG.

Torque Esperado (<i>N.m</i>)	Torque Medido (<i>N.m</i>)	Torque Estimado (<i>N.m</i>)	Erro (<i>N.m</i>)	Erro% (Módulo)	f_1 (<i>Hz</i>)
0,00	0,30	1,00	-0,70	233,33	69,4
1,00	1,20	1,77	-0,57	47,50	69,7
2,00	1,95	2,15	-0,20	10,26	69,9
3,00	3,00	3,10	-0,10	3,33	70,3
4,00	3,45	3,55	-0,10	2,90	70,4
5,00	4,95	5,03	-0,08	1,62	70,9
6,00	5,85	5,88	-0,03	0,51	71,3

Tabela 7.3: Tabela do ensaio de validação do torque estimado para $f_1 = 70 \text{ Hz}$ na bancada com o MIT de 1,5 CV ($R = 44$), alimentado pelo conversor vetorial CFW-09 da WEG.

O comportamento do erro percentual em função do torque, obtido da análise das tabelas apresentadas, é mostrado no gráfico da **Figura 7.26**.

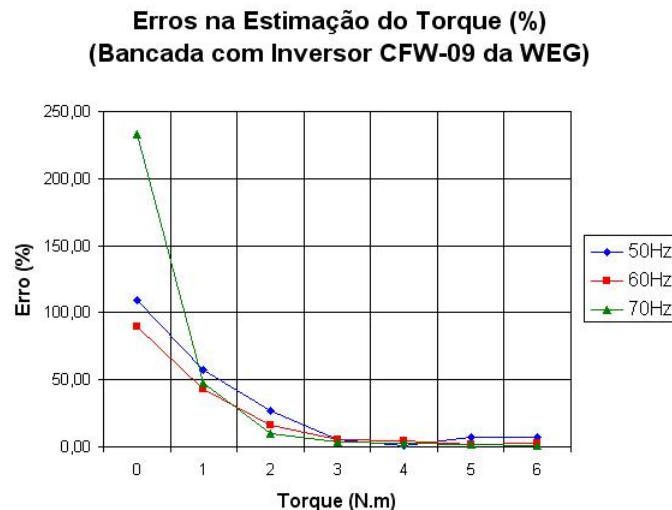


Figura 7.26: Gráfico “Torque \times Erro % (Módulo)” dos ensaios com o MIT de 1,5 CV ($R = 44$) com frequências de alimentação (f_1) de 50 Hz, 60 Hz e 70 Hz.

Segundo o gráfico da **Figura 7.26**, o maior erro é obtido próximo à operação a vazio ($\tau \simeq 0 \text{ N.m}$). Para torques superiores a 2,0 N.m o erro manteve-se na faixa dos 10%, e menores ainda quando $\tau > 2 \text{ N.m}$. A frequência de alimentação f_1 , medida e estimada, apresentaram exatamente os mesmos valores.

Por apresentar valores idênticos, não foi necessário pôr duas colunas na tabela, uma para representar a f_1 medida (pela IHM do CFW-09) e a outra para f_1 estimada.

7.4.2 Ensaio com o MIT de 2,0 CV

Para a bancada com o motor de 2,0 CV alimentado pelo inversor escalar, a determinação da velocidade grosseira após o envio dos arquivos de amostras para o AMIT foi bem sucedida, uma vez que pelo menos um dos componentes de excentricidade f_{ecc} se destacou na maioria dos casos, podendo assim ser localizado. Isso aconteceu provavelmente devido à potência maior do motor e ao fato do motor ser velho, aumentando a excentricidade do rotor em relação ao motor com o tempo de uso. A detecção dos parâmetros forneceu os resultados $R = 44$, $n_d = 0$ e $n_w = +1; +3; -5$, em um tempo médio de detecção de $\simeq 15$ minutos.

Na estimação do torque, os ensaios foram realizados desde a operação do motor em vazio ($\tau = 0 \text{ N.m}$) até o torque nominal da máquina ($\tau = \tau_n \simeq 8 \text{ N.m}$), utilizando os mesmos arquivos fornecidos. Os resultados são apresentados na **Tabela 7.4**, onde os rótulos são os mesmos das tabelas dos ensaios com o motor de 1,5 CV, com a diferença do “Torque Medido” ser o valor obtido com o uso do torquímetro dinâmico da bancada de teste, tomado como referência para o cálculo do erro, e f_1 ser a frequência de alimentação estimada pelo AMIT unicamente, uma vez que não se tinha disponível os valores de f_1 medidos para comparação. O comportamento do erro percentual em função do torque, obtido com a análise da tabela apresentada, é mostrado no gráfico da **Figura 7.27**.

Torque Esperado (<i>N.m</i>)	Torque Medido (<i>N.m</i>)	Torque Estimado (<i>N.m</i>)	Erro (<i>N.m</i>)	Erro% (Módulo)	f_1 (<i>Hz</i>)
0,00	0,74	1,16	-0,42	56,76	60,2
2,00	2,00	2,50	-0,50	25,00	60,5
4,00	4,00	3,95	0,05	1,25	60,8
5,00	5,00	4,65	0,35	7,00	61,0
6,00	6,00	5,76	0,24	4,00	61,0
7,00	7,02	6,88	0,14	1,99	61,3
8,00	8,00	7,91	0,09	1,13	61,5

Tabela 7.4: Tabela do ensaio de validação do torque estimado para $f_1 = 60 \text{ Hz}$ na bancada com o MIT de 2,0 CV ($R = 44$), alimentado por conversor escalar.

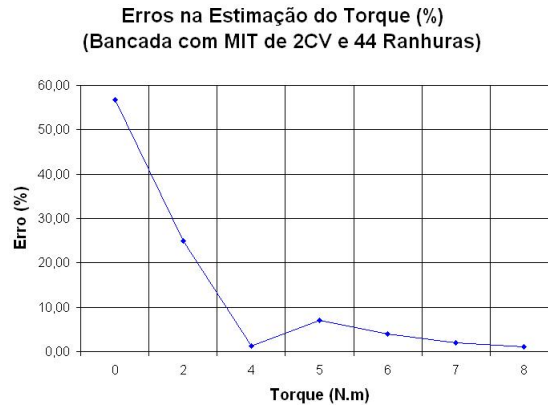


Figura 7.27: Gráfico “Torque \times Erro % (Módulo)” dos ensaios com o MIT de 2,0 CV ($R = 44$) com $f_1 = 60$ Hz.

7.4.3 Ensaio com o MIT de 3,0 CV

Para a bancada com o motor de 3,0 CV alimentado pelo inversor escalar, a determinação da velocidade grosseira após o envio dos arquivos de amostras para o AMIT também foi bem sucedida, provavelmente pelos mesmos motivos dos testes com o motor de 2,0 CV discutidos na **Subsecção 7.4.2**. A detecção dos parâmetros convergiu para $R = 28$, $n_d = 0$ e $n_w = -1; -3$, em um tempo médio de detecção também de $\simeq 15$ minutos.

Na estimação do torque, os ensaios foram realizados desde a operação do motor em vazio ($\tau_n = 0$ N.m) até o torque $\tau = 10$ N.m). Não foram feitos testes até o torque nominal da máquina, que seria $\tau = \tau_n = 12$ N.m, devido à indisponibilidade de amostras até o torque com este valor. Os resultados são apresentados na **Tabela 7.5**, onde os rótulos são os mesmos das tabelas dos ensaios com o motor de 2,0 CV apresentado na **Subsecção 7.4.2**.

Torque Esperado (N.m)	Torque Medido (N.m)	Torque Estimado (N.m)	Erro (N.m)	Erro% (Módulo)	f_1 (Hz)
0,00	0,80	1,10	-0,30	37,50	59,9
1,00	1,01	1,27	-0,26	25,74	60,0
2,00	2,02	2,30	-0,28	13,86	60,2
3,00	3,01	3,30	-0,29	9,63	60,3
4,00	4,04	3,67	0,37	9,16	60,6
5,00	5,05	4,98	0,07	1,39	60,7
6,00	6,00	5,68	0,32	5,33	60,9
7,00	7,05	7,20	-0,15	2,13	61,0
8,00	8,00	7,85	0,15	1,88	61,1
9,00	9,00	9,10	-0,10	1,11	61,4
10,00	10,00	9,91	0,09	0,92	61,5

Tabela 7.5: Tabela do ensaio de validação do torque estimado para $f_1 = 60$ Hz na bancada com o MIT de 3 CV ($R = 28$), alimentado por conversor escalar.

O comportamento do erro percentual em função do torque, obtido da análise das tabelas acima, é mostrado no gráfico da **Figura 7.27**.

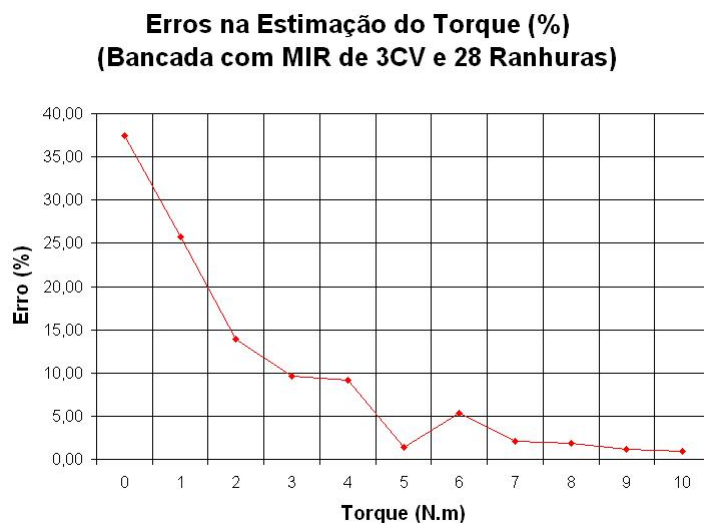


Figura 7.28: Gráfico “Torque \times Erro % (Módulo)” dos ensaios com o MIT de 3 CV ($R = 28$) com $f_1 = 60$ Hz.

7.5 Análise de Desempenho e de Erros

Nos testes realizados utilizando as amostras coletadas na bancada da UFBA e analisadas pelo AMIT, os valores obtidos na detecção de parâmetros corresponderam aos resultados apresentados na referência [11], com um tempo de detecção equivalente para os motores testados.

Foi verificado experimentalmente, a partir dos motores testados (1,5 CV, 2,0 CV e 3,0 CV), que o torque de $\tau = 4N.m$ era o mínimo necessário para o protótipo detectar os parâmetros do MIT (o número de ranhuras R e a ordem dos componentes de frequência significativos n_d e n_w , sendo K sempre mantido em $K = 1$), para escorregamentos superiores a 2%, como já especificado nos resultados transcritos em [11].

Quando há uma excentricidade muito pequena do MIT, verificada nos motores de potência muito baixa (inferiores a 2,0CV) ou muito novos, a metodologia proposta pelo algoritmo descrito na referência [11] apresentou falha na detecção das componentes f_{ecc} para estimação da velocidade grosseira de rotação do eixo do motor elétrico (n_g), utilizada como entrada para o algoritmo iterativo de detecção dos parâmetros K , R , n_d e n_w . Como solução para este problema, foi utilizada com sucesso a modificação no algoritmo [11] de forma a permitir a entrada da n_g pelo próprio usuário, obtida por outro método externo, a exemplo, por um tacômetro óptico.

Devido ao baixo poder de processamento da plataforma adotada em comparação com a plataforma original do Trabalho [11], o tempo de levantamento desses parâmetros é significativo, em torno de 15 a 20 minutos. Felizmente, é um processo que será executado uma única vez, ou no momento de instalação do equipamento ou na substituição do motor elétrico.

A utilização da metodologia de estimação do torque proposta em [10] apresentou resultados com exatidão satisfatória (abaixo de 10%) para torques superiores a 2,0 N.m, com um tempo de estimação de $\simeq 10$ segundos. O erro máximo obtido foi obtido na condição de operação do motor com torques baixos, inferiores a 2,0 N.m. O maior erro foi obtido na condição de operação do motor com torques baixos, inferiores

a 2,0 $N.m$. Como os circuitos do equipamento foram dimensionados a priori para $\tau_n = 15 N.m$, de acordo com os requisitos apresentados na **Seção 3.5**, é possível que esse fato tenha implicado na baixa exatidão em torques inferiores.

As diferenças entre os resultados da estimação do valor do torque pelo equipamento em comparação ao Trabalho da referência [10], podem ser atribuídas também a precisão do formato das variáveis, com o uso do “Formato IQ” (vide **Seção 6.1**) ao invés da representação em ponto flutuante.

De qualquer maneira, os desvios elevados na faixa dos torques reduzidos, visualizados nos gráficos da **Seção 7.4**, são inerentes a metodologia adotada e já eram esperados de acordo com o exposto na **Subsubseção 4.2.3.1**, pois atingem a região dos baixos escorregamentos, obedecendo a análise apresentada na subsubseção citada.

Uma dúvida remanescente diz respeito a precisão do valor do torque estimado dependente dos valores nominais de placa fornecidos pelo fabricante. Este último informa em seus catálogos que alguns dados, como o torque nominal, têm uma tolerância de até 10% [20] (A norma NEMA permite até 20% [10]), podendo comprometer a precisão alcançável pelo equipamento. Mas testes realizados com os valores exatos do torque nominal garantiram resultados com boa exatidão. Caso o torque nominal especificado não seja o exato, a faixa máxima do erro se tornará equivalente a faixa do erro do torque nominal do fabricante.

O maior erro médio obtido na estimação da velocidade foi de 6,0 rpm . O erro médio foi melhorado para 0,5 rpm (0,03%). No caso dos ensaios com o MIT de 1,5 CV a IHM da estação do inversor CFW-09 apresentou erros significativos na determinação da velocidade de rotação. Utilizando o valor da velocidade fornecido pela IHM na metodologia de estimação de torque, os valores obtidos para essa grandeza foram completamente incoerentes. Ao contrário do CFW-09, a velocidade estimada pelo AMIT se aproximava em todos os casos da velocidade inferida pelo tacômetro óptico utilizado como referência. Dessa forma, não é recomendável a utilização da velocidade fornecida pelo inversor como estimativa da velocidade de rotação grosseira na detecção automática de parâmetros.

A técnica adotada para a detecção da frequência do inversor (frequência da componente f_1 do sinal de alimentação), por meio da DFT modificada com alta dizimação inicial e posterior refinamento, mostrou-se eficiente e eficaz, mesmo utilizando o processamento de sinais ao invés de uma solução de *hardware*. O circuito do FCC, tendo sua frequência de corte f_{NOTCH} sendo reprogramada pelo *firmware* do DSP via entrada do sinal de *clock*, conseguiu detectar e atenuar f_1 . No entanto, a atenuação não atingiu os 60 dB esperados. Mas pela análise dos testes realizados, a atenuação foi suficiente para detecção das componentes f_{ecc} e f_{sh} .

O tempo de detecção do componente de frequência relativo ao escorregamento do motor também foi maior que o tempo de detecção no *LABVIEW* ou o tempo da simulação no PC, mas isto também se explica pelas diferenças entre as plataformas adotadas. De qualquer forma, o tempo para estimação das grandezas elétricas e mecânicas, principalmente o torque, também mostrou-se aceitável para as condições de operação no SGPA.

Foi comprovado experimentalmente o aumento do tempo de detecção de f_{sh} na condição em que há uma variação na frequência de alimentação do motor de indução f_1 provocada pelo conversor, como também na condição de baixo escorregamento. O primeiro devido ao valor não atualizado da f_{NOTCH} do filtro e ao transitório causado pela filtragem digital, e a segunda pela utilização de uma variação dos critérios a) e b)

do Trabalho [11] como variação na metodologia proposta em [10] (vide **Subseção 6.5.9**). Na condição de baixo escorregamento, o componente f_{sh} diminuiu, e mesmo ainda sendo maior que os outros componentes, ele acaba não se destacando em relação aos demais, não atendendo ao critério a) da referência [11], o que leva mais tempo para sua detecção, ou mesmo a não detecção do mesmo.

A PPG foi projetada para que o DSP TMS320F2812 trabalhasse com um cristal de 30 *MHz* e uma RAM com velocidade de acesso de 12ns, como especificado pela *Texas Instruments*, a fabricante do DSP citado. Devido a dificuldades na aquisição de componentes, como será discutido na **Seção 8.1**, a PPG do protótipo foi montada com um cristal de 24 *MHz* e uma RAM com tempo de acesso de 15 *ns*, acima do especificado pelo fabricante, levando a adição de “*wait states*” (estados de espera) de acesso a memória para evitar o corrompimento dos dados, tornando mais lenta a escrita e leitura dos mesmos na memória. O cristal abaixo do valor projetado e a memória mais lenta certamente impactaram na performance final do DSP, conseqüentemente, do equipamento como um todo.

Capítulo 8

Conclusões

As técnicas de programação e estruturação de código apresentadas como opção para concepção de *firmware* multi-tarefa obtiveram um ótimo desempenho no funcionamento, e permitiram facilidades de atualizações do *firmware* do sistema para versões futuras ou, simplesmente, para correção de problemas (“bugs”).

A implementação do algoritmo apresentado em [11] no *firmware* do equipamento proposto, mostrou-se eficaz na determinação de parâmetros intrínsecos do MIT, exceto nas condições de baixo escorregamento e de pequena excentricidade do motor elétrico.

De uma forma geral, durante a operação do sistema em regime permanente, a performance do equipamento com a utilização do Trabalho [10] mostrou-se aceitável de acordo com o requisito da **Seção 3.1**. Ainda assim, como a medição da velocidade de giro do MIT é difícil tanto quanto a medição do torque no sistema BCP devido a impropriedades das considerações mecânicas e de confiabilidade envolvidas no acoplamento de tacômetros ou *encoders* ao eixo do motor, a estimação da velocidade por meio da análise do espectro do sinal de corrente, de qualquer uma das fases que alimentam o motor, mesmo sendo uma solução não muito rápida dada a utilização da plataforma adotada, torna-se mais adequada e aplicável.

Pelo fato do estudo ter sido realizado em motores de indução trifásicos, bem como pelas restrições de custo impostas ao equipamento, este resultou numa versão de uso específico, não podendo ser aplicada, no momento, a outros sistemas de elevação de petróleo que não sejam o BCP, como o BM ou BCS (Bombeio Centrífugo Submerso). Além disso, o equipamento será de uso exclusivo em MIT's de 1,5 CV a 15,0 CV, não podendo ser utilizado em motores elétricos monofásicos ou bifásicos ou fora desta faixa. Por outro lado, os conhecimentos adquiridos com o desenvolvimento deste Trabalho possibilitarão o desenvolvimento de novas soluções para outros motores ou outras condições de operação não especificadas neste projeto.

O AMIT criado como fruto deste Trabalho de Dissertação, juntamente com o seu *software* “*ConfigAMIT*”, possuem características funcionais que os aproximam de um produto final de mercado. Eles atenderam aos requisitos exigidos, como dimensões, alimentação, protocolo de comunicação, não intrusividade, e os resultados deste Trabalho foram além do previsto. Como pôde ser observado nos testes de funcionamento (**Capítulo 7**), o AMIT mostrou-se pronto para trabalhar próximo de fontes de EMI, atendendo a solicitações remotas por meio do protocolo *ModBus/RTU*. O próximo passo é a comprovação do seu

funcionamento nas condições de operação de campo. Uma vez sendo isto feito, o fruto deste Trabalho será, sem dúvida, uma contribuição importante de enriquecimento para o Sistema de Gerenciamento de Poços de Petróleo Automatizados (SGPA).

8.1 Dificuldades

A Engenharia de Desenvolvimento de Produtos está envolta em uma série de dificuldades técnicas relevantes, o que torna o tempo de desenvolvimento de um equipamento relativamente longo até a sua disponibilização no mercado. Não se trata só de projetar a topologia elétrica e fazer ensaios de bancada num laboratório. Assim, é necessário não só a concepção do projeto técnico, como também uma avaliação mercadológica.

Deve-se avaliar custos, reduzindo-os a valores mais viáveis, avaliar disponibilidade de peças em longo prazo nos fornecedores, avaliar questões mecânicas, necessidades dos clientes e pesquisa de mercado, para que se possa ter ao menos uma estimativa da absorção do produto. Em suma, o produto final deve ser vendável.

Tratando-se especificamente do desenvolvimento do equipamento proposto, e levando-se em consideração o exposto anteriormente, podemos relacionar as principais dificuldades encontradas.

Primeiramente, uma grande dificuldade ocorreu devido ao fato dos antecedentes deste Trabalho (referências [10, 11, 12]), o qual baseamos a criação do protótipo, terem seu desenvolvimento e experimentação baseadas em plataformas de alto nível, especificamente, os PC's. Estes possuem uma velocidade de processamento e capacidade de memória muito superior à plataforma proposta por este Trabalho, no caso, o DSP de ponto fixo TMS320F2812, da *Texas Instruments*. No PC podemos utilizar ferramentas computacionais de alto poder, como o *MATLAB* da *MathWorks* e o *LABVIEW* da *National Instruments*, podendo trabalhar com ponto flutuante e a altíssimas velocidades. Ferramentas de *software* como estas possuem muitos módulos prontos e “caixas pretas”. Apesar dos trabalhos anteriores terem sido concebidos conscientes da perspectiva futura de implementação num sistema dedicado, para a plataforma proposta, a qual foi escolhida para reduzir custos, dimensões e para operar em ambiente agressivo, os módulos e “caixas pretas” tiveram que ser recriados desde o início para poderem ser utilizadas futuramente, ou seja, os códigos fonte desenvolvidos no *MATLAB* e no *LABVIEW* não puderam ser aproveitados. O aproveitamento se deu apenas da metodologia e do algoritmo. Novos códigos customizados e otimizados tiveram de ser criados, aumentando o tempo e esforço de desenvolvimento. Isso pode ser evitado por meio de um trabalho de desenvolvimento integrado entre a pesquisa fundamental e a aplicada. A pesquisa, o desenvolvimento e a engenharia devem trabalhar em sinergia de idéias e conceitos. De qualquer forma, a dificuldade discutida acima gerou um desafio que justificou o trabalho desenvolvido.

De acordo com o exposto, no projeto de circuitos eletrônicos, como o equipamento é baseado em *Embedded Systems* ele possui sistemas digitais de altíssima frequência (dezenas ou centenas de *MHz*) e sistemas analógicos para condicionamento de sinais. Assim, o estudo em EMC e de redução de EMI torna-se obrigatório, até mesmo para atender a normas técnicas internacionais. Este estudo é útil para a redução dos acoplamentos indutivos, capacitivos e resistivos, difíceis de serem amenizados em muitas situações quando há um grande número de restrições. Dessa forma, um bom *layout* de PCI é requerido, podendo chegar a ser

com *multi-layer*, o que torna o equipamento mais caro. O próprio sinal do harmônico de interesse tem uma amplitude muito pouco significativa em relação a amplitude do sinal da componente fundamental (podendo chegar a 60 *dB* acima do sinal de interesse), e da ordem da amplitude dos ruídos, o que exige um bom projeto do circuito de condicionamento de sinais considerando EMC e EMI.

Podemos citar como dificuldade principal a de se criar um equipamento robusto, com boa resolução, pequenas dimensões, alto valor agregado e a um baixo custo. Isto requer uma minuciosa pesquisa anterior ao processo de execução física e ensaios de laboratório (estudo do protótipo). Essa dificuldade é comum ao desenvolvimento de equipamentos com Eletrônica Embarcada de alto valor agregado, sendo o caso do apresentado por este Trabalho. Há um elevado custo de desenvolvimento, tanto na Engenharia de *Software* quanto na Engenharia de *Hardware*. Os componentes fundamentais citados no decorrer deste Trabalho são relativamente caros (a exemplo, o sensor de efeito HALL e o DSP, que são os mais caros). A Engenharia de *Software* requer plataformas de desenvolvimento de *firmware* específicas e onerosas, cujas licenças de uso são caras e restritas a uma determinada quantidade de máquinas.

Um item que eleva bastante o custo na construção de protótipos é a pequena quantidade de peças e componentes requeridas. Para a produção de vários lotes de um mesmo produto numa fábrica, a quantidade de peças e componentes a serem adquiridas para estoque é significativa, reduzindo o custo unitário por peça. Ao contrário, no desenvolvimento de protótipos, poucas peças são requeridas, muitas até (as mais específicas) em quantidades unitárias. Nesse caso, ou os fornecedores elevam substancialmente o custo unitário, levando à um aumento de até 300% (dado levantado durante a compra de material para a construção do protótipo do equipamento proposto por esta Dissertação), ou os fornecedores simplesmente não se disponibilizam a ofertar o componente ou peça, por possuir uma política de venda que restringe o fornecimento a partir de uma quantidade mínima, o que muitas vezes superaria em muito o necessário para a construção do protótipo, elevando o custo esperado para o mesmo. Agravando mais ainda este fato, a maioria dos componentes são importados, fazendo com que devamos arcar com as taxas de importação além do próprio valor do componente, e não temos no país muitas opções de fornecimento.

De acordo com a referência [56], a dificuldade apresentada é inerente aos custos do processo inovativo, ou seja, se explica pelo fato de os custos do trabalho de pesquisa científica em escala de laboratório, mesmo usando os equipamentos mais complexos e modernos são, geralmente, menores que os custos da construção e operação de uma planta piloto ou para construir maquetes ou protótipos com instalações ou especificações que se aproximam das dimensões ou condições industriais ou de mercado. Igualmente, os custos de toda a engenharia de projetos, incluindo a engenharia de detalhe, são superiores aos gastos dos trabalhos de desenvolvimento. Tomando como referência o Trabalho desenvolvido nesta Dissertação, o protótipo foi concebido bem próximo das condições industriais e de mercado, ou seja, muito próximo de um produto que, de acordo ao que foi explicado, elevou os seus custos. Para dar uma idéia geral, qualitativa, podemos representar esquematicamente o exposto através da **Figura 8.1** [56]. O Trabalho desenvolvido insere-se nos níveis 1, 2 e 3 do gráfico. Logicamente, estas proporções podem variar, dependendo da Tecnologia.



Figura 8.1: Proporção de Custos requeridos em um Processo Inovativo.

8.2 Perspectivas

Como citado na (Seção 8.1), o custo final de desenvolvimento é elevado, principalmente quando se é o primeiro produto de uma linha. No entanto, pode-se ter a premissa da diluição do elevado custo de desenvolvimento na produção de unidades em grandes quantidades.

Mesmo com as onerosas Engenharia de *Software* e de *Hardware*, com um investimento maior na Engenharia de *Software* pode-se reduzir os custos provenientes da Engenharia de *Hardware* no desenvolvimento, e ainda tornar o equipamento mais flexível a atualizações e/ou evoluções. Esta flexibilidade será útil para fazer com que o equipamento proposto atenda futuramente a uma grande variedade de MIT's.

Além disso, um investimento maior na Engenharia de *Software*, ao invés do investimento na Engenharia de *Hardware*, é algo já praticado e continuará sendo uma tendência futura. A redução dos componentes do *hardware* e a implementação de algoritmos na eletrônica embarcada, como o processamento digital de sinais, a fim de substituir boa parte dos componentes analógicos discretos, é uma expectativa promissora. Isto fará o valor final do equipamento, estimado em no máximo R\$2.000,00 não ser proibitivo, em comparação com os torquímetros dinâmicos, que custam em torno de R\$15.000,00 (dados obtidos de acordo com levantamento feito com fornecedores em Setembro de 2007).

E em se tratando de evolução do equipamento, apesar deste Trabalho ter se comprometido à validação da estimativa do valor da grandeza torque, uma vez que o protótipo fornece também o valor de outras grandezas mecânicas e elétricas, como o escorregamento, a frequência do inversor e a velocidade do motor, pretende-se validar também o valor dessas grandezas bem como o resultado do cálculo do rendimento da máquina e do fator de potência, para apresentação do resultado com uma boa exatidão e confiabilidade. Assim, futuramente, o *know-how* poderá ser aproveitado para gerar novos produtos como, por exemplo, na linha dos qualímetros digitais genéricos para as concessionárias de energia elétrica ou específicos para utilização em motores de indução.

Dessa forma, para ser inserido na linha dos qualímetros, o produto poderá evoluir a um equipamento de mão portátil, com IHM própria, autonomia e *display* gráfico, como o da **Figura 8.2**, onde temos o Analisador Digital de Rendimento para Motores de Indução Trifásico, um protótipo de equipamento para medição de

velocidade e rendimento de MIT's, utilizando os resultados do Trabalho descrito em [12]. Este protótipo possui características de algoritmos semelhantes ao equipamento proposto por [12], numa mecânica portátil e manual e com IHM incorporada, constituída de um painel com *display* gráfico tipo LCD (*Liquid Crystal Display*). Ele foi desenvolvido pela equipe de pesquisadores da Universidade Federal da Bahia (UFBA) no Laboratório de Processamento de Sinais (LPS) do Departamento de Engenharia elétrica (DEE), como parte do Programa Anual de P&D - Pesquisa e Desenvolvimento Tecnológico - do Setor Elétrico Brasileiro, instituído pela Agência Nacional de energia Elétrica (ANEEL), ciclo 2000 - 2001. O projeto foi desenvolvido através de convênio celebrado entre a Companhia Elétrica do Estado da Bahia (COELBA) e a Universidade Federal da Bahia (UFBA). Tive a honra de participar do desenvolvimento deste protótipo, na concepção do *firmware* da IHM gráfica, no *design*, e na montagem das placas eletrônicas na caixa de acondicionamento.

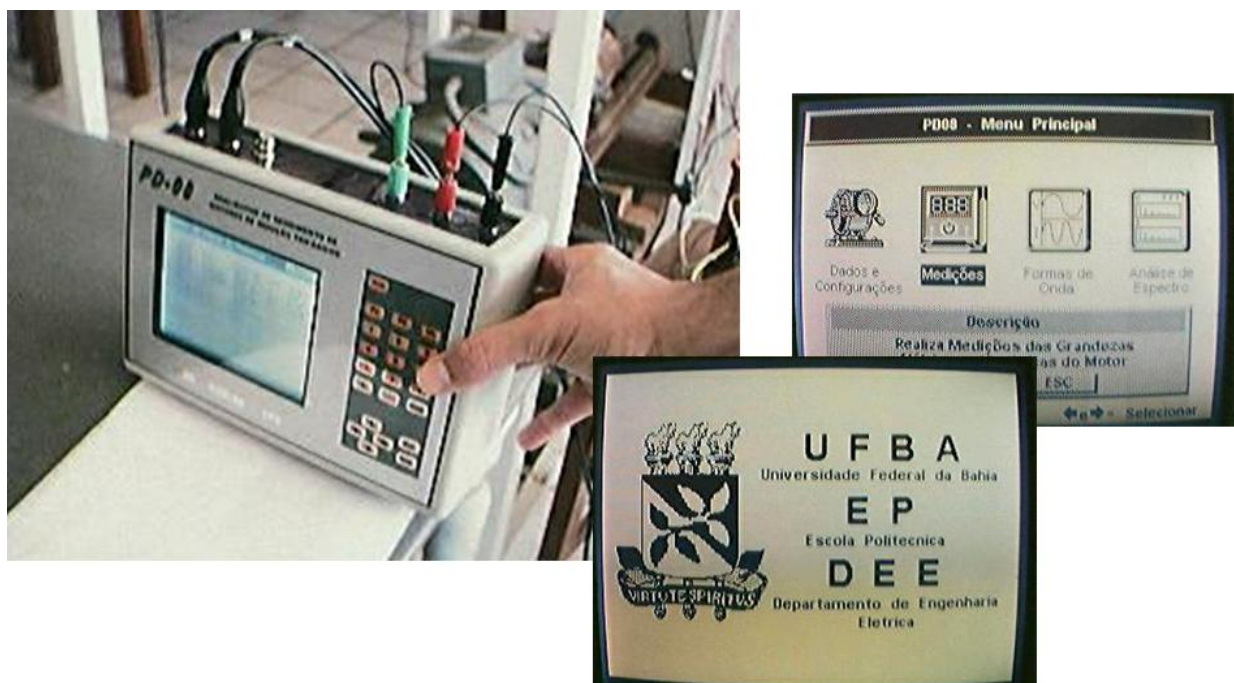


Figura 8.2: Protótipo de equipamento desenvolvido na UFBA para estimação de velocidade e rendimento de MIT's pela análise espectral do sinal de corrente do estator.

Com características como essa, adicionadas as que ele já possui, o produto derivado do equipamento proposto aqui poderá se tornar competitivo em relação aos qualímetros, torquímetros dinâmicos e analisadores de torque comerciais. Sendo estes últimos muitas vezes baseados nos transdutores de Torque e não na análise espectral, como os da **Figura 8.3**.

Nesse intuito, outra perspectiva para o protótipo construído é a sua conversão em um produto de mercado comercializável. Para tanto, faz-se necessária uma série de testes e ensaios metroológicos visando a certificação e o atendimento a requisitos de mercado, a exemplo, a obtenção do selo CE (*Community European*) de compatibilidade eletromagnética para exportação para os países europeus, além de pesquisa dos métodos de produção de produtos eletrônicos, observando a logística necessária para a fabricação de lotes.



Figura 8.3: Equipamentos comerciais da *Mountz, Inc.* para medição de torque, baseados em transdutores de torque (Cortesia da *Mountz, Inc.*).

Como o equipamento possui características inovadoras, há também a possibilidade da geração de uma patente para o produto depois da verificação da não existência de produto similar nos bancos de patentes mundiais. Infelizmente, os ensaios metrológicos, a certificação e o processo de pedido de patente requerem altos custos destinados ao pagamento de consultores de desenvolvimento e fabricação de produtos, taxas dos órgãos certificadores competentes e contratação de laboratórios especializados. Durante este processo, há a possibilidade de ter que refazer o produto parcialmente ou totalmente. Devido às características de produto já existentes no protótipo, esta última possibilidade torna-se pouco provável.

Voltando ao segmento de elevação artificial de petróleo, estudos podem ser realizados futuramente para avaliar a aplicabilidade e adequação deste equipamento para estimação do torque nos sistemas BM e BCS. No caso do BM, a curva “torque \times velocidade de (rotação)” do motor elétrico apresenta uma região onde o motor atua como gerador, representando um desafio e fonte de estudo para implementar a solução no equipamento proposto, ou num equipamento similar derivado deste. Não é descartada a hipótese da mudança de plataforma (troca do DSP por outro processador), aproveitando o *know-how* dos algoritmos e da tecnologia *hardware* já desenvolvidos. Adicionalmente, imagina-se a aplicabilidade do equipamento na análise de transitórios de partida de motores elétricos, fornecendo um recurso útil no melhor dimensionamento destes.

Caso houvesse a demanda, pode-se especular também a substituição da interface RS-232 por uma RS-485, ou uma mudança no protocolo de comunicação usado, o Modbus/RTU, pela adoção, por exemplo, do protocolo HART (*Highway Addressable Remote Transducer*), já que ambos são largamente mais encontrados na indústria (**Figura 8.4**). O protocolo HART foi introduzido pela *Fisher Rosemount* em 1980. Em 1990 o protocolo foi aberto à comunidade e um grupo de usuários foi fundado [57]. A grande vantagem oferecida por este protocolo é possibilitar o uso de instrumentos inteligentes aproveitando o cabeamento para as interfaces 4–20 *mA* tradicionais. Como a velocidade é baixa, os cabos normalmente usados em instrumentação podem

ser mantidos [58]. Os dispositivos capazes de executarem esta comunicação híbrida são denominados “*smart*” (esperto, em português).

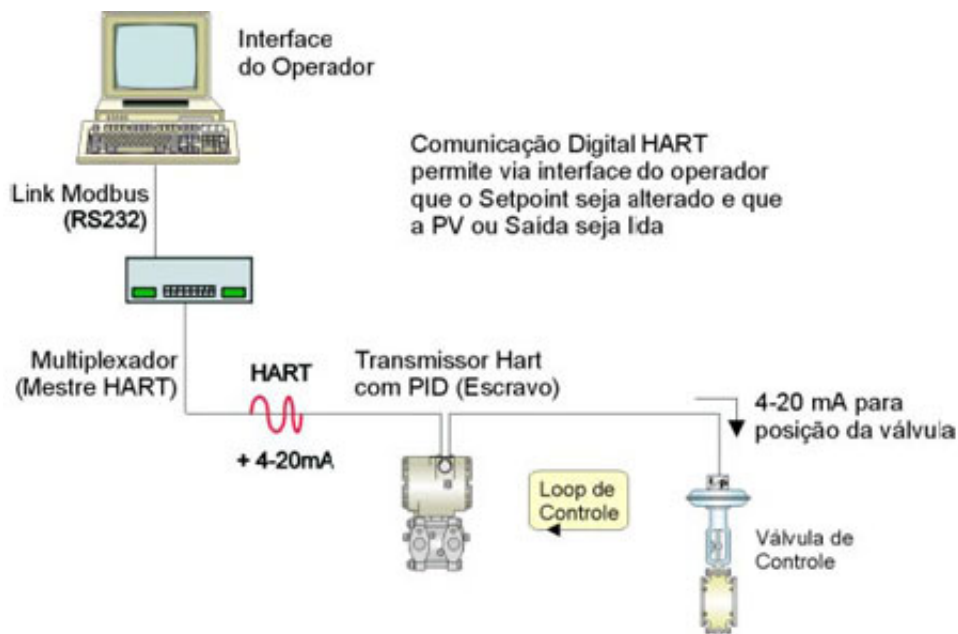


Figura 8.4: Exemplo de Aplicação com utilização do Protocolo HART.

Como o desenvolvimento do protótipo do equipamento, fruto deste Trabalho de Dissertação, é algo inovador no aspecto tecnológico, podemos citar também como as maiores expectativas sistêmicas à criação de *know-how* nacional na área de Instrumentação Eletrônica com Processamento Digital de Sinais e incentivar tecnologicamente as indústrias nacionais. No caso da aplicação deste equipamento em poços com sistemas BCP, espera-se um incremento significativo na evolução tecnológica dos sistemas de supervisão e controle de poços de petróleo e redução de custo, possibilitando a sua implementação em poços depletados, além do aumento da segurança na operação destes poços.

Capítulo 9

Considerações Finais e Gerais

O PROJETO do equipamento proposto insere-se na área de “Desenvolvimento de Produtos” [29], acompanhando as novas tendências tecnológicas dos Sistemas Embarcados (*Embedded Systems*).

Como foi discutido na **Seção 8.1**, o processo de desenvolvimento é caro. Podemos dizer que é um problema de otimização difícil de modelar e com várias restrições, mas uma vez definida a relação de compromisso entre custo, alta capacidade e pequenas dimensões, o resultado final será um produto flexível e robusto, de alto valor agregado e uma opção economicamente viável em relação às alternativas comerciais atuais.

Devido à complexidade, abrangência e custo, para a realização do Trabalho descrito nesta Dissertação até a construção do protótipo, foi necessária a criação de um projeto adequado para tal. Como Mecanismo Gerencial de Execução Multi-Institucional, o gerenciamento deste projeto foi conduzido segundo as diretrizes do PMBOK (*Project Management Body Of Knowledge* ou, em português, “Corpo de Conhecimentos em Gerenciamento de Projetos”).

O PMBOK é um guia onde descreve a somatória de conhecimentos e as melhores práticas dentro da área de gerência de projetos. Todo o conhecimento reunido neste guia é comprovado e não se restringe somente a práticas tradicionais, mas também às inovadoras e avançadas. Ele é um material genérico que serve para todas as áreas de conhecimento, ou seja, tanto para construção de um edifício ou processo de fabricação industrial quanto para a produção de um *software*. Um outro objetivo do PMBOK é a padronização de termos utilizados em gerência de projetos [59].

O PMBOK foi compilado pela expertise do PMI (*Project Management Institute*, ou “Instituto de Gerenciamento de Projetos”, em português). O PMI, fundado em 1969, é uma instituição sem fins lucrativos, dedicada ao progresso e à divulgação das melhores práticas da atividade de Gestão de Projetos. Os conhecimentos presentes no PMBOK constituíram a linha mestra para condução do projeto do equipamento o qual resultou neste Trabalho de Dissertação, na tentativa de aplicar os conhecimentos e as melhores práticas em gerência de projetos, a qual envolve as gerências de: **integração, escopo, tempo, custo, qualidade, recursos humanos, comunicações e riscos do projeto** [59], como ilustrado na **Figura 9.1**.

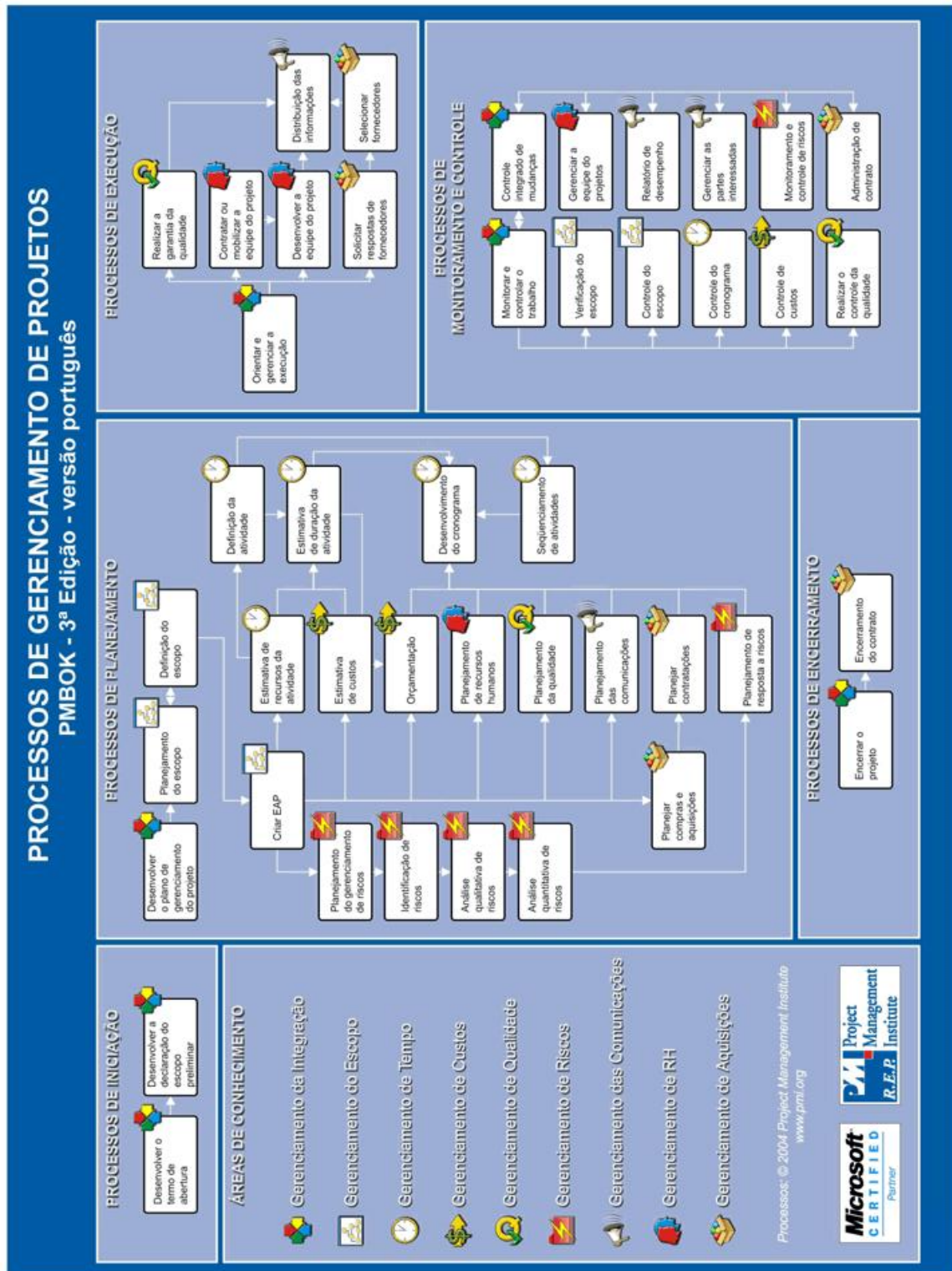


Figura 9.1: Processos de Gerenciamento de Projetos e Áreas de Conhecimento (Extraído do PMBOK, 3ª Edição).

Os recursos necessários para aquisição de componentes, equipamentos, ferramentas e *softwares* foram obtidos graças ao Projeto-10 da Rede-10 da PETROBRÁS (vide **Seção 1.4**), e ao Programa “SENAI INOVAÇÃO 2005” do SENAI (Serviço Nacional de Aprendizagem Industrial), um programa de incentivo a pesquisa e inovação das empresas nacionais por meio de aporte financeiro à parcerias entre as unidades do SENAI e empresas nacionais na realização de projetos inovadores. No caso deste Trabalho, o desenvolvimento foi realizado de forma integrada ao processo fabril da empresa de desenvolvimento e fabricação de equipamentos eletrônicos “Enautec Sistemas Eletrônicos Ltda.”, situada em Salvador-BA.

9.1 O Desenvolvimento de Produtos Eletrônicos

O desenvolvimento de produtos eletrônicos apresenta uma natureza multidisciplinar e interdisciplinar. A natureza multidisciplinar envolve a consideração de conhecimentos relacionados a, por exemplo, processamento digital de sinais, microcontroladores, eletrônica analógica e digital, eletrônica de potência, sistemas trifásicos, motores elétricos, gerência de projetos, entre outros. A interdisciplinaridade refere-se a consideração de informações multidisciplinares de forma integrada. Desta, o desenvolvimento de produtos eletrônicos deve ocorrer segundo os preceitos de Engenharia Simultânea [31, 32].

De acordo com esses preceitos, o processo de desenvolvimento de produtos como um todo envolve as fases de projeto informacional, conceitual, detalhado e de construção do protótipo. Na fase de projeto informacional ocorre o levantamento das necessidades dos clientes, requisitos de projeto e especificações de projeto. Na fase de projeto conceitual ocorre a geração de concepções do produto, e no projeto detalhado a realização de simulações técnicas dos circuitos eletrônicos de aquisição e condicionamento de sinais, análise de engenharia e detalhamento do produto. Por fim, constrói-se o protótipo do produto e realizam-se os testes finais sobre o mesmo [31, 32]. Esta abordagem foi empregada neste Trabalho.

O exposto acima foi verificado no desenvolvimento deste Trabalho, pois como pôde-se perceber, ele envolveu várias áreas de conhecimento dentro da engenharia sendo aplicados de forma integrada de forma a desenvolver um produto único.

9.2 A Inovação Tecnológica

A inovação tem a capacidade de agregar valor aos produtos de uma empresa, diferenciando-a, ainda que momentaneamente, do ambiente competitivo “comoditizado”. Inovações de produto ou de processo são conhecidas como inovações tecnológicas. Uma inovação é caracterizada como tal quando podemos medir os seus impactos no mercado. As inovações são importantes porque elas permitem que as empresas acessem novos conhecimentos, novos mercados, aumentem suas receitas, realizem novas parcerias, aumentem o valor de suas marcas [56].

Apesar do papel central das empresas, consideradas o centro da inovação pelo fato de que, por meio delas, as tecnologias, invenções, produtos, enfim, idéias, chegam ao mercado, a interação entre parceiros externos é fundamental. Sem essa parceria as inovações são dificultadas. Esses parceiros tem diversas funções, desde a realização de pesquisa e de desenvolvimento de produtos e processos, até a aplicação de investimentos ou subsídios, passando por desenvolvimento de prototipação, de pesquisa de mercado, de escalonamento de

produção, etc. Dessa forma, um conjunto de instituições forma o que conhecemos como sistema de inovação: universidades, centros de pesquisa, agências de fomento, investidores, governo e empresas com seus clientes, fornecedores, concorrentes ou outros parceiros, como diagramado na **Figura 9.2**.



Figura 9.2: Sistema de Inovação (extraído do site “www.institutoinovacao.com.br”, em 06/08/2007).

É cada vez mais freqüente o interesse pelo papel da pesquisa acadêmica como fonte de conhecimento para a empresa e para a inovação tecnológica. Não é correto pensar na Universidade como uma organização distante dos aspectos econômicos, uma instituição isolada da sociedade e incapaz de produzir conhecimento com algum potencial de inovação. Na verdade, a universidade nunca deixou de destinar parte do seu conhecimento à pesquisa aplicada, nem mesmo uma parcela dos cientistas e engenheiros produziram conhecimento absolutamente isentos do aproveitamento comercial e econômico do que descobriam ou criavam.

A patente ainda é pouco usada como indicador de desempenho inovativo, principalmente para análise setorial [6]. Atualmente, o registro de uma patente no Instituto Nacional de Propriedade Intelectual (INPI) demora de 8 a 10 anos, o que dificulta a interpretação do indicador. As patentes que foram registradas neste ano referem-se a inovações concebidas há quase uma década. A demora na concessão é apontada como entrave à inovação no país, causa incerteza nos investidores e abre espaço para que exploradores se aproveitem indevidamente dos inventos e idéias que esperam o registro.

Entre 2002 e 2005, a participação do Brasil na produção do conhecimento científico mundial passou de 1.5% para 1.8%, enquanto a participação na área de patentes ficou estagnada em apenas 0.5%. Países como Inglaterra, Alemanha, França, Canadá, Japão e Coréia do Sul, que também concedem incentivos fiscais às empresas que financiam a pesquisa universitária de ponta, respondem por 4% a 5% da produção do conhecimento científico mundial [6].

Para acelerar esse processo, são necessários investimentos em informatização do setor de registro de patentes, além de contratação e treinamento de pessoal. Outra providência necessária é a união entre o setor produtivo e as universidades. Como sugestão para acabar com esse vácuo entre a academia e a indústria, as federações industriais podem dar uma grande contribuição e, talvez, exercer o papel fundamental de liderar um movimento pela aproximação. Como consequência dessa aproximação, pode-se criar incentivos para que

uma inovação desenvolvida na academia seja feita direcionada a uma utilidade na prática. A união das duas pontas pode gerar uma cadeia de empregos, conhecimento e desenvolvimento econômico.

Segundo pesquisas feitas em 2005, os principais obstáculos para inovação apontados pelos empresários brasileiros são elevados custos, riscos econômicos excessivos e escassez de fontes de financiamento. Os investimentos das indústrias brasileiras em inovação ainda são pouco agressivos. O maior número de investimentos em P&D&I por empresas nacionais tem relação direta com o tamanho da empresa, a exemplo destas, a PETROBRÁS e a EMBRAER se destacam em investimentos em inovação tecnológica [6].

Considerando que as inovações são capazes de gerar vantagens competitivas a médio e longo prazo, inovar torna-se essencial para a sustentabilidade das empresas e dos países no futuro. Assim sendo, os benefícios da inovação não estão restritos aos das empresas. Para os países e regiões, as inovações possibilitam o aumento do nível de emprego e renda, além do acesso ao mundo globalizado.

O Trabalho desenvolvido e descrito nesta Dissertação é caracterizado como uma pesquisa aplicada, que conforme [56], se realiza em muitas ocasiões para determinar possíveis usos dos resultados da pesquisa fundamental na busca da aplicabilidade. O resultado deste Trabalho, focado nesta aplicabilidade com o desenvolvimento de novas tecnologias, possui um forte caráter inovador, podendo vir a ser um exemplo de contribuição à inovação tecnológica do país, e tendo como referência positiva a parceria entre universidade (a UFBA) e centros tecnológicos (no caso, o SENAI - CIMATEC), desenvolvendo um trabalho integrado com empresas de mercado (representada pela Enautec Sistemas Eletrônicos).

Referências Bibliográficas

- [1] A. S. Tanenbaum, *Organização Estruturada de Computadores*. Rio de Janeiro - RJ, Brasil: LTC Editora, 4th ed., 2001.
- [2] D. A. Patterson and J. L. Hennessy, *Organização e Projeto de Computadores*. Rio de Janeiro - RJ, Brasil: LTC Editora, 2nd ed., 2000.
- [3] G. de Souza Cardoso, “CLP Básico,” tech. rep., SENAI - CIMATEC - Centro Integrado de Manufatura e Tecnologia, Salvador - BA, Brasil, 2002. Material didático para o curso de CLP Básico da Área de Automação Industrial do SENAI - CIMATEC.
- [4] A. S. de Oliveira and F. S. de Andrade, *Sistemas Embarcados - Hardware e Firmware na Prática*. Tatuapé, São Paulo - SP, Brasil: Editora Érica LTDA, 2006.
- [5] P. Marwedel, *Embedded System Design*. Germany, University of Dortmund: Kluwer Academic Publishers Group, 2003.
- [6] M. Arruda, R. Vermulm, and S. Hollanda, *Inovação Tecnológica no Brasil - A Indústria em Busca da Competitividade Global*. São Paulo - SP, Brasil: ANPEI - Associação Nacional de Pesquisa, Desenvolvimento e Engenharia das Empresas Inovadoras, 2006.
- [7] P. S. R. Diniz, E. A. B. da Silva, and S. L. Netto, *Processamento Digital de Sinais - Projeto e Análise de Sistemas*. Bookman Companhia Editora, 2004.
- [8] S. Haykin and B. V. Veen, *Sinais e Sistemas*. Bookman Companhia Editora, 2001.
- [9] R. Oshana, *DSP Software Development Techniques for Embedded and Real-Time Systems*. Embedded Technology Series, Newnes, an imprint of Elsevier, 2006.
- [10] A. dos Santos Rebouças, “Uma Metodologia para Estimacão de Torque de Motor de Inducão e Auxílio à Supervisão de Poços de Petróleo com Bombeamento por Cavidades Progressivas,” Master’s thesis, Departamento de Engenharia Elétrica, Escola Politécnica, Universidade Federal da Bahia, Salvador - BA, Brasil, 2005.
- [11] V. R. V. Rodeiro, “Detecção Automática de Parâmetros do Motor de Inducão Trifásico para Estimacão da Velocidade por Análise Espectral,” Master’s thesis, Departamento de Engenharia Elétrica, Escola Politécnica, Universidade Federal da Bahia, Salvador - BA, Brasil, 2005.

- [12] S. M. das Neves Damasceno, “Uma Contribuição à Avaliação de Rendimento de Motores de Indução Trifásico,” Master’s thesis, Departamento de Engenharia Elétrica, Escola Politécnica, Universidade Federal da Bahia, Salvador - BA, Brasil, 2001.
- [13] A. dos Santos Rebouças, F. N. Serafim, M. A. Moreira, A. Oliveira, J. C. de Jesus, and V. R. V. Rodeiro, “Sistema de Supervisão de Poços de Petróleo BCP,” in *Anais do XV Congresso Brasileiro de Automática*, (Gramado - RS, Brasil), pp. 1–6, 2004.
- [14] J. E. Thomas, *Fundamentos de Engenharia de Petróleo*. Rio de Janeiro - RJ, Brasil: Editora Interciência, 2001.
- [15] R. Pallàs-Areny and J. G. Webster, *Sensors and Signal Conditioning*. John Wiley & Sons, Inc, 2nd ed., 2001.
- [16] E. Canzian, “Minicurso Comunicação Serial RS-232,” tech. rep., CNZ Engenharia e Informática Ltda., Av. Estácio de Sá, 560 - Cotia - SP.
- [17] Modbus-IDA, “Modbus Application Protocol Specification,” tech. rep., Modbus-IDA, 37 Wheeler Rd, North Grafton, MA 01536, December, 28 2006. <http://www.modbus-ida.org>.
- [18] A. Instrumentos, “Comandos de Pesagem para Modbus RTU/ASCII,” tech. rep., Alpha Instrumentos, São Paulo - SP, Brasil, 21 de Setembro 2004. Rev. 2.
- [19] A. E. FitzGerald, C. K. Jr., and A. Kusko, *Máquinas Elétricas*. São Paulo - SP, Brasil: McGraw-Hill do Brasil, LTDA., 1st ed., 1975.
- [20] WEG, “Manual de Motores Elétricos Weg,” tech. rep., WEG Equipamentos Elétricos S/A - Motores, Jaraguá do Sul - SC, Brasil.
- [21] M. H. Rashid, *Eletrônica de Potência - Circuitos, Dispositivos e Aplicações*. São Paulo - SP, Brasil: Makron Books, 1999.
- [22] N. Mohan, T. M. Undeland, and W. P. Robbins, *Power Electronics - Converters, Applications and Design*. John Wiley & Sons, Inc, 3rd ed., 2003. Media Enhanced.
- [23] U. Lázaro, “Inversores de Frequência,” tech. rep., SENAI - CIMATEC - Centro Integrado de Manufatura e Tecnologia, Salvador - BA, Brasil, 2004. Material didático para o curso de Inversores de Frequência da Área de Automação Industrial do SENAI - CIMATEC.
- [24] S. M. Filho, *Medição de Energia Elétrica*. Recife - PE, Brasil: Tipografia Esuda LTDA, 1976.
- [25] A. G. P. Garcia, “Impacto da Lei de Eficiência Energética para Motores Elétricos no Potencial de Conservação de Energia na Indústria,” Master’s thesis, Universidade Federal do Rio de Janeiro, Rio de Janeiro - RJ, Brasil, 2003.
- [26] K. D. Hurst and T. G. Habetler, “Sensorless Speed Measurement Using Current Harmonic Spectral Estimation in Induction Machine Drives,” *IEEE Transaction on Power Electronics*, vol. 11, no. 1, pp. 18–19, 1996.

- [27] M. E. H. Benbouzid, "A Review of Induction Motors Signature Analysis as a Medium for Faults Detection," *IEEE Transaction on Industrial Electronics*, vol. 47, no. 5, pp. 984–993, 2000.
- [28] P. Carbone and D. Petri, "Average Power Estimation Under Nonsinusoidal Conditions," *IEEE Transaction on Instrumentation and Measurement*, vol. 49, no. 2, pp. 333–336, 2000.
- [29] M. Baxter, *Projeto de Produto: Guia Prático para o Desenvolvimento de Novos Produtos*. São Paulo - SP, Brasil: Editora Edgard Blücher Ltda, 1st ed., 1998. ISBN 852120150-8.
- [30] G. Boothroyd, P. Dewhurst, and W. Knight, *Product Design for Manufacturing and Assembly*. New York, USA: Marcel Dekker, Inc., 1st ed., 1994. ISBN 082479176-2.
- [31] G. Pahl and W. Beitz, *Engineering Design: A Systematic Approach*. Berlin, Germany: Springer Verlag, 1996.
- [32] N. F. M. Roozenburg and J. Eekels, *Product Design: Fundamental and Methods*. England: John & Sons Ltda, 1995. ISBN 047194351-7.
- [33] M. I. Montrose, *Printed Circuit Boards Design Techniques for EMC Compliance: A Handbook for Designers*. IEEE Press Series on Electronics Technology, Wiley-Interscience-IEEE, 2nd ed., 2000.
- [34] LEM, "Current Transducers HTB 50 ... 400-P," tech. rep., LEM Electronics Co., Ltd. Datasheet.
- [35] SHARP, "PC817 - High Density Mounting Type Photocoupler," tech. rep., SHARP Microelectronics, 5700 NW Pacific Rim Blvd., Camas, WA 98607, U.S.A. Datasheet.
- [36] Agilent, "HCPL2530, HCPL0530, HCPL2531, HCPL0531, HCPL4534, HCPL0534, Dual Channel, High Speed Optocouplers - Technical Data," tech. rep., Agilent Technologies, 1999. Datasheet.
- [37] Analog-Devices, "AD420 - Serial Input 16 Bit 4 mA to 20 mA, 0 mA to 20 mA DAC," tech. rep., Analog Devices, Inc., One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A., 1999. Datasheet, REV. F.
- [38] Texas-Instruments, "MAX232, MAX232I Dual EIA-232 Driver/Receiver," tech. rep., Texas Instruments Incorporated, Dallas, Texas 75265, USA, 2002. Datasheet.
- [39] T.I., "SM320F2810-EP, SM320F2811-EP, SM320F2812-EP, SM320C2810-EP, SM320C2811-EP, SM320C2812-EP Digital Signal Processors," tech. rep., Texas Instruments Incorporated, Dallas, Texas 75265, USA, 2004. Data Manual, Literature Number: SGUS051A.
- [40] Texas-Instruments, "SN54AHC244, SN74AHC244 Octal Buffers/Drivers with 3-State Outputs," tech. rep., Texas Instruments Incorporated, Dallas, Texas 75265, USA, 1995. Datasheet, SCLS226J REV. 2003.
- [41] T.I., "TMS320F2812 Digital Signal Processor - Implementation Tutorial," tech. rep., Texas Instruments Incorporated, Dallas, Texas 75265, USA, 2002. Tutorial.
- [42] Cypress, "CY7C1041BV33 - 256K x 16 Static RAM," tech. rep., Cypress Semiconductor Corporation, San Jose, California, USA, 2001. Datasheet, Document 38-05168.

- [43] Microchip, “25AA256/25LC256 - 256K SPI Bus Serial EEPROM,” tech. rep., Microchip Technology Inc., 2005. Datasheet, Doc. number DS21822E.
- [44] TDK, “Insulated Onboard DC-DC Converter 1.5 to 25W output type: CC Series E type,” tech. rep., TDK Corporation, 2006. Datasheet, BSF-M02EA.
- [45] T.D.K., “PDC to DC Converters - Insulation Type, Ultra Compact Size, 1.5 to 25W Output, 5 year Warranty Period: CC Series E type,” tech. rep., TDK Corporation, 2006. Datasheet, 002-02/20060413/ea335cce.
- [46] Burr-Brown, “DCR01 Series - Miniature, 1W Isolated Regulated DC/DC Converters,” tech. rep., Burr-Brown Corporation is a Subsidiary of Texas Instruments Incorporated, 2003. Datasheet, SBVS013C.
- [47] Texas-Instruments, “PT5060 Series: 9W +5V Input Dual-Output Integrated Switching Regulator,” tech. rep., Texas Instruments Incorporated, Dallas, Texas 75265, USA, 2001. Datasheet, SLTS027B.
- [48] T.I., “TPS767D301, TPS767D318, TPS767D325 Dual Output Low Drop Out Voltage Regulators,” tech. rep., Texas Instruments Incorporated, Dallas, Texas 75265, USA, 1999. Datasheet, REV. 2003.
- [49] A. S. Sedra and K. C. Smith, *Microeletrônica*. São Paulo - SP, Brasil: Pearson, Makron Books, 4th ed., 2004.
- [50] G. E. Tobey, J. G. Graeme, and L. P. Huelsman, *Operational Amplifiers - Design And Applications*. Electrical and Electronic Engineering Series, McGraw-Hill Book Company, 1989.
- [51] Linear-Technology, “LTC1068 Series - Clock-Tunable, Quad Second Order, Filter Building Blocks,” tech. rep., Linear Technology Corporation, California, USA, 2000. Datasheet, REV. A.
- [52] A. P. Júnior, *Eletrônica Analógica - Amplificadores Operacionais e Filtros Ativos: Teoria, Projetos, Aplicações e Laboratório*. Porto Alegre - RS, Brasil: Bookman Companhia Editora, 6th ed., 2003.
- [53] Burr-Brown, “OPA404 - Quad High-Speed Precision Difet Operational Amplifier,” tech. rep., Burr-Brown Corporation is a Subsidiary of Texas Instruments Incorporated, 1995. Datasheet.
- [54] Phoenix-Contact, “Printed Circuit Board Connection COMBICON 2005,” tech. rep., Phoenix Contact, Blomberg, Germany, 2005. Catálogo de Produtos e Manual.
- [55] M. P. Mokarzel and K. P. M. Carneiro, *Internet Embedded - TCP/IP para Microcontroladores*. Tatuapé, São Paulo - SP, Brasil: Editora Érica LTDA, 2004.
- [56] T. W. Sáenz and E. G. Capone, *Ciência, Inovação e Gestão Tecnológica*. Brasília - DF, Brasil: IEL - Instituto Euvaldo Lodi e SENAI - Departamento Nacional, 2002.
- [57] C. S. Filho, “Introdução ao Protocolo HART,” tech. rep., Departamento de Engenharia Eletrônica da UFMG, Minas Gerais, Brasil.
- [58] R. Helson, “HART Tutorial,” tech. rep., HART Communication Foundation, 9390 Research Blvd., Suite I-350, Austin, Texas 78759 USA.
- [59] K. Heldman, *Gerência de Projetos: guia para o exame oficial do PMI*. Rio de Janeiro - RJ, Brasil: Editora CAMPUS/Elsevier, 3rd ed., 2006. Tradução de Luciana do Amaral Teixeira.

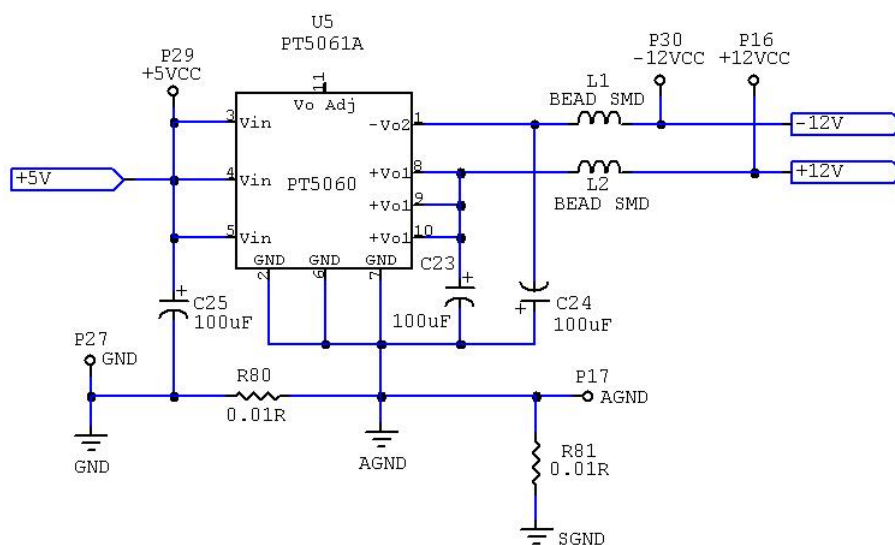
Apêndice A

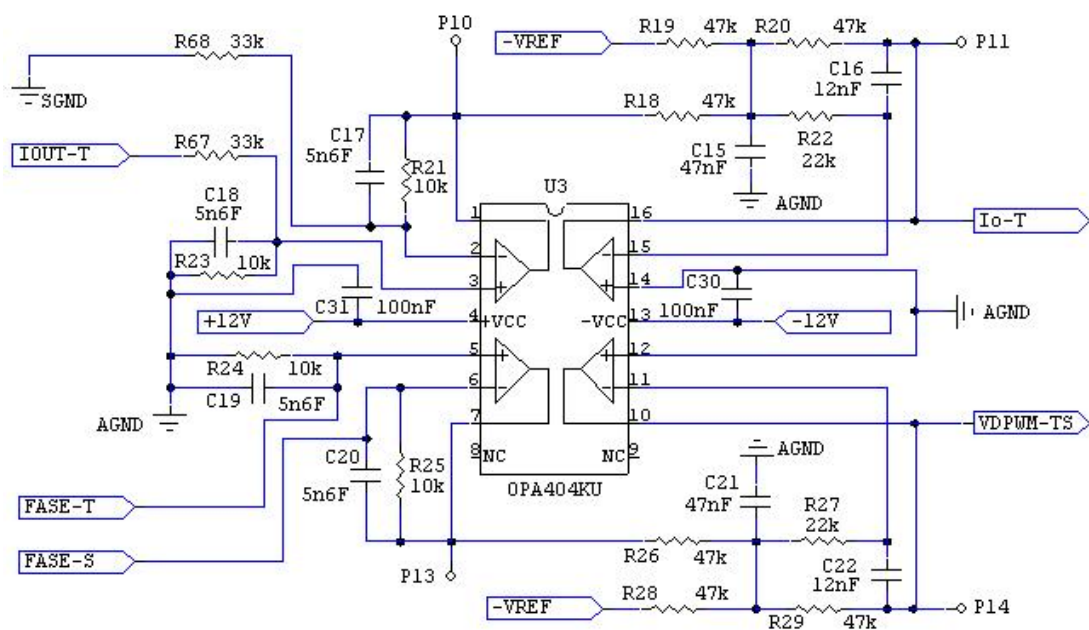
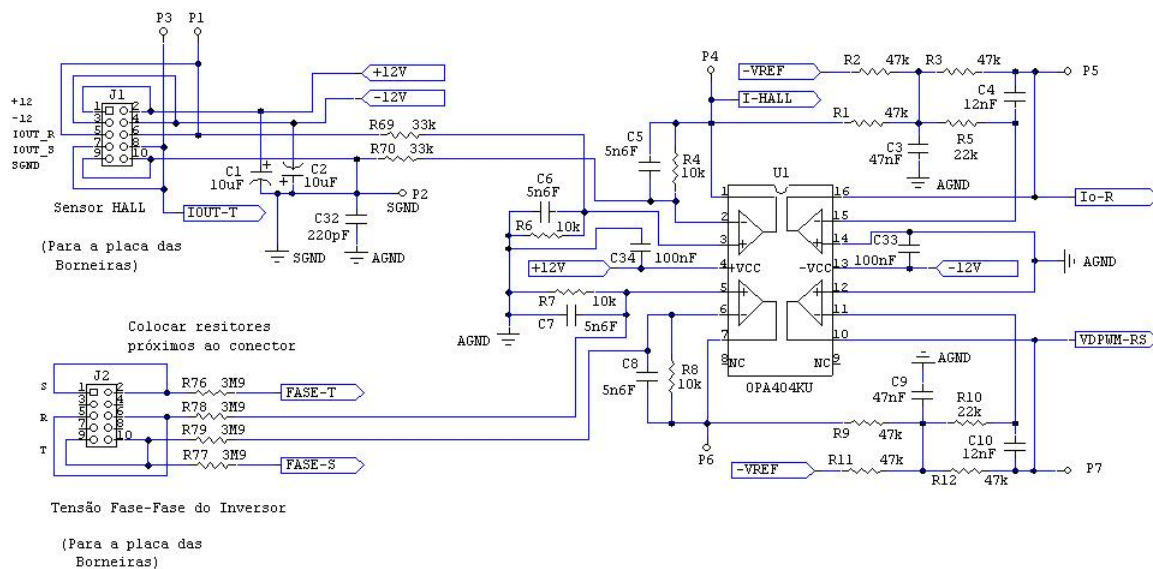
Esquemático da Placa de Condicionamento de Sinais (PCS)

PROJETO ANALISADOR DE MIT PARA PETROBRÁS
CIMATEC/UFBA/ENAUTEC
SENAI INOVAÇÃO 2005
ENG. CLEBER V. R. ALMEIDA

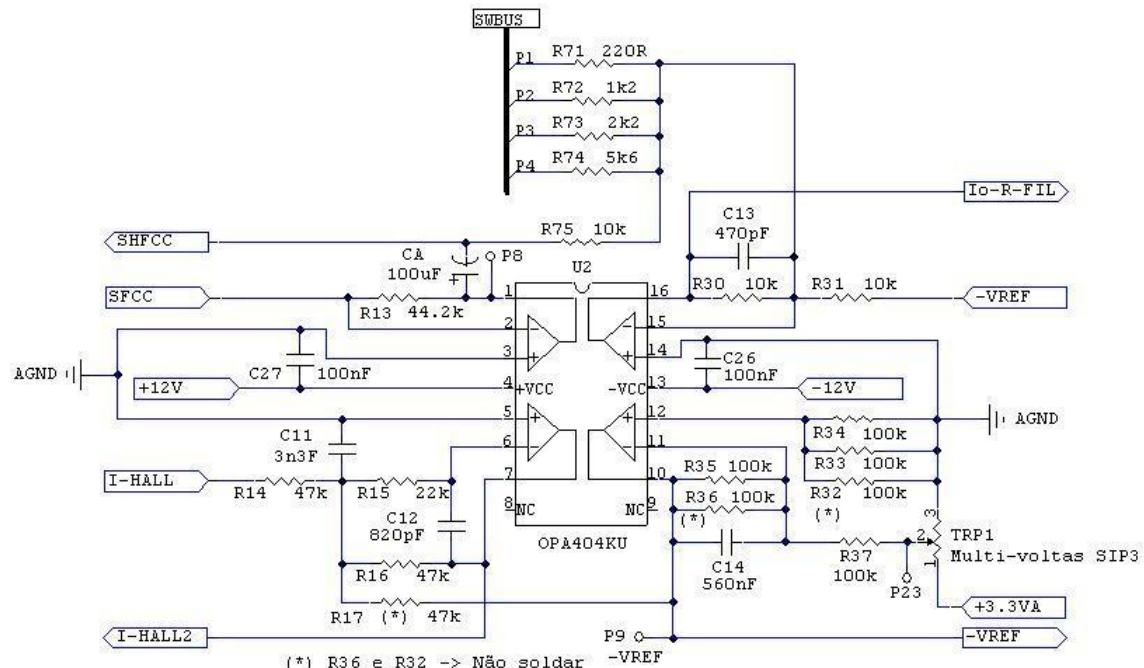
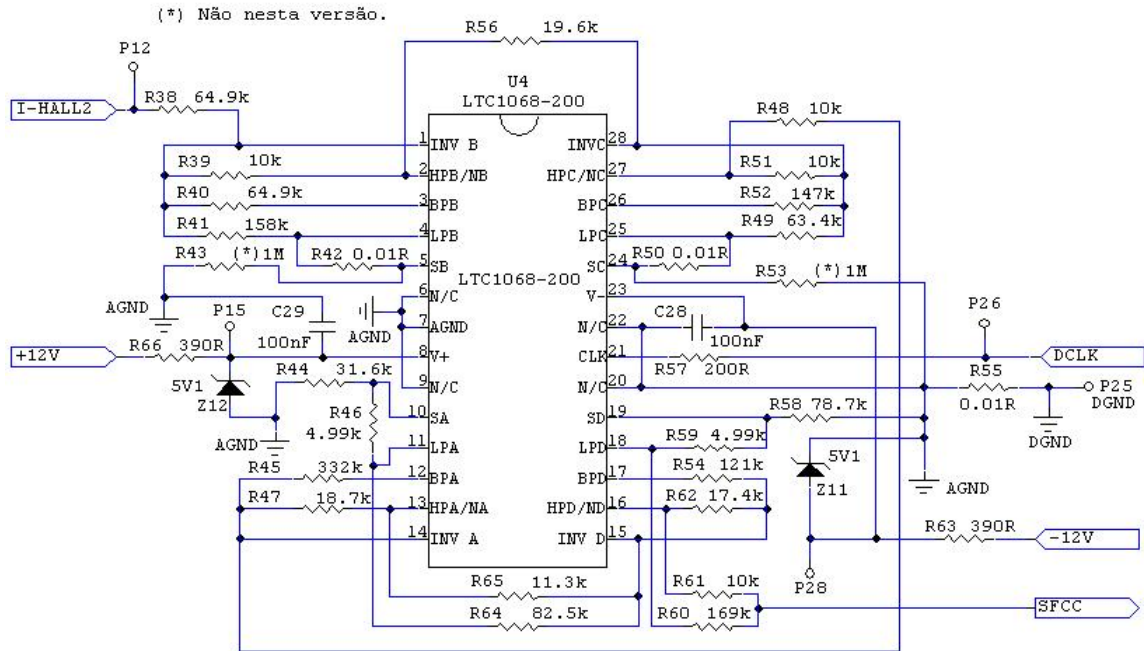
PLACA DE CONDICIONAMENTO DE SINAIS - PCS
VERSÃO 01 - 31/05/06

Fonte +12V/-12V
a partir de +5V

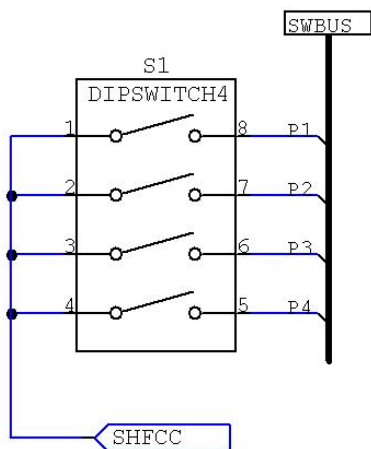




Filtro a Capacitor Comutado

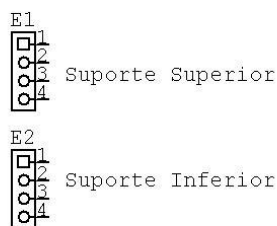


(*) R36 e R32 -> Não soldar se usar trim-pot multi-voltas
 R17 -> Não soldar (eh para teste). Se soldar saturara a saida.



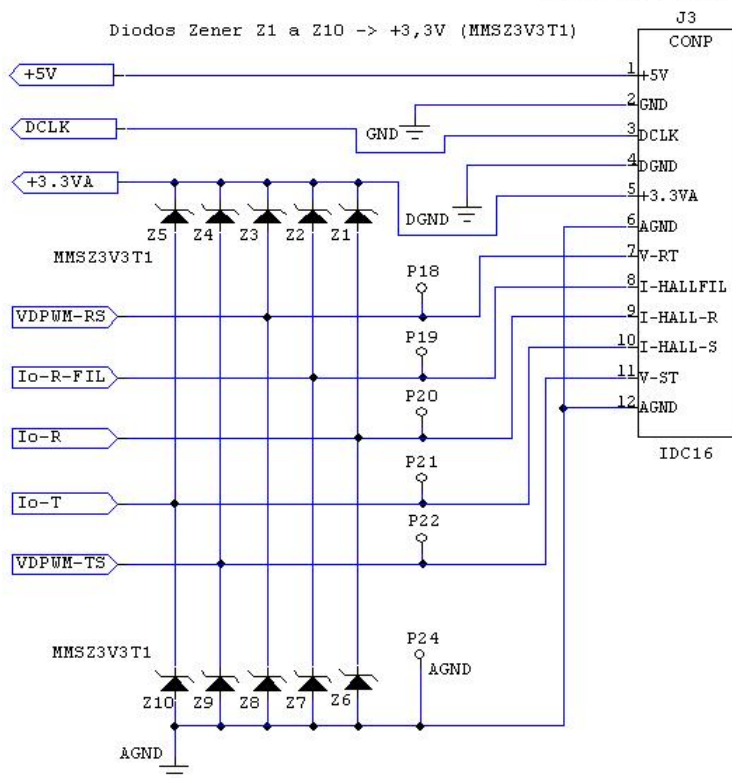
**Chave para
variação do
ganho do sinal
de corrente sem
a fundamental.**

Suportes de Fixação



(Nenhuma Conexão Elétrica)

Conector Principal



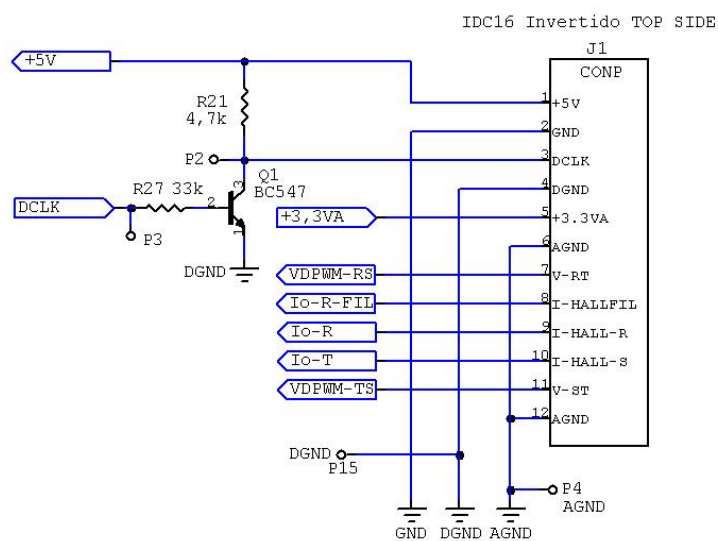
Apêndice B

Esquemático da Placa de Processamento e Gerenciamento (PPG)

PROJETO ANALISADOR DE MIT PARA PETROBRÁS
CIMATEC/UFBA/ENAUTEC
SENAI INOVAÇÃO 2005
ENG. CLEBER V. R. ALMEIDA

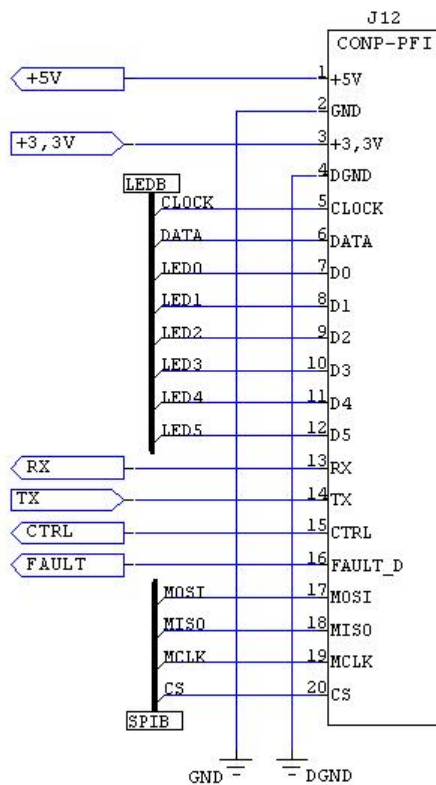
PLACA DE PROCESSAMENTO E GERENCIAMENTO - PPG
VERSÃO 01 - 31/05/06

Conector Principal da PCS

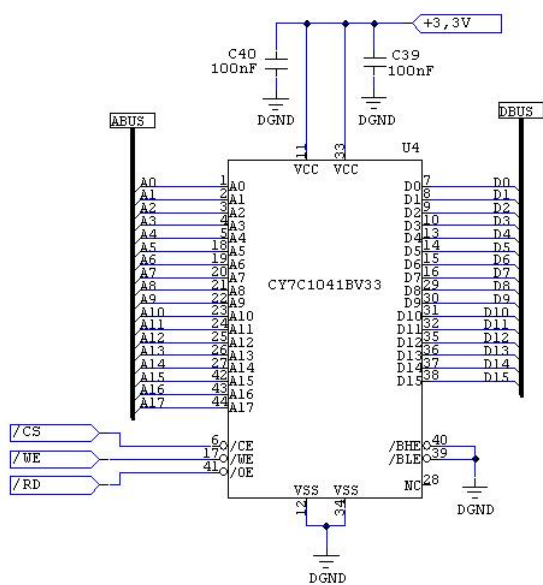


Conector Principal da PFI

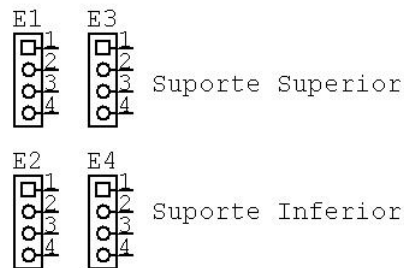
IDC20 Invertido BOTTON SIDE



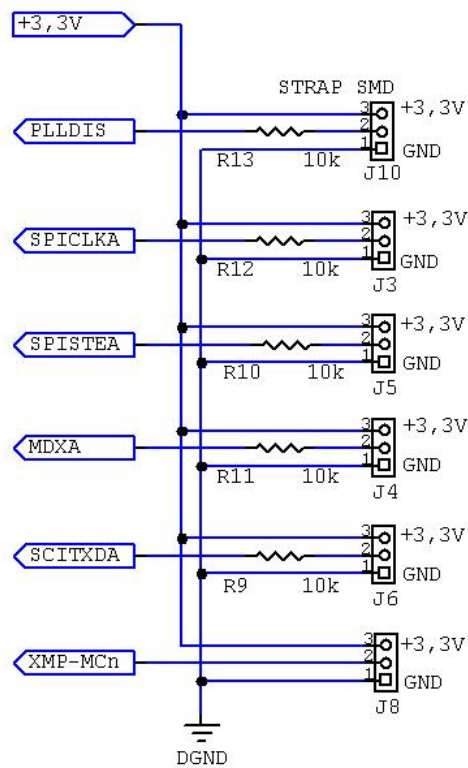
Memória ASRAM



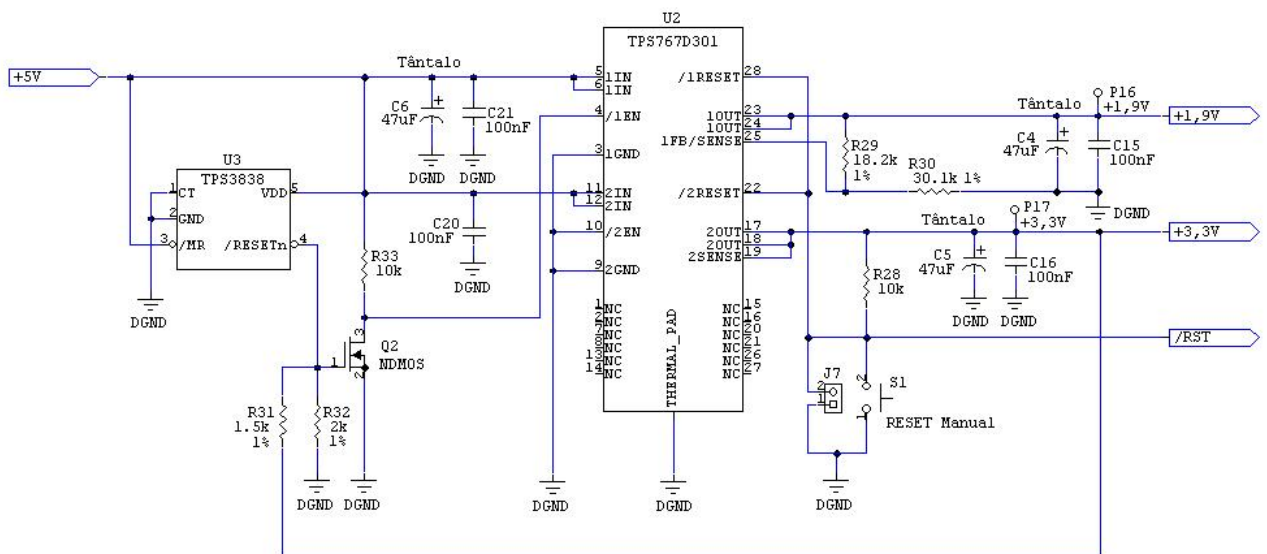
Suportes Mecânicos



(Nenhuma Conexão Elétrica)



Regulador Linear Duplo para Geração das Tensões de Alimentação +1.8V e +3.3V a partir de +5V, e geração do sinal de Power ON RESET e RESET Manual.



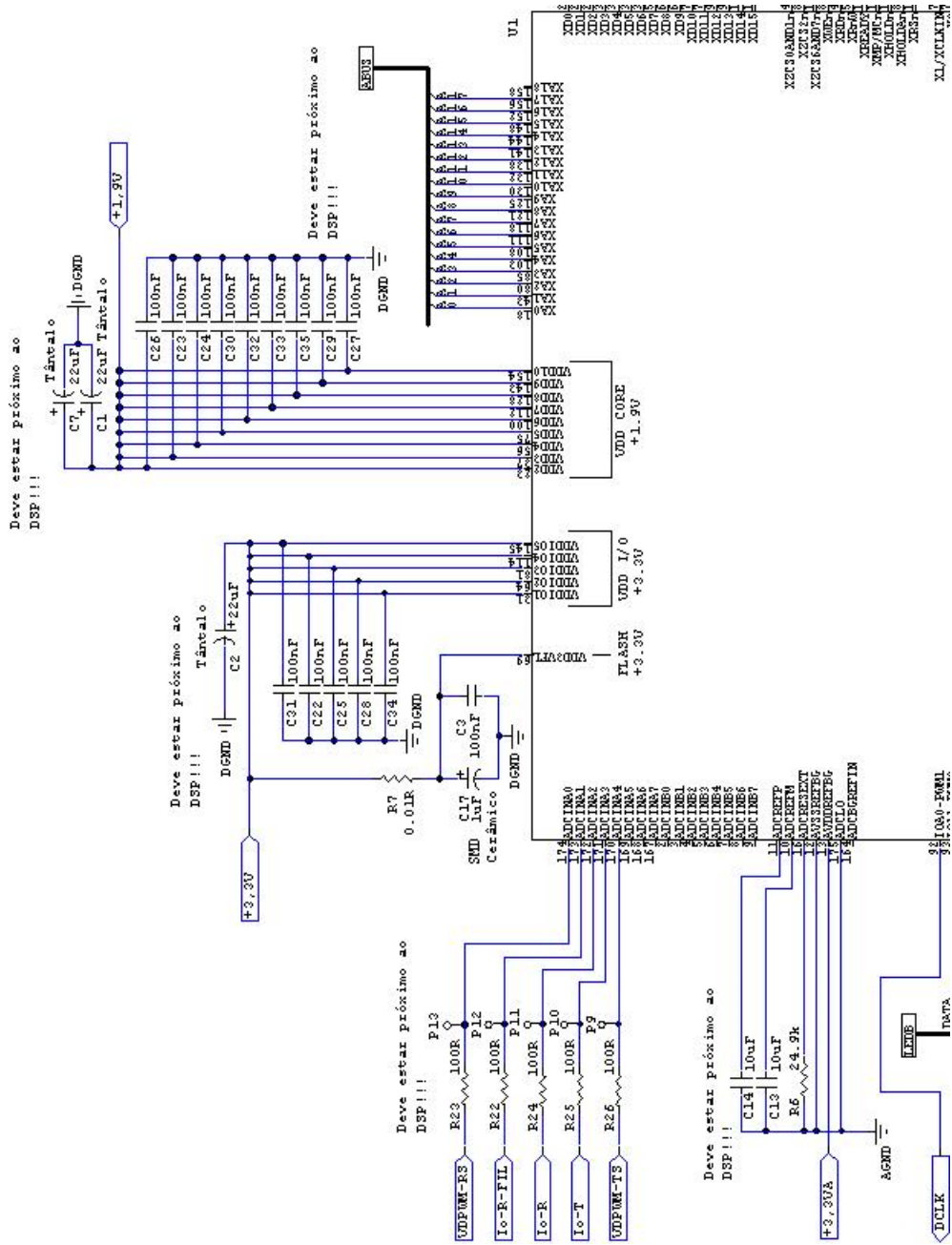


Figura B.1: Esquemático do DSP - Vista Superior (rotacionada 90°).

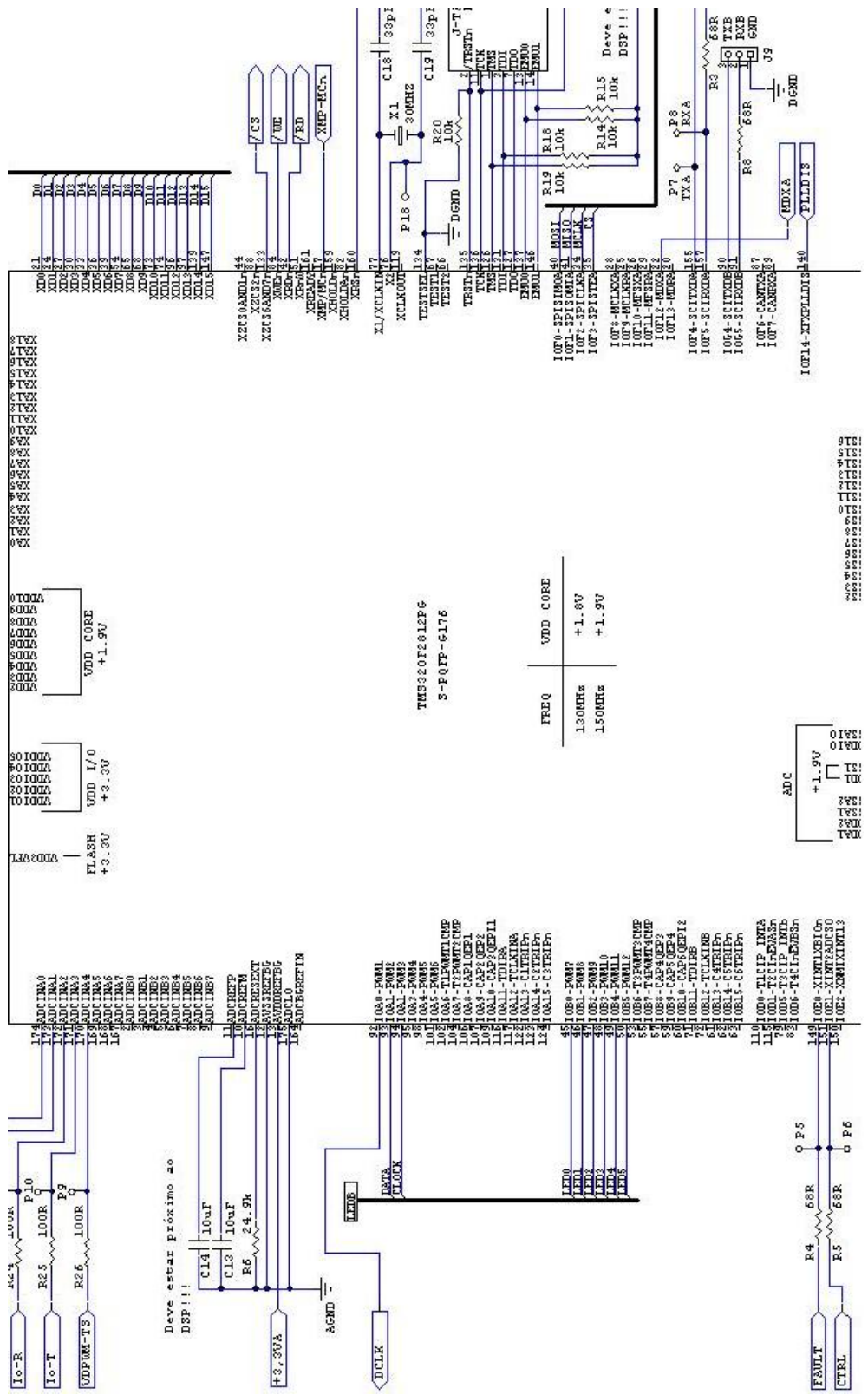


Figura B.3: Esquemático do DSP - Vista Central (rotacionada 90°).

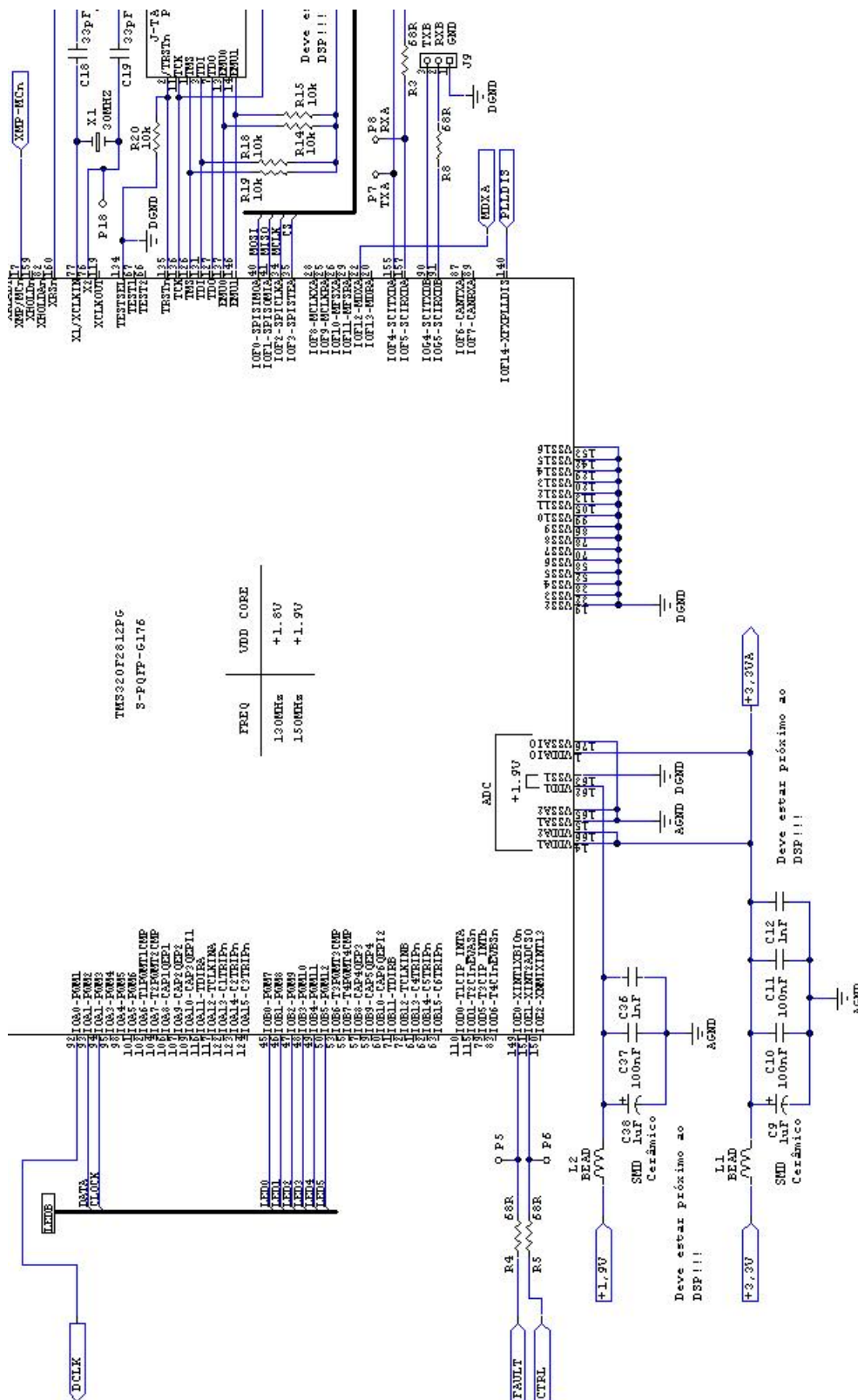
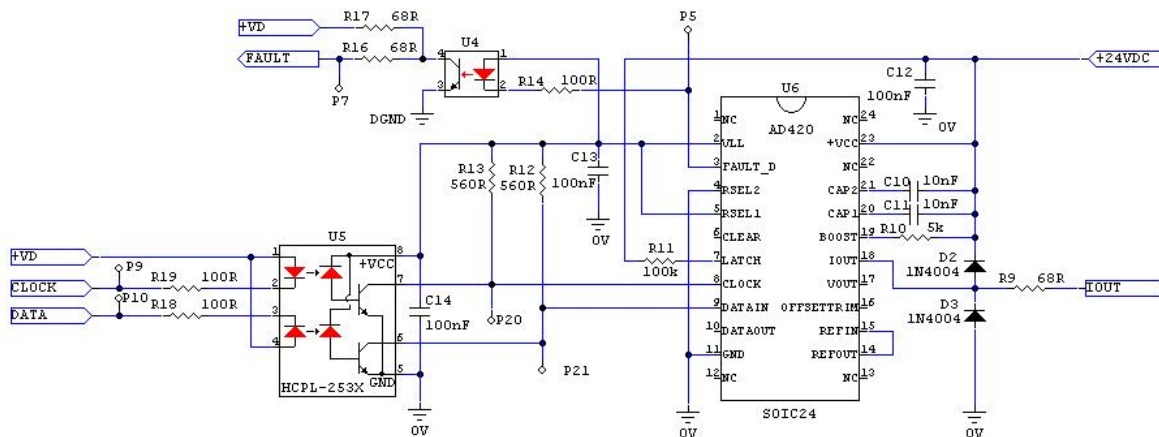
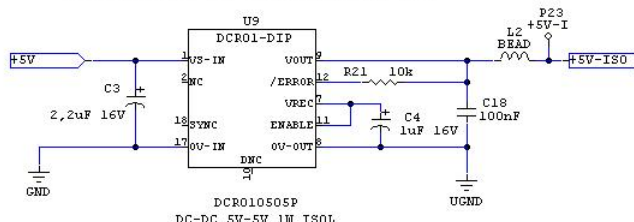


Figura B.4: Esquemático do DSP - Vista Inferior (rotacionada 90°).

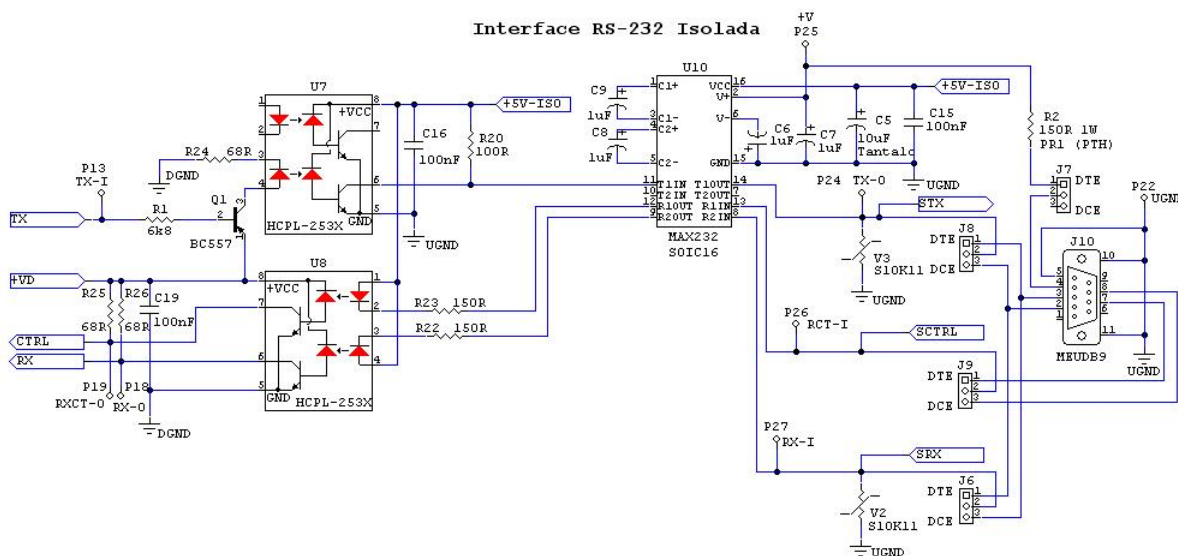
Interface para o CLP -> 4 a 20 mA



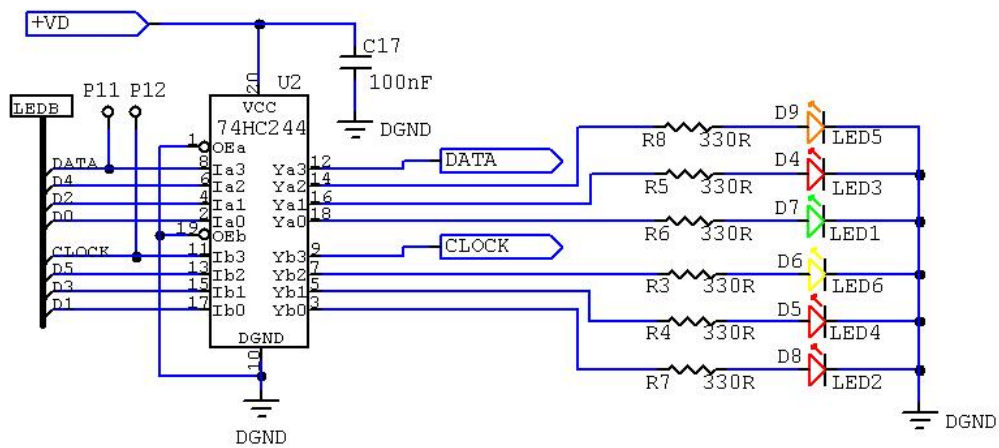
Conversor DC-DC isolado para isolar a alimentação da Interface RS-232



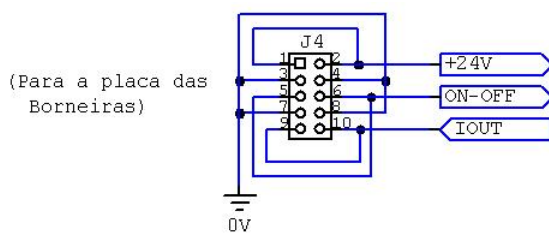
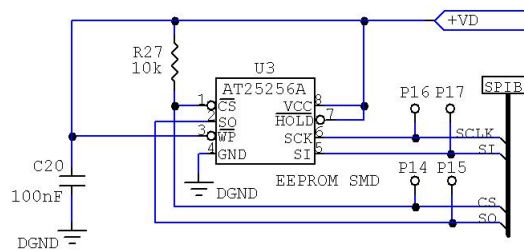
Interface RS-232 Isolada



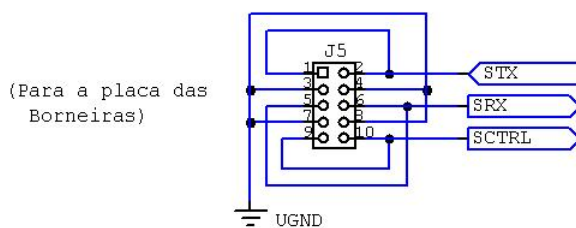
Buffer Não Inversor para os LEDs e a Interface de 4 a 20 mA



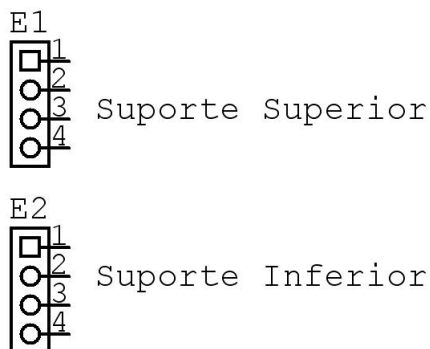
EEPROM para Armazenamento dos Dados da Parametrização



Entrada de Alimentação do Equipamento (+18 a +35 VDC)

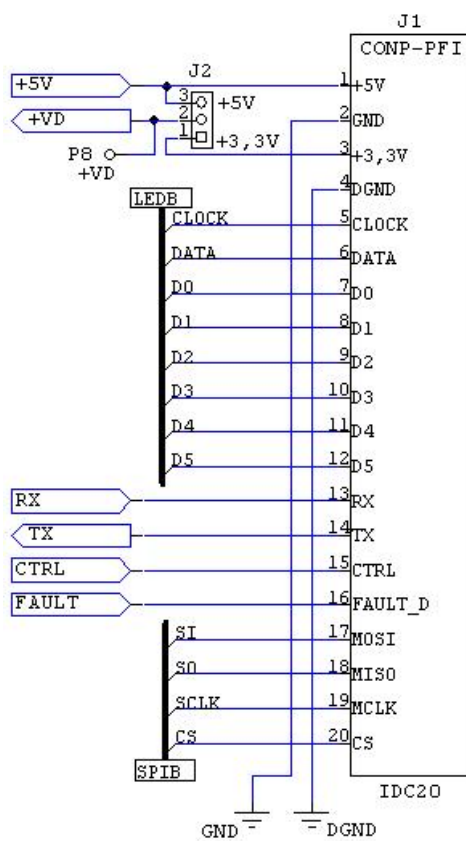


Borneira para Interface RS-232 Isolada



(Nenhuma Conexão Elétrica)

Conector Principal

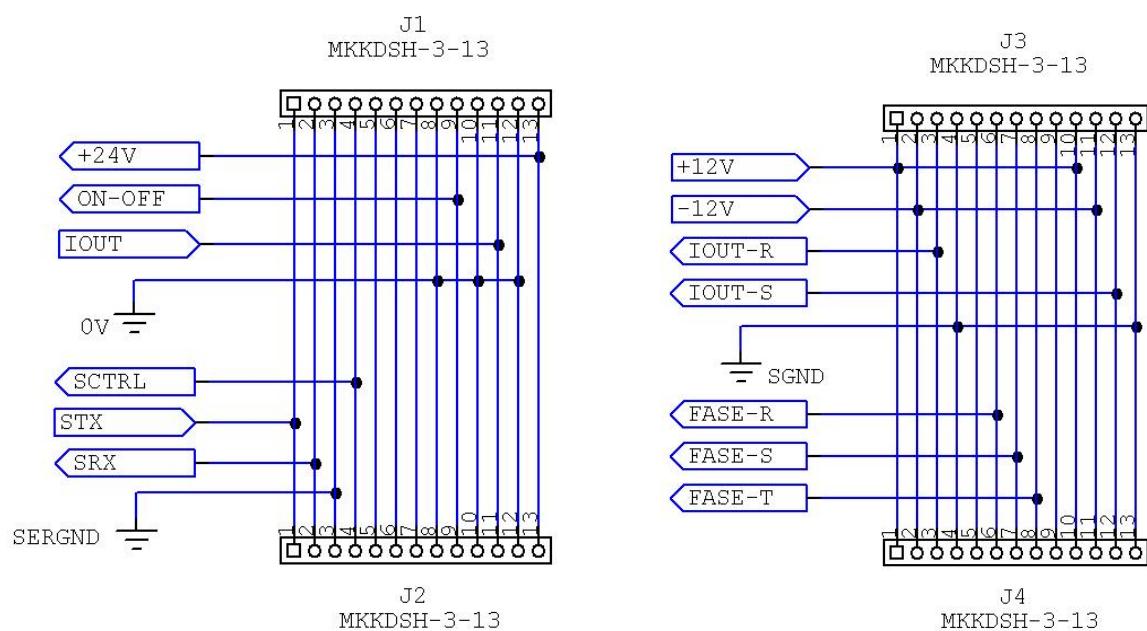


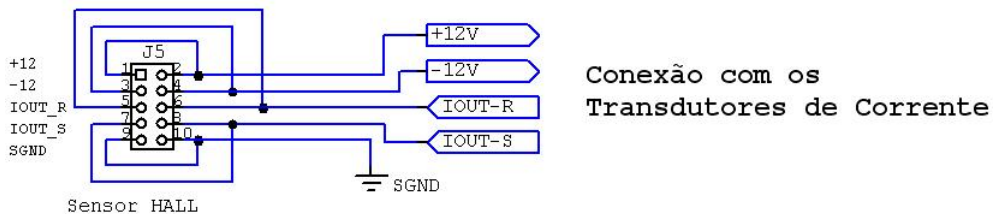
Apêndice D

Esquemático da Placa de Ligação com as Borneiras (PLB)

PROJETO ANALISADOR DE MIT PARA PETROBRÁS
CIMATEC/UFBA/ENAUTEC
SENAI INOVAÇÃO 2005
ENG. CLEBER V. R. ALMEIDA

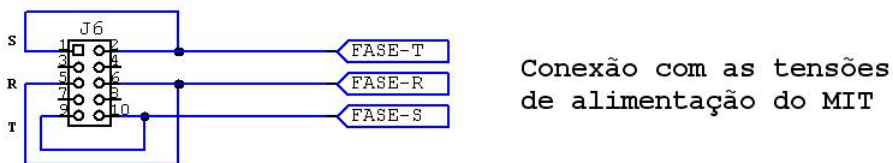
PLACA LIGAÇÃO COM BORNEIRAS - PLB
VERSÃO 01 - 31/05/06





(Para a placa das Borneiras)

Colocar resistores próximos ao conector



Tensão Fase-Fase do Inversor

(Para a placa das Borneiras)



(Para a placa das Borneiras)



(Para a placa das Borneiras)

Apêndice E

Layout da Placa de Condicionamento de Sinais (PCS)

PLACA DE CONDICIONAMENTO DE SINAIS - PCS VERSAO 01 - 31/05/2006

SENAI INOVACAO 2005
PROJETO ANALISADOR DE MIT PARA PETROBRAS
SENAI/CIMATEC - UFBA - ENAUTEC

- CARACTERISTICAS DA PLACA:
- DIMENSÕES: 96,90 X 71,00 mm;
 - 4 LAYERS;
 - ESPESSURA DA PLACA: 1,6 mm;
 - ESPESSURA DO COBRE: 0,5 oz (onça);
 - FURO METALIZADO;
 - ACABAMENTO PROFISSIONAL;
 - COMPONENTES PTH E SMD (EM AMBAS AS FACES);
 - CAIXA: EG45 ou EG67,5 - PHOENIX CONTACT.

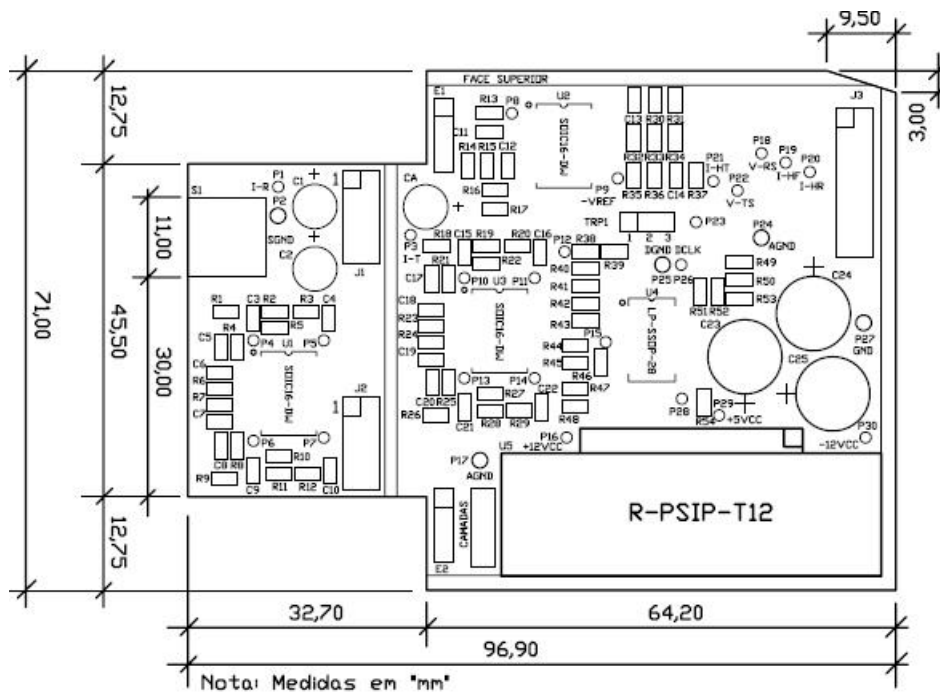


Figura E.1: TOP OVERLAY (Sem Escala).

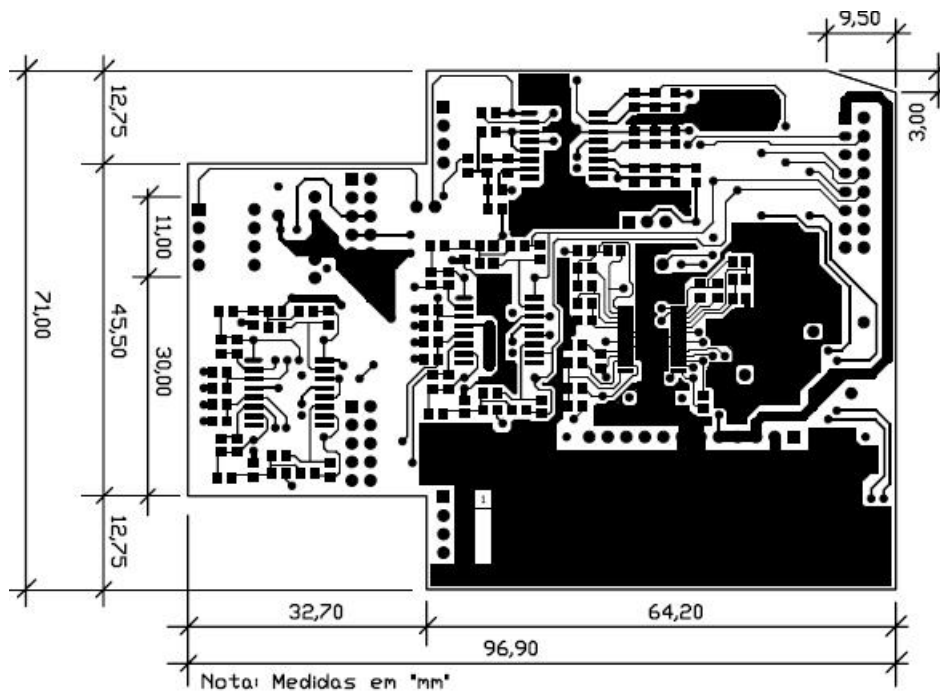


Figura E.2: TOP LAYER (Sem Escala).

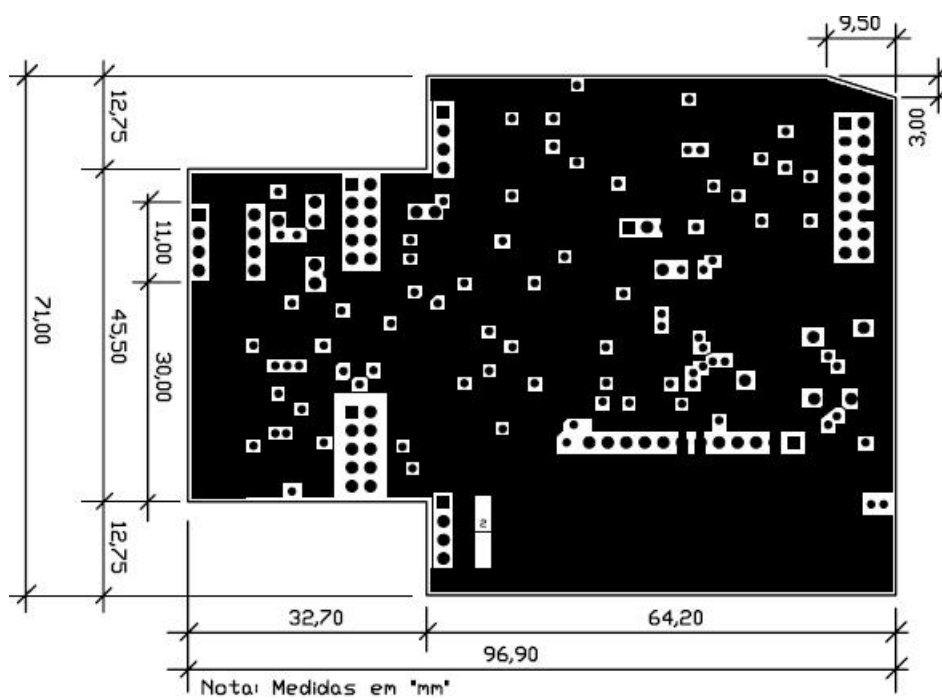


Figura E.3: GROUND LAYER (Sem Escala).

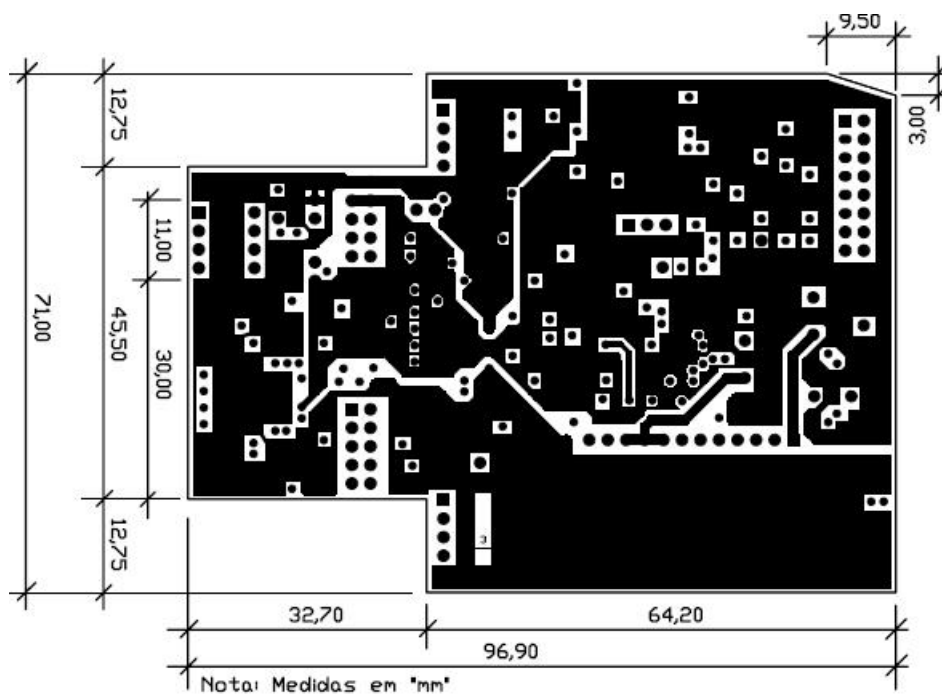


Figura E.4: POWER LAYER (Sem Escala).

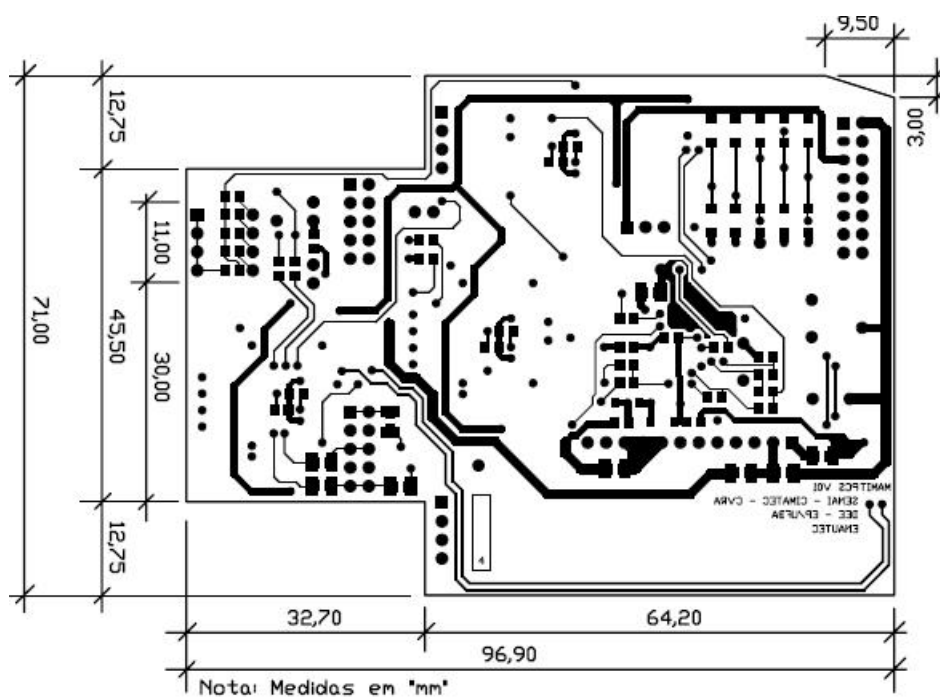


Figura E.5: BOTTOM LAYER (Sem Escala).

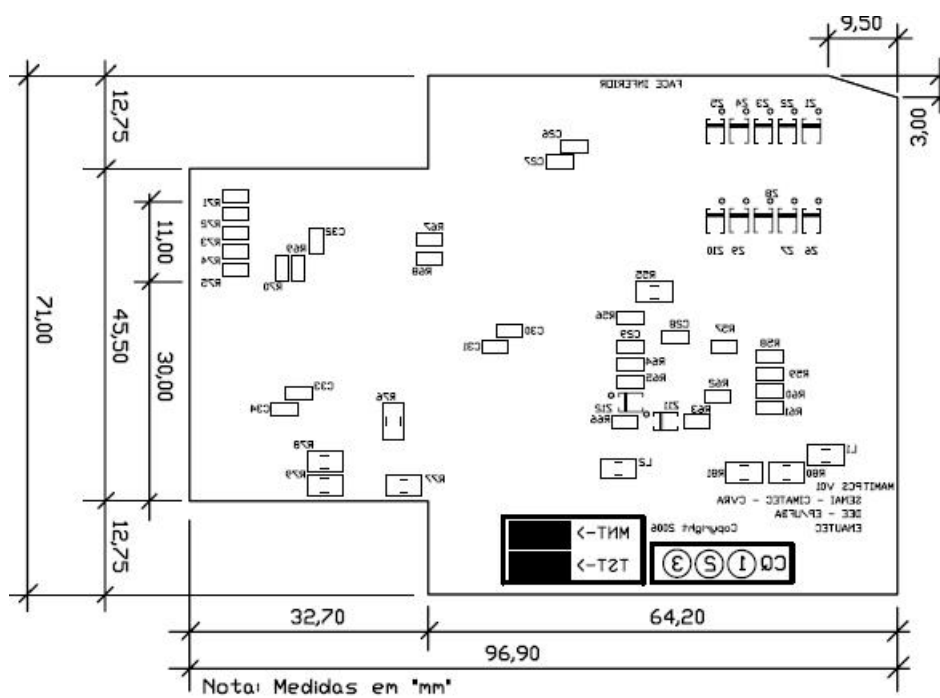


Figura E.6: BOTTOM OVERLAY (Sem Escala).

Apêndice F

Layout da Placa de Processamento e Gerenciamento (PPG)

PLACA DE PROCESSAMENTO E GERENCIAMENTO - PPG VERSAO 01 - 31/05/2006

SENAI INOVACAO 2005
PROJETO ANALISADOR DE MIT PARA PETROBRAS
SENAI/CIMATEC - UFBA - ENAUTEC

CARACTERISTICAS DA PLACA:

- DIMENSÕES: 71,00 X 64,00 mmj
- 4 LAYERSj
- ESPESSURA DA PLACA: 1,6 mmj
- ESPESSURA DO COBRE: 0,5 oz (onca)j
- FURO METALIZADOj
- ACABAMENTO PROFISSIONALj
- COMPONENTES PTH E SMD (EM AMBAS AS FACES)j
- CAIXA: EG45 ou EG67,5 - PHOENIX CONTACT.

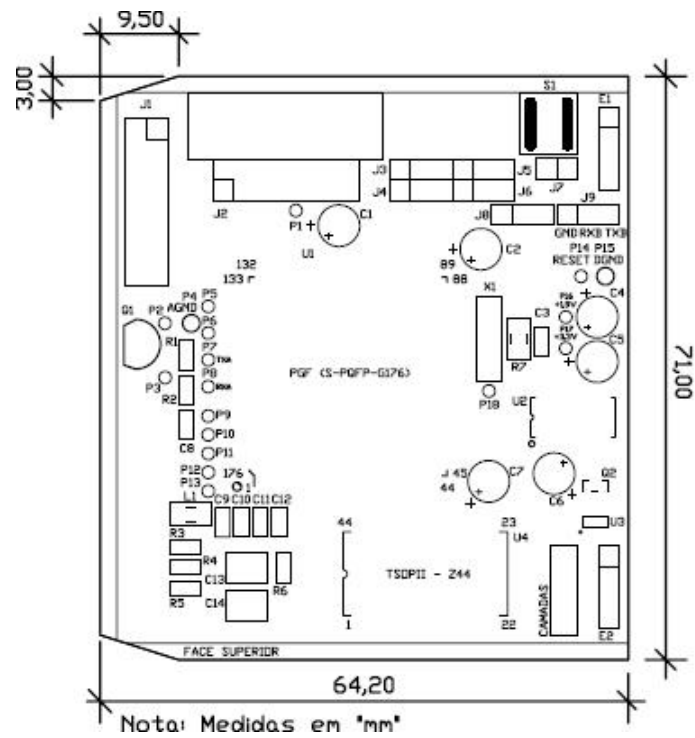


Figura F.1: TOP OVERLAY (Sem Escala).

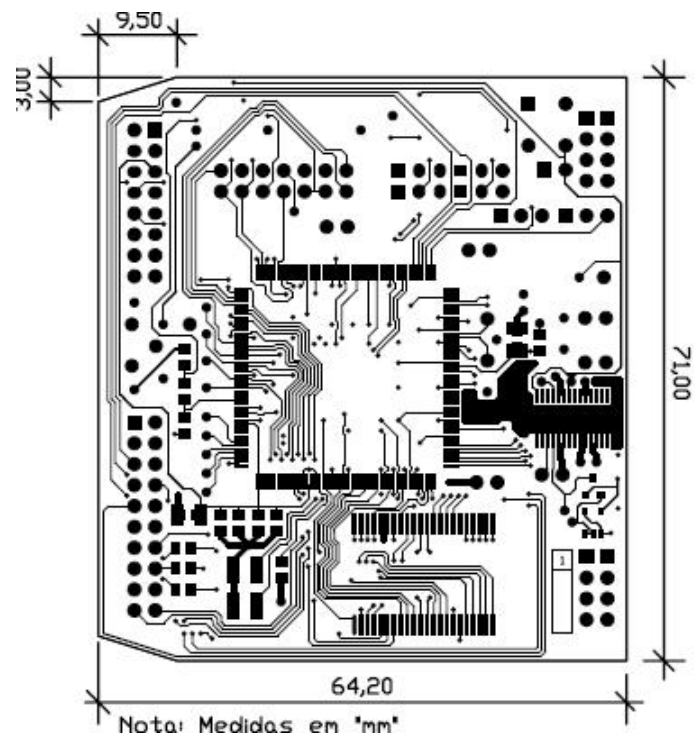


Figura F.2: TOP LAYER (Sem Escala).

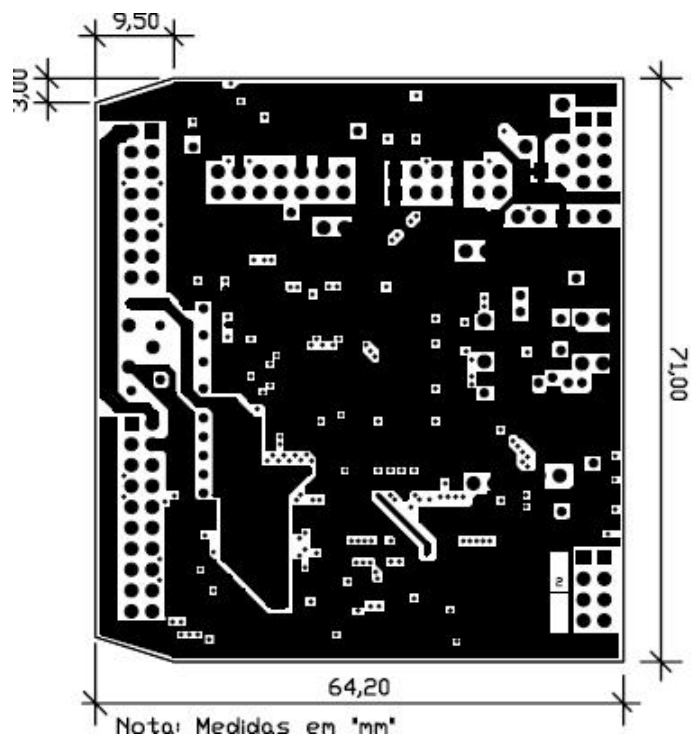


Figura F.3: GROUND LAYER (Sem Escala).

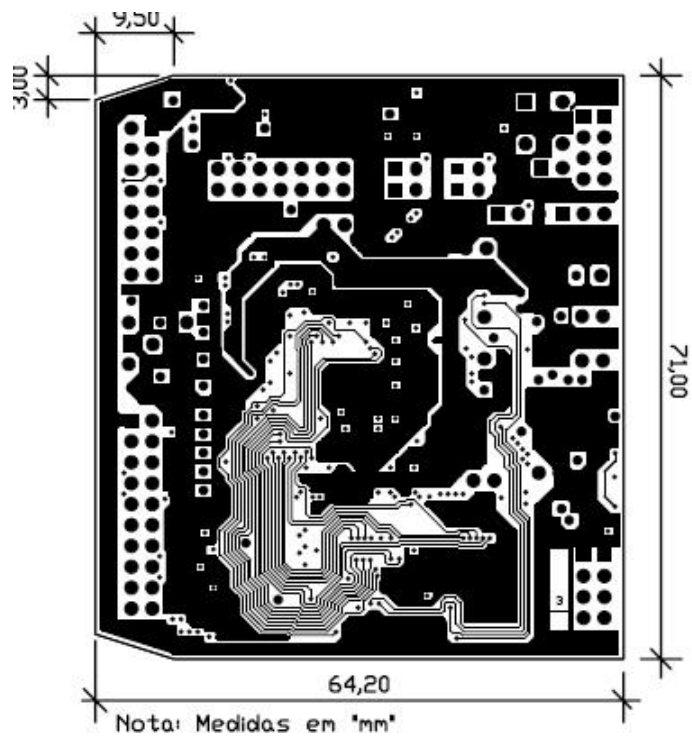


Figura F.4: POWER LAYER (Sem Escala).

Apêndice G

Layout da Placa Fonte e Interfaces (PFI)

PLACA FONTE E INTERFACES - PFI VERSAO 01 - 31/05/2006

SENAI INOVACAO 2005
PROJETO ANALISADOR DE MIT PARA PETROBRAS
SENAI/CIMATEC - UFBA - ENAUTEC

- CARACTERISTICAS DA PLACA:
- DIMENSÕES: 96,90 X 71,00 mm;
 - 4 LAYERS;
 - ESPESSURA DA PLACA: 1,6 mm;
 - ESPESSURA DO COBRE: 0,5 oz (onça);
 - FURO METALIZADO;
 - ACABAMENTO PROFISSIONAL;
 - COMPONENTES PTH E SMD (EM AMBAS AS FACES);
 - CAIXA: EG45 ou EG67 - PHOENIX CONTACT.

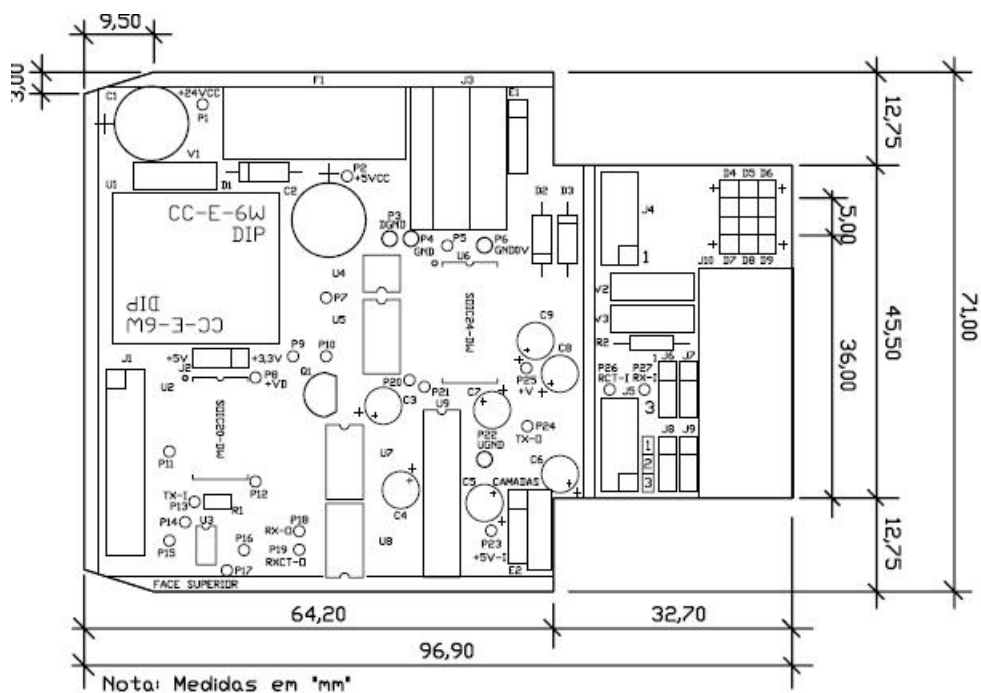


Figura G.1: TOP OVERLAY (Sem Escala).

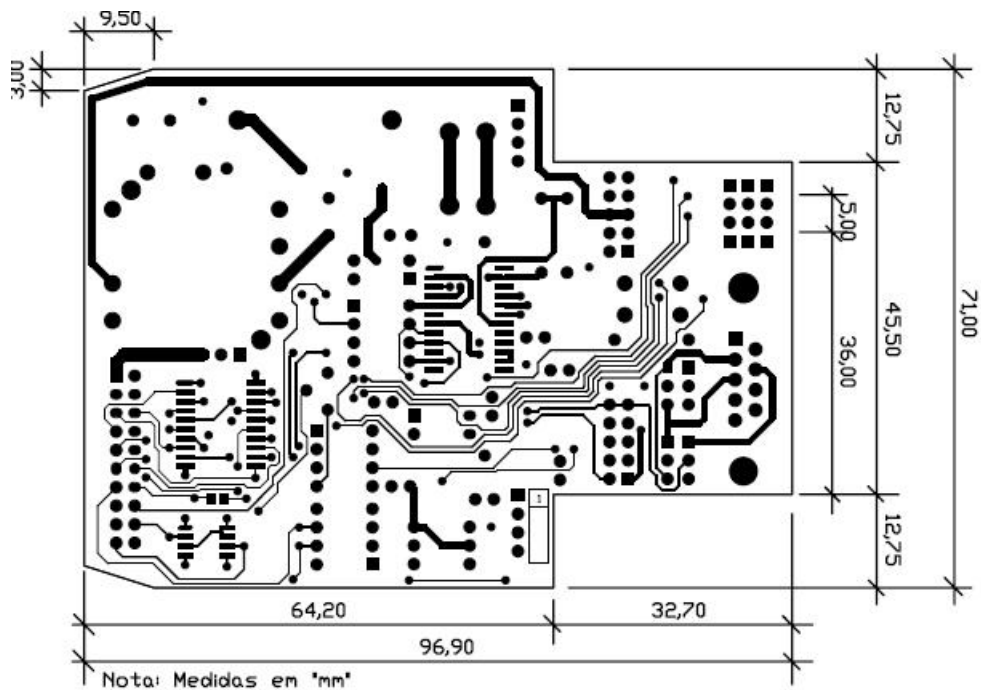


Figura G.2: TOP LAYER (Sem Escala).

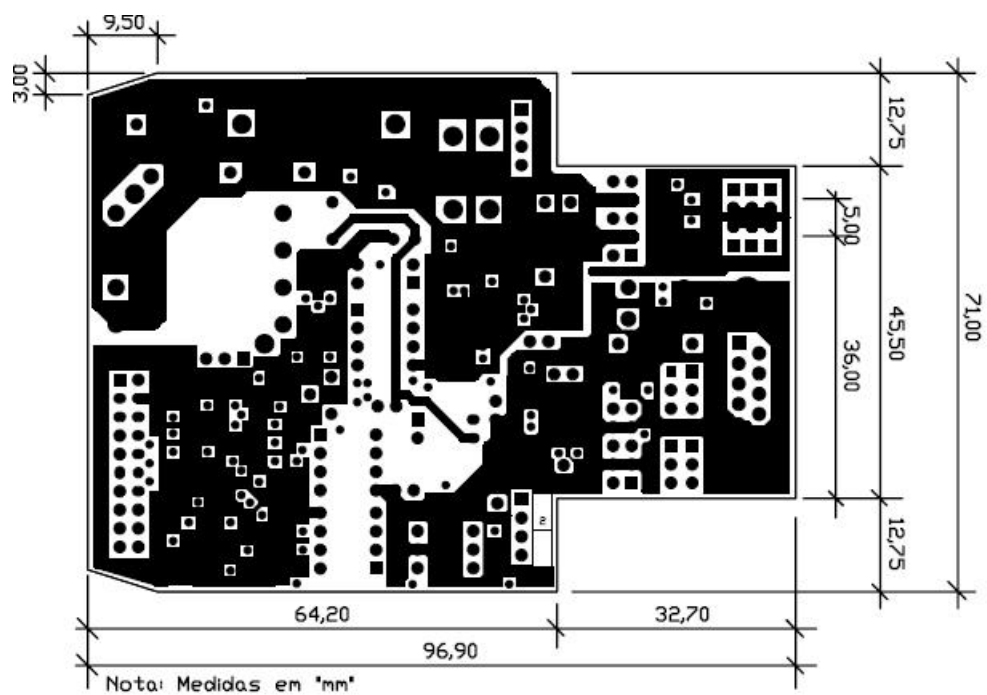


Figura G.3: GROUND LAYER (Sem Escala).

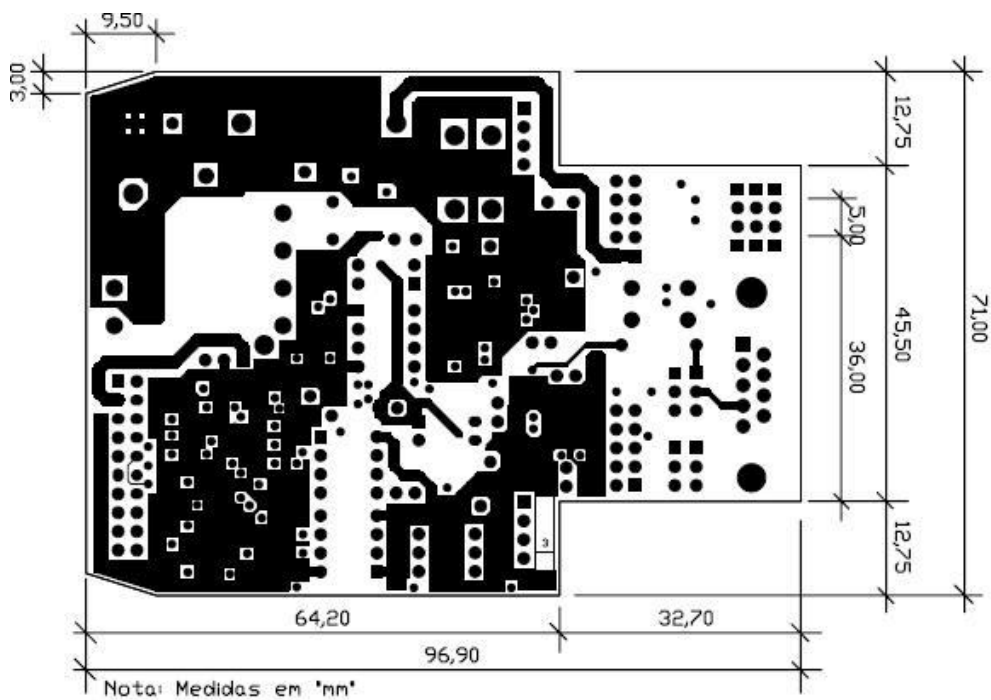


Figura G.4: POWER LAYER (Sem Escala).

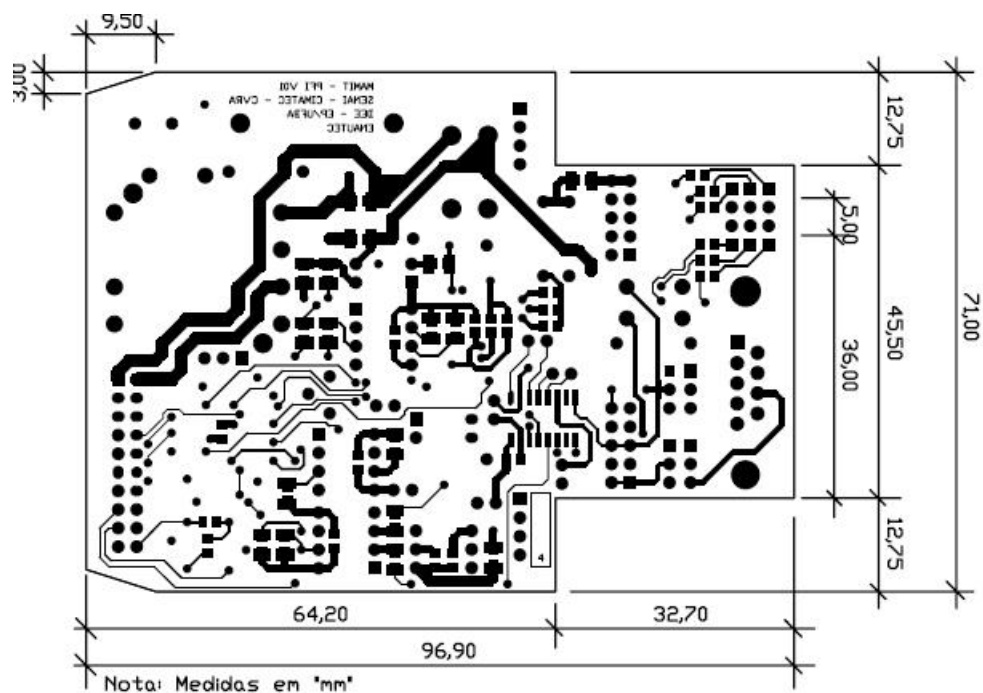


Figura G.5: BOTTOM LAYER (Sem Escala).

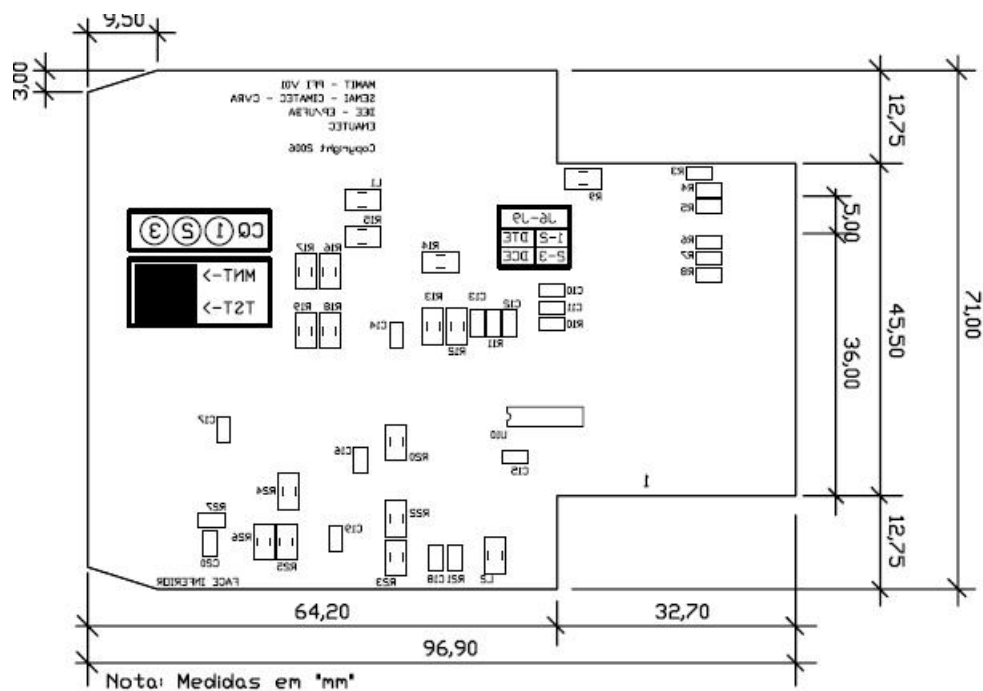


Figura G.6: BOTTOM OVERLAY (Sem Escala).

Apêndice H

Layout da Placa de Ligação com as Borneiras (PLB)

PLACA DE LIGACAO COM AS BORNEIRAS - PLB
VERSAO 01 - 31/05/2006

SENAI INOVACAO 2005
PROJETO ANALISADOR DE MIT PARA PETROBRAS
SENAI/CIMATEC - UFBA - ENAUTEC

CARACTERISTICAS DA PLACA: - DIMENSÕES: 71,50 X 64,20 mm;
- 4 LAYERS;
- ESPESSURA DA PLACA: 1,6 mm;
- ESPESSURA DO COBRE: 0,5 oz (onça);
- FURO METALIZADO;
- ACABAMENTO PROFISSIONAL;
- COMPONENTES PTH E SMD (EM AMBAS AS FACES);
- CAIXA: EG67,5 - PHOENIX CONTACT.

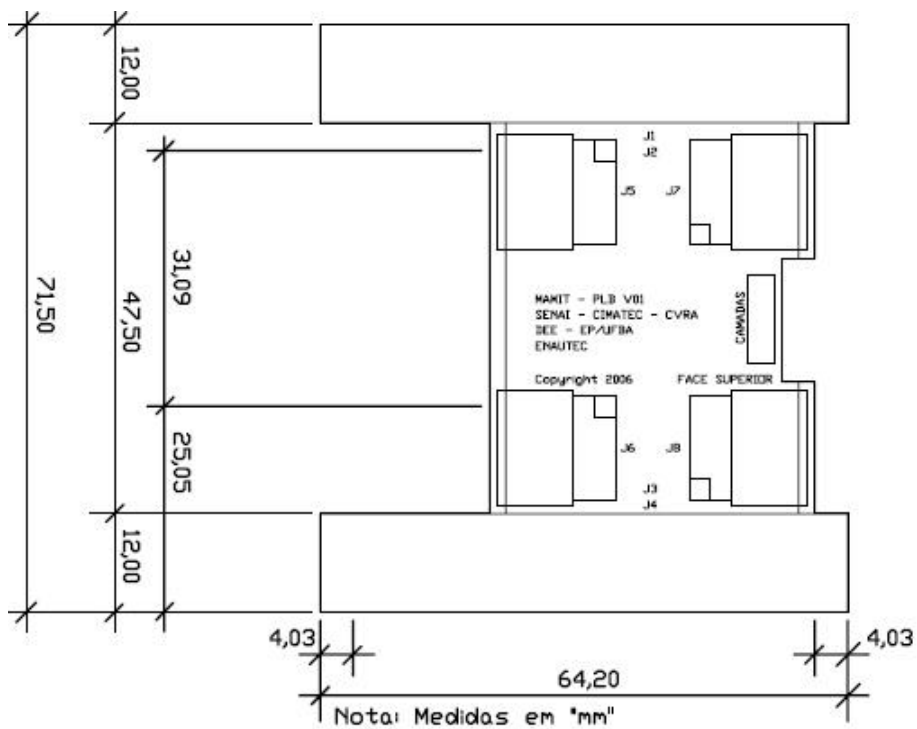


Figura H.1: TOP OVERLAY (Sem Escala).

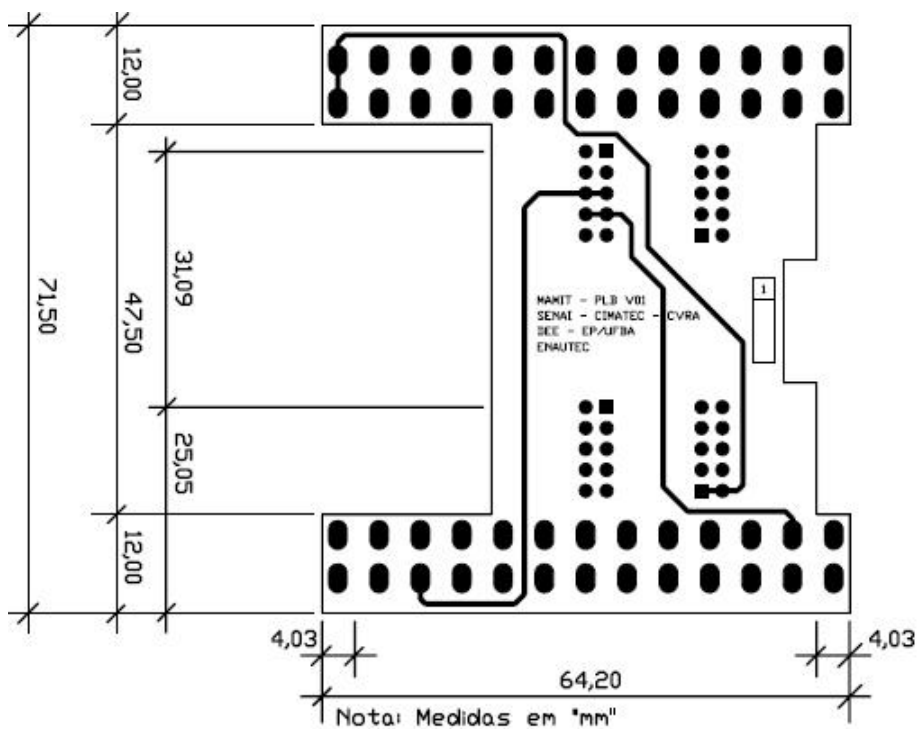


Figura H.2: TOP LAYER (Sem Escala).

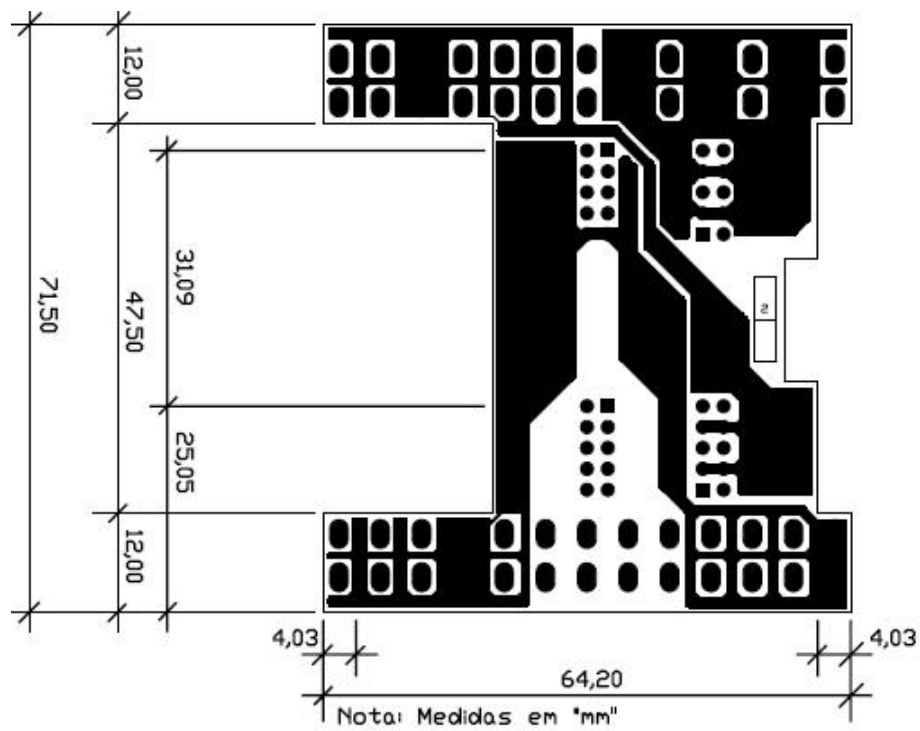


Figura H.3: GROUND LAYER (Sem Escala).

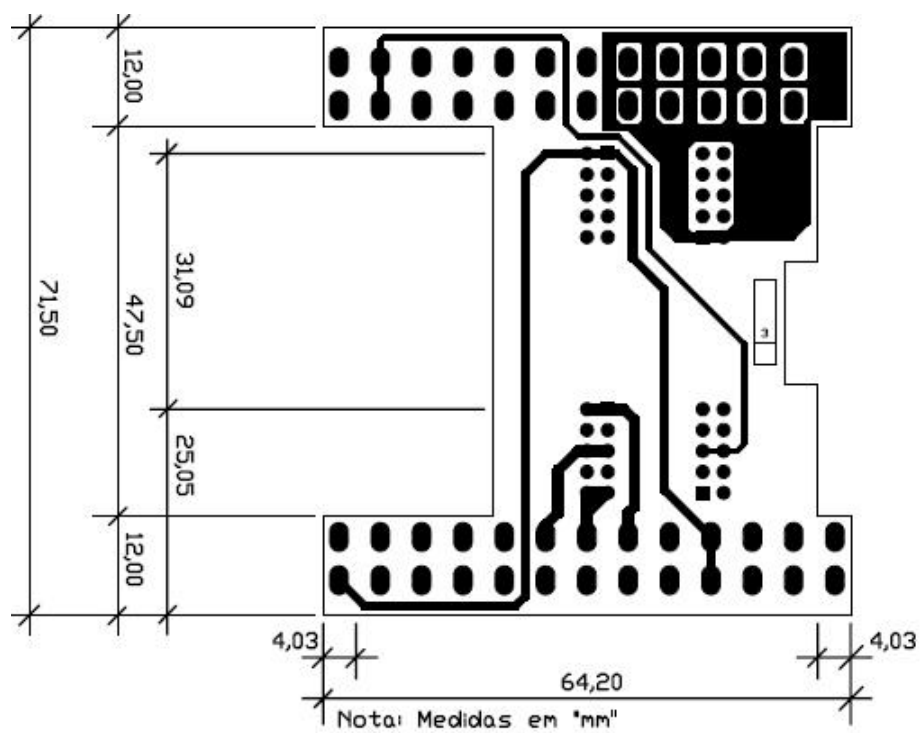


Figura H.4: POWER LAYER (Sem Escala).

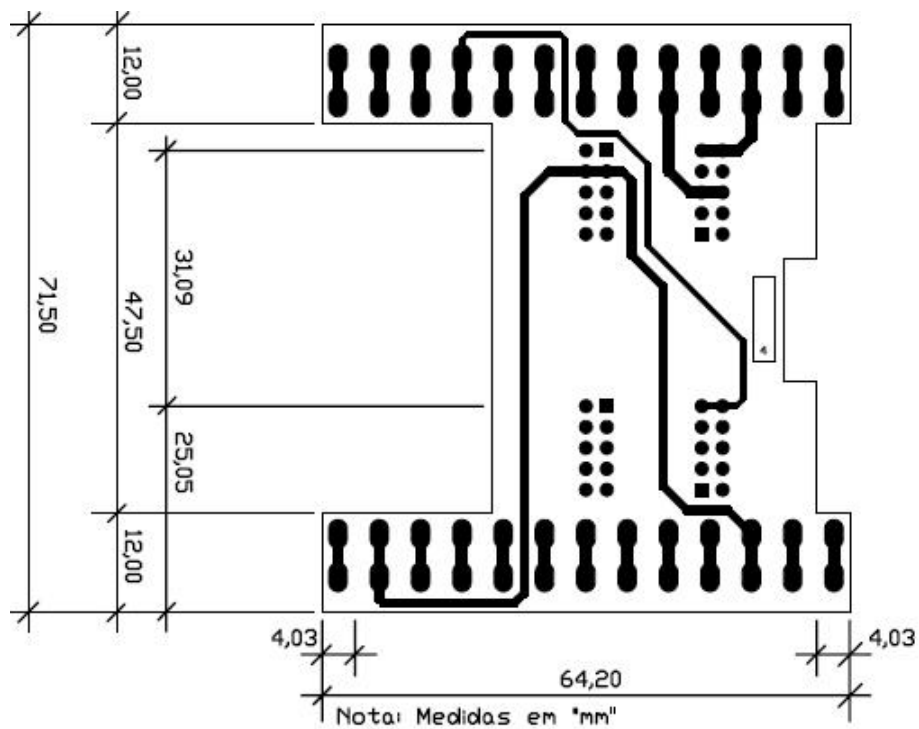


Figura H.5: BOTTOM LAYER (Sem Escala).

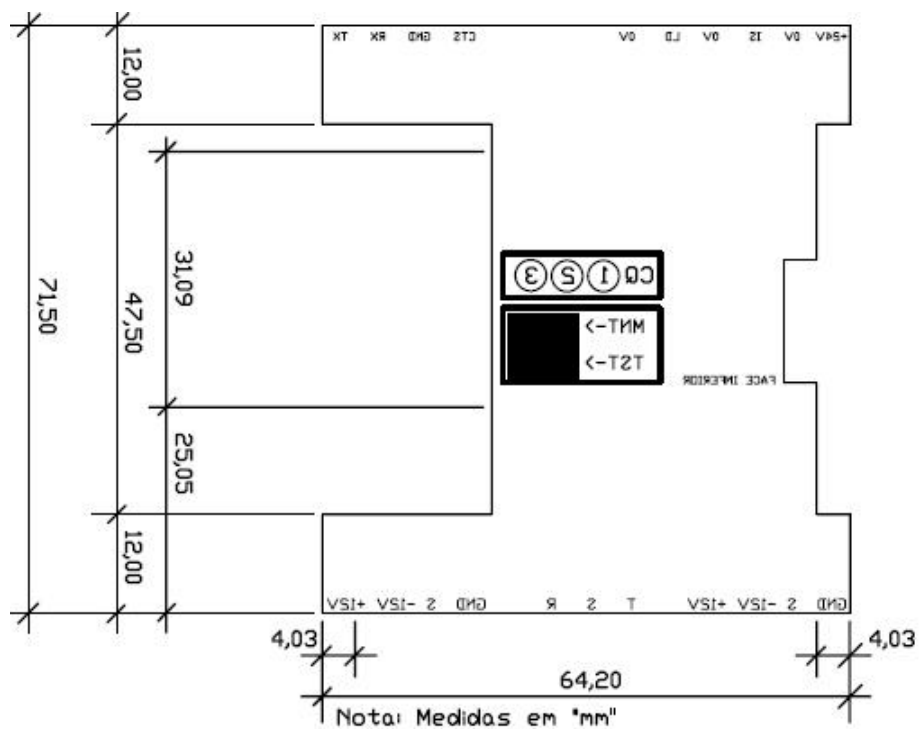


Figura H.6: BOTTOM OVERLAY (Sem Escala).

Apêndice I

Caixa Adotada e Dimensões para Acondicionamento de PCI's

EG67,5/ABS

General

Housing type	Component housing
Housing material	Acryl butadiene styrene (ABS)
Color	green

Dimensions / positions

Length	75 mm
Width	67.5 mm
Number of positions	26

Technical data

Ambient temperature (operation)	-40 °C ... 80 °C
Inflammability class acc. to UL 94	HB

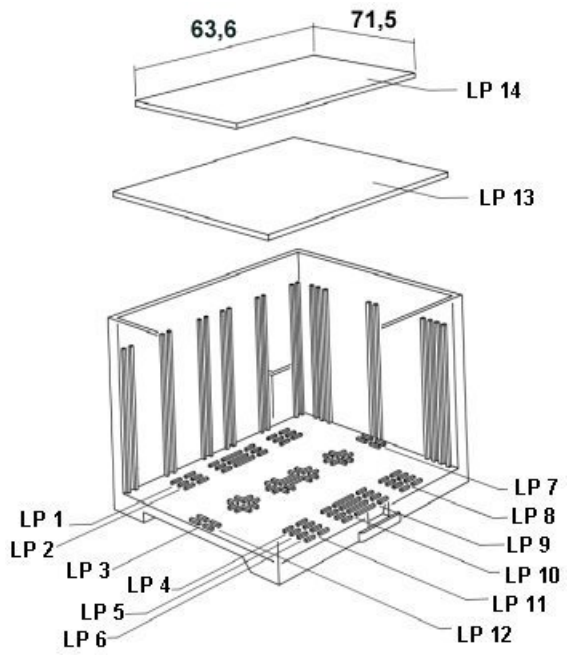


Figura I.1: *Explosion drawing 1 - Valid for PCB 13.*

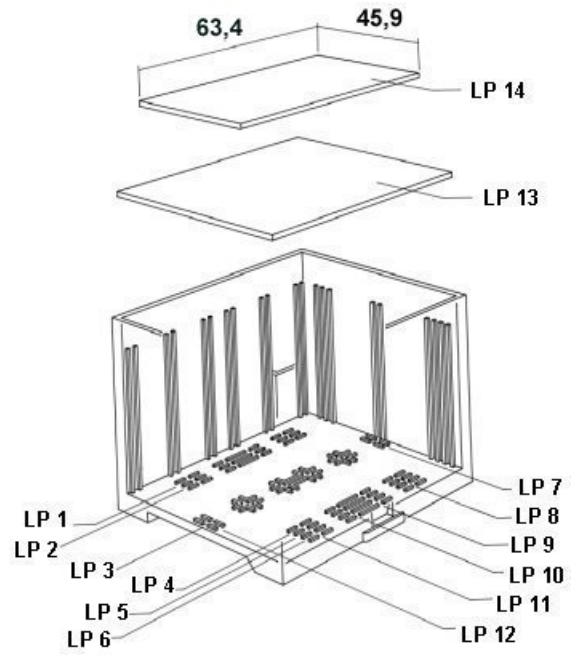


Figura I.2: *Explosion drawing 2 - Valid for PCB 14.*

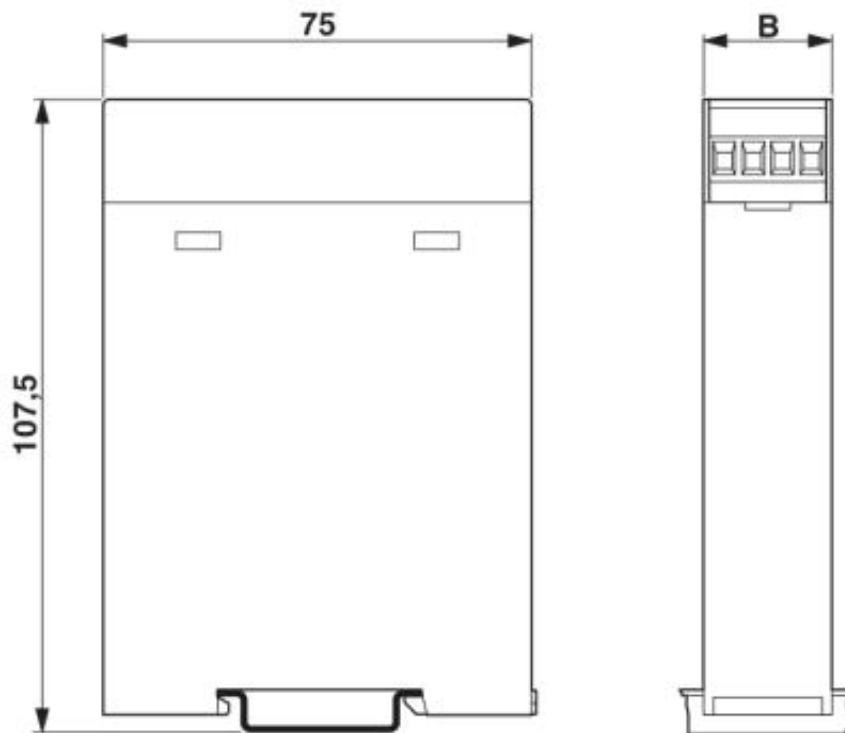


Figura I.3: *Dimensioned drawing 1.*

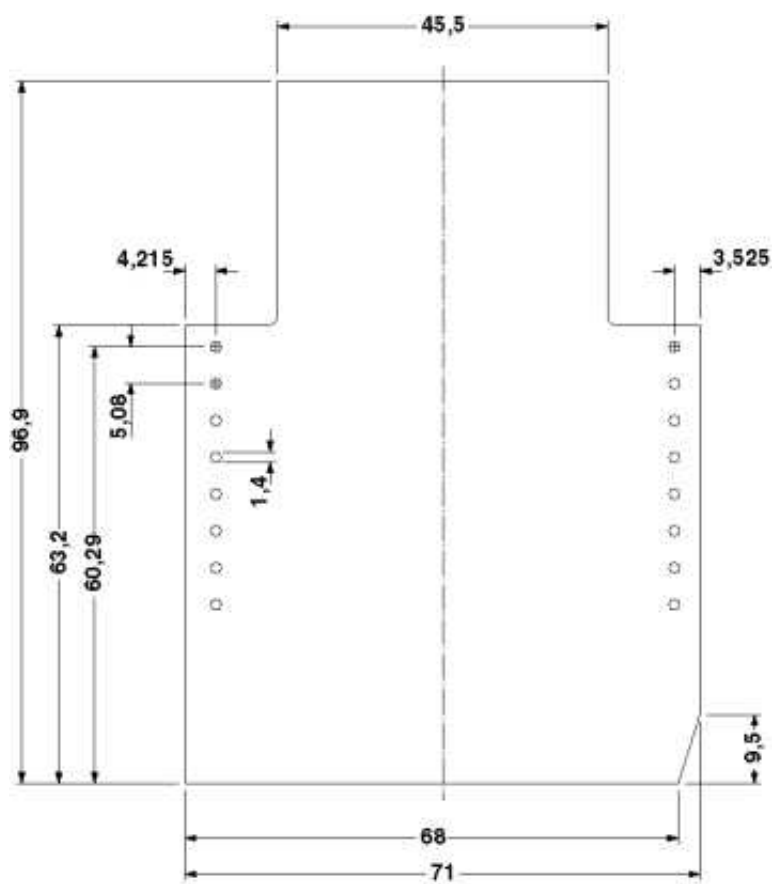


Figura I.4: Dimensioned drawing 2 - Component mounting side, if the double-level upper part is used.

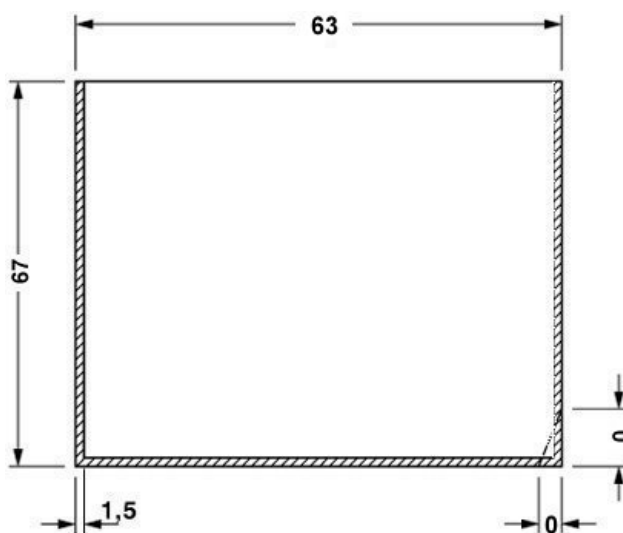


Figura I.5: Dimensioned drawing 3 - valid for PCB 1; 2; 3; 4; 5 and 6, see Explosion drawing.

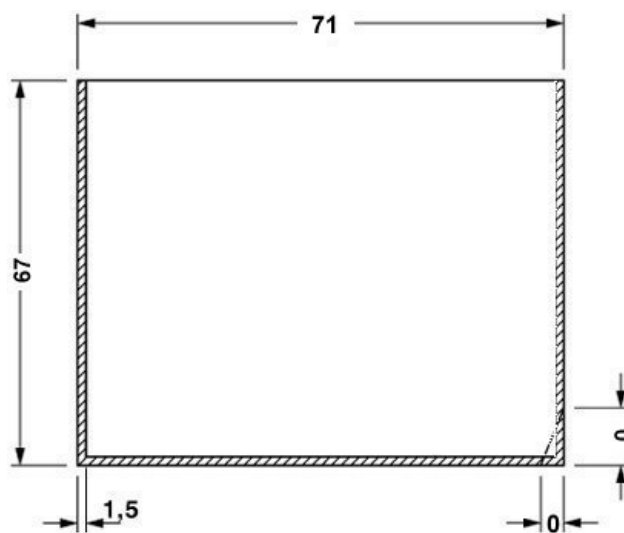


Figura I.6: Dimensioned drawing 4 - valid for PCB 7; 8; 11 and 12, see Explosion drawing.

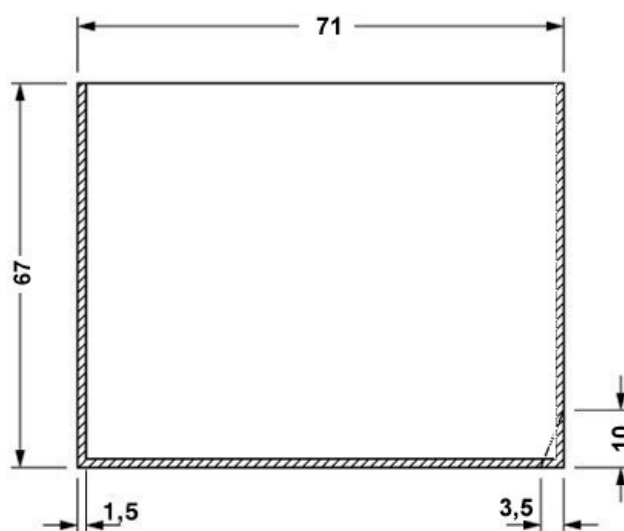


Figura I.7: Dimensioned drawing 5 - valid for PCB 9, see Explosion drawing.