



**UNIVERSIDADE FEDERAL DA BAHIA
ESCOLA POLITÉCNICA
DEPARTAMENTO DE ENGENHARIA ELÉTRICA
PROGRAMA DE PÓS-GRADUAÇÃO EM
ENGENHARIA ELÉTRICA**



TESE DE DOUTORADO

ARQUITETURAS DE MULTIPLICADOR ANALÓGICO EM TECNOLOGIA CMOS PARA APLICAÇÃO COMO SINAPSE DE CNN

Antônio José Sobrinho de Sousa

Orientadora: Prof^a Dr^a Ana Isabela Araújo Cunha

Salvador – Bahia – Brasil, 2020

©Antônio José Sobrinho de Sousa, Abril de 2020.

Antônio José Sobrinho de Sousa

**Arquiteturas de Multiplicador Analógico em
Tecnologia CMOS para Aplicação
como Sinapse de CNN**

Tese apresentada à Coordenação do Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal da Bahia, em cumprimento às exigências para obtenção do Grau de Doutor em Engenharia Elétrica.

Ana Isabela Araújo Cunha
Orientadora

Salvador – Bahia
Abril de 2020

S725 Sousa, Antônio José Sobrinho de

Arquiteturas de Multiplicador Analógico em Tecnologia CMOS
para Aplicação como Sinapse de CNN / Antônio José Sobrinho de
Sousa. - Salvador, 2020.

126 f. : il.color.

Orientadora: Profa. Dra. Ana Isabela Araújo Cunha

Tese (doutorado) - Universidade Federal da Bahia. Escola
Politécnica, 2020.

1. Visão artificial. 2. Circuitos elétricos. 3. Transmissão
sináptica. 4. Redes neurais (Computação). I. Cunha, Ana
Isabela Araújo. II. Universidade Federal da Bahia. III. Título.

CDD: 006.32

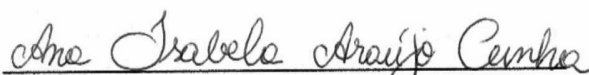
Antonio José Sobrinho de Sousa

“Arquiteturas de Multiplicador Analógico em Tecnologia CMOS para Aplicação como Sinapse de CNN”

Tese apresentada à Universidade Federal da Bahia, como parte das exigências do Programa de Pós-Graduação em Engenharia Elétrica, para a obtenção do título de Doutor.

APROVADA em: 24 de abril de 2020.

BANCA EXAMINADORA



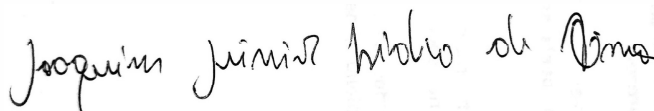
Professora Dra. Ana Isabela Araújo Cunha
Orientadora/UFBA



Professor Dr. Edson Pinto Santana
UFBA



Professor Dr. Maicon Deivid Pereira
UFBA



Professor Dr. Joaquim Júnior Isídio de Lima
UNIVASF



Professor Dr. Kleymilson do Nascimento Souza
UFOB

DEDICATÓRIA

À Noélia e Firmino (In Memoriam), a minha amada esposa Isa e aos meus quatro amados filhos, e a todos os meus familiares e amigos por minha ausência e dispersão.

AGRADECIMENTOS

Nesta jornada longa e árdua, porém profícua, deparei-me com todo tipo de problemas e dificuldades, desde os inerentes às minhas próprias limitações, as do labor do doutoramento até as profissionais para minha liberação e conclusão de tão importante patamar na vida acadêmica. Mas apesar de todos os percalços não caminhei só, pois Deus nunca nos deixa caminhar, sem ao menos, nos observar. Então envia-nos seus anjos em forma de pessoas que nos auxiliam. Neste sentido externo meus mais sinceros agradecimentos a todos que direta ou indiretamente auxiliaram no desenvolvimento deste trabalho: aos colegas: Ademir Costa, Alípio Silva, Cléber Almeida, Eliyas Mehdipour, Fabian Souza, Fernando Cardoso, Gabriele Gonçalves, Hildelói Santos, Kelvin Kefren, Lucas D'Eça, Matheus Artur, Rodrigo Barros, Rafael Medeiros e Milton Leslie que de forma irrestrita sempre me auxiliaram. Aos professores do Laboratório de Concepção de Circuitos Integrados (LCCI-UFBA) Profº Dr. Edson Pinto Santana e Profº Dr. Maicon Deivid Pereira, ao Programa de Pós-Graduação em Engenharia Elétrica (PPGEE-UFBA) e à CAPES pela cessão da bolsa no início do curso, à Universidade Federal do Oeste da Bahia (UFOB) pela liberação parcial e integral, ao Departamento de Engenharia Elétrica (DEE-UFBA), e aos meus colegas da UFOB, em destaque ao Profº Dr. Kleymlson do Nascimento Souza, a Profª Andressa Pereira, Profº Ademário José de Carvalho Neto, Profº Manoel Messias Silva Júnior e Profª Stefânia de Oliveira Silva.

Em especial, desejo expressar a minha mais profunda gratidão à Professora Doutora Ana Isabela Araújo Cunha, visto que palavras de agradecimento seriam ínfimas para um ser que acredito etéreo.

RESUMO

Este trabalho apresenta novas arquiteturas de multiplicadores analógicos em tecnologia CMOS (*Complementary Metal-Oxide-Semiconductor*)¹ para aplicação como elemento de sinapse em redes neuronais celulares analógicas (CNN: *cellular neural networks*). Os circuitos propostos apresentam as duas entradas em modo tensão e a saída em modo corrente e seguem o princípio segundo o qual o MOSFET em inversão forte e saturação atua como um quadrador da tensão porta-fonte. Embora este princípio seja utilizado por um grande número de multiplicadores com entradas em modo tensão, a inovação das propostas aqui descritas reside nos métodos de aplicação dos sinais, um dos quais dispensa geradores de referência de tensão. A análise de desempenho em variados aspectos foi realizada por meio de simulações considerando implementação em uma tecnologia CMOS de 130 nm, com tensão de alimentação simétrica de $\pm 0,6$ V. Em todos os projetos priorizou-se uma diminuição significativa da área ativa, em relação a trabalhos anteriores do mesmo grupo de pesquisa, sem prejuízos importantes de outras características de desempenho para aplicação como elemento de sinapse em CNN, como baixo consumo de energia e baixos níveis de distorção.

Palavras-Chaves: Sinapse eletrônica, CNN, multiplicador analógico CMOS, multiplicador de quatro quadrantes, redes neuronais, processamento de sinais analógicos.

¹ Tecnologia de fabricação de circuitos integrados baseada em transistores de efeito de campo MOS (metal-óxido-semicondutor) complementares (canal N e canal P).

ABSTRACT

This work presents new architectures of analog multipliers in CMOS technology, for the application as synaptic elements in cellular neural networks (CNN). The proposed circuits adopt two voltage-mode inputs and current-mode output, and are based on the principle according to which the MOSFET acts as a gate-source voltage squarer in strong inversion and saturation. Although such principle is employed by numerous CMOS multipliers with voltage-mode inputs, the here described circuits are innovative concerning the signal application methods. One of these methods avoids the use of reference voltage generators. The circuit performance is analyzed in several aspects through simulation in 130 nm CMOS technology using symmetric power-supply of ± 0.6 V. In all designs a special care has been taken to reduce the area with respect to prior works of the same research group, without significantly impairing other performance features for the application as synapse elements in CNN, such as low power and low distortion level.

Keywords: Electronic synapse, CNN, CMOS analog multiplier, four-quadrant multiplier, analog signal processing.

LISTA DE ABREVIATURAS E SIGLAS

A	Ampère
AC	<i>Alternate Current</i>
ACM	<i>Advanced Compact MOSFET</i>
ADC	<i>Analog to Digital Converter</i>
ADS	<i>Advanced Design System</i>
AMP OP	Amplificador Operacional
BSIM	<i>Berkeley Short-channel IGFET Model</i>
CA	Corrente Alternada
CAPES	Coordenação de Aperfeiçoamento de Pessoal de Nível Superior
CC	Corrente Contínua
CI	Circuito Integrado
CMOS	<i>Complementary Metal-Oxide Semiconductor</i>
CNN	<i>Cellular Neural Network</i>
dB	Decibel
DC	<i>Direct Current</i>
EDA	<i>Electronic Design Automation</i>
EKV	<i>Enz-Krummenacher-Vittoz model)</i>
FSR	<i>Full Signal Range</i>
Hz	Hertz
IBM	<i>International Business Machines</i>
JICS	<i>The Journal of Integrated Circuits and System</i>
LASCAS	<i>Latin American Symposium on Circuits and Systems</i>
LCCI	Laboratório de Concepção de Circuitos Integrados
M4Q	Multiplicador de Quatro Quadrantes
MATLAB	<i>MATrix LABoratory</i>
MEP	<i>Mosis Educational Program</i>
MOS	<i>Metal-Oxide Semiconductor</i>
MOSFET	<i>Metal Oxide Semiconductor Field Effect Transistor</i>
MOSIS	<i>Metal Oxide Semiconductor Implementation Service</i> <i>(Integrated Circuit Fabrication Service)</i>
mV	Milivolt

nA	Nanoampère
nm	Nanometro
OTA	<i>Operational Transconductance Amplifier</i>
RMS	Root Mean Square
SBCCI	<i>Symposium on Circuits and Systems Design</i>
TBJ	<i>Trasistor Bipolar Junction</i>
THD	<i>Total Harmonic Distortion</i>
V	Volt
V_{TH}	Tensão de Limiar (<i>Threshold</i>)
i_{in}	Corrente de Entrada
i_{out}	Corrente de Saída
V_{0v}	Sobretensão de Condução
V_{GS}	Tensão Porta-Fonte (<i>Gate-Source</i>)
VLSI	<i>Very Large-Scale Integration</i>
WSLVC	<i>Wide Swing Low Voltage Cascode</i>

LISTA DE SÍMBOLOS

μ	Mobilidade global dos portadores
μm	Micrometro
C'_{OX}	Capacitância por unidade de área do óxido
g_{md}	Transcondutância de dreno
g_{mg}	Transcondutância de porta
g_{ms}	Transcondutância de fonte
I_{B}	Corrente de polarização
I_{D}	Corrente de dreno
i_{f}	Corrente normalizada direta
I_{F}	Corrente de saturação direta
I_{R}	Corrente de saturação reversa
i_{r}	Corrente normalizada reversa
I_{S}	Corrente de normalização
k	Parâmetro de Transcondutância
L	Comprimento efetivo do canal
n	Fator de rampa
q	Magnitude da carga eletrônica
Q'_{ID}	Densidade de carga de inversão no lado do dreno
Q'_{IS}	Densidade de carga de inversão no lado da fonte
V_{DB}	Tensão entre os terminais de dreno e substrato
V_{DBSAT}	Tensão entre os terminais de dreno e substrato no limiar da saturação
V_{DD}	Tensão de alimentação positiva
V_{DS}	Tensão entre os terminais de dreno e fonte
V_{DSSAT}	Tensão entre os terminais de dreno e fonte no limiar da saturação
V_{GB}	Tensão entre os terminais de porta e substrato
V_{P}	Tensão de “ <i>pinch-off</i> ” ou estrangulamento
V_{SB}	Tensão entre os terminais de fonte e substrato
V_{SS}	Tensão de alimentação negativa
$V_{\text{TON(P)}}$	Tensão de limiar em equilíbrio do transistor canal N (P)
W	Largura efetiva do canal
λ	Parâmetro de ajuste do comprimento da seção do dreno
ϕ_{t}	Potencial termodinâmico

LISTA DE ILUSTRAÇÕES

Figura 1 – Quadrantes.	26
Figura 2 – Multiplicador por Dispositivo Não Linear.	27
Figura 3 – Amplificador de Transcondutância.	27
Figura 4 – Multiplicador Baseado em Amplificador de Transcondutância: (a) Adição de pequeno sinal i_2 à corrente de polarização; (b) Utilização de segundo transcondutor para geração de i_2 ; (c) Célula de Gilbert utilizando três transcondutores.	28
Figura 5 – Esquemas de Cancelamento por Combinação de: (a) Quadradores; (b) Multiplicadores de 1 quadrante.	29
Figura 6 – Multiplicadores para aplicação em baixa tensão: (a) baseado em somadores de baixa tensão; (b) baseados em subtratores de baixa.	33
Figura 7 – Multiplicador analógico CMOS escalável, de larga excursão.	35
Figura 8 – Multiplicador analógico de quatro quadrantes.	37
Figura 9 – Multiplicador analógico de quatro quadrantes.	38
Figura 10 – Multiplicador analógico CMOS de quatro quadrantes.	39
Figura 11 – Multiplicador analógico CMOS de quatro quadrantes.	40
Figura 12 – Multiplicador analógico de quatro quadrantes no regime de sub-limiar: (a) núcleo; (b) gerador da tensão de referência.	41
Figura 13 – Espelho de Corrente Widlar.	43
Figura 14 – Espelho de Corrente <i>Cascode</i>	45
Figura 15 – Espelho de Corrente Wilson.	46
Figura 16 – Espelho de Corrente Wilson Melhorado.	47
Figura 17 – Configuração de subtrator de corrente com um espelho.	48
Figura 18 – Configuração de subtrator de corrente com três espelhos.	49
Figura 19 – Topologia simétrica para o circuito subtrator.	50
Figura 20 – Configuração de subtrator de corrente com quatro espelhos.	51
Figura 21 – Diagrama Simplificado da Estrutura de uma Rede Celular Neuronal.	52
Figura 22 – Diagrama de blocos para a Célula Padrão.	53
Figura 23 – Diagrama de blocos para a Célula FSR.	54
Figura 24 – Arquitetura Completa do Multiplicador Proposto.	56
Figura 25 – Metade Esquerda do Núcleo do Multiplicador Proposto.	58
Figura 26 – Meia Direita do Núcleo do Multiplicador Proposto.	60
Figura 27 – Bloco Deslocador de Nível do Multiplicador Completo da Figura 24.	62
Figura 28 – Destaques do Bloco Deslocador de Nível: (a) Lado Direito – Injeção de v_{IN1} ; (b) Lado Esquerdo.	62
Figura 29 – Blocos para Injeção de Sinal nos Terminais de Fonte dos Núcleos M_3 - M_4 (a) e M_1 - M_2 (b).	63
Figura 30 – Bloco de Divisores de Tensão.	65
Figura 31 – Bloco Subtrator.	66
Figura 32 – Características DC: Corrente de Saída vs. Tensão de Entrada v_{IN1} , Parametrizadas por v_{IN2}	69
Figura 33 – Características DC: Corrente de Saída vs. Tensão de Entrada v_{IN2} , Parametrizadas por v_{IN1}	70
Figura 34 – Erro de Linearidade Relativo às Características DC da Figura 32.	70
Figura 35 – Erro de Linearidade Relativo às Características DC da Figura 33.	71
Figura 36 – Diagrama de Bode de Magnitude do Ganho i_{OUT}/v_{IN1} com v_{IN2} constante.	72
Figura 37 – Diagrama de Bode de Magnitude do Ganho i_{OUT}/v_{IN2} com v_{IN1} constante.	72

Figura 38 – Forma de Onda da Corrente de Saída com Entradas Senoidais de 450 Hz e 4,5 kHz e Amplitude de 100 mV.....	73
Figura 39 – THD vs. Amplitude do Sinal de Entrada v_{IN1} , com $V_{DD} = -V_{SS} = 0,6$ V e Temperatura: 27 °C.....	75
Figura 40 – THD vs. Amplitude do Sinal de Entrada v_{IN2} , com $V_{DD} = -V_{SS} = 0,6$ V e Temperatura: 27 °C.....	75
Figura 41 – THD vs. Amplitude do Sinal de Entrada v_{IN1} , com $v_{IN2} = -500$ mV.....	76
Figura 42 – THD vs. Amplitude do Sinal de Entrada v_{IN1} , com $v_{IN2} = -300$ mV.....	77
Figura 43 – THD vs. Amplitude do Sinal de Entrada v_{IN2} , com $v_{IN1} = -100$ mV.....	77
Figura 44 – THD vs. Amplitude do Sinal de Entrada v_{IN2} , com $v_{IN1} = 100$ mV.....	78
Figura 45 – THD vs. Amplitude do Sinal de Entrada v_{IN1} , com $v_{IN2} = -500$ mV.....	79
Figura 46 – THD vs. Amplitude do Sinal de Entrada v_{IN1} , com $v_{IN2} = -300$ mV.....	79
Figura 47 – THD vs. Amplitude do Sinal de Entrada v_{IN2} , com $v_{IN1} = -100$ mV.....	80
Figura 48 – THD vs. Amplitude do Sinal de Entrada v_{IN2} , com $v_{IN1} = 100$ mV.....	80
Figura 49 – Características de Transferência DC com Variações de Processo Utilizando o Método de Monte Carlo.....	81
Figura 50 – Densidade espectral da corrente de ruído à saída do multiplicador.	82
Figura 51 – Resultados da simulação para a função de processamento de imagem de preenchimento de buracos: (a) Imagem inicial e (b) Imagem final.	84
Figura 52 – Resultados da simulação para a função de processamento de imagem de detecção de borda: (a) imagem inicial e (b) imagem final.	84
Figura 53 – Princípio básico do núcleo multiplicador proposto.....	88
Figura 54 – Bloco de Média Aritmética.	89
Figura 55 – Bloco de Meia Diferença: (a) bloco de diferença; (b) bloco de meia diferença; (c) bloco de meia diferença com deslocadores de nível.	90
Figura 56 – Núcleo multiplicador para operação em um único quadrante.....	92
Figura 57 – Esquema de cancelamento para operação em quatro quadrantes.....	92
Figura 58 – Características de transferência DC do multiplicador: i_{out} vs. v_{in2} , com v_{in1} variando de -50 mV a 50 mV com passos de 5 mV; circuito completo, incluindo o subtrator.	94
Figura 59 – Características de transferência DC do multiplicador: i_{out} vs. v_{in2} , com v_{in1} variando de -50 mV a 50 mV com passos de 5 mV; subtração ideal.	94
Figura 60 – Distorção harmônica total do multiplicador: v_{in2} senoidal (100 Hz) e v_{in1} constante.	95
Figura 61 – Características de transferência DC do multiplicador para tensões de alimentação de +0,50 V: i_{out} vs. v_{in2} , com v_{in1} variando de -50 mV a 50 mV com passos de 10 mV; circuito completo, incluindo o subtrator.....	96
Figura 62 – Características de transferência DC do multiplicador para tensões de alimentação de +0,50 V: i_{out} vs. v_{in2} , com v_{in1} variando de -50 mV a 50 mV com passos de 10 mV; subtração ideal.	96
Figura 63 – Características de transferência DC do multiplicador para tensões de alimentação de +0,55 V: i_{out} vs. v_{in2} , com v_{in1} variando de -50 mV a 50 mV com passos de 10 mV; circuito completo, incluindo o subtrator.....	97
Figura 64 – Características de transferência DC do multiplicador para tensões de alimentação de +0,55 V: i_{out} vs. v_{in2} , com v_{in1} variando de -50 mV a 50 mV com passos de 10 mV; subtração ideal.	97
Figura 65 – Características de transferência DC do multiplicador para temperatura de -20°C: i_{out} vs. v_{in2} , com v_{in1} variando de -50 mV a 50 mV com passos de 10 mV.....	98
Figura 66 – Características de transferência DC do multiplicador para temperatura de 40°C: i_{out} vs. v_{in2} , com v_{in1} variando de -50 mV a 50 mV com passos de 10 mV.....	98

Figura 67 – Arquitetura do Subtrator WSLV <i>cascode</i> .	102
Figura 68 – Arquitetura completa do multiplicador de quatro quadrantes proposto.	102
Figura 69 – Características de transferência DC do multiplicador melhorado: i_{out} vs. v_{in1} , com v_{in2} variando de -50 mV a 50 mV com passos de 10 mV; circuito completo, incluindo o subtrator.	104
Figura 70 – Características de transferência DC do multiplicador melhorado: i_{out} vs. v_{in2} , com v_{in1} variando de -50 mV a 50 mV com passos de 10 mV.	105
Figura 71 – Erro de Linearidade Relativo às Características DC da Figura 33.	105
Figura 72 – Erro de Linearidade Relativo às Características DC da Figura 33.	105
Figura 73 – Distorção Harmônica Total do multiplicador: v_{in2} senoidal (100 Hz) e v_{in1} constante nos valores de -50 mV a 50 mV com passos de 20 mV. Fundo de escala de v_{in2} : 50 mV.	106
Figura 74 – Diagrama de Bode de Magnitude do Ganho i_{OUT}/v_{IN1} com v_{IN2} constante.	107
Figura 75 – Diagrama de Bode de Magnitude do Ganho i_{OUT}/v_{IN2} com v_{IN1} constante.	108
Figura 76 – Forma de onda da corrente de saída com entradas senoidais de 100 Hz e 1,0 kHz e amplitude de 20 mV.	108
Figura 77 – Características de transferência DC do multiplicador para tensões de alimentação de +0,4 V: i_{out} vs. v_{in2} , com v_{in1} variando de -50 mV a 50 mV com passos de 10 mV.	109
Figura 78 – Características de transferência DC do multiplicador para tensões de alimentação de +0,45 V: i_{out} vs. v_{in2} , com v_{in1} variando de -50 mV a 50 mV com passos de 10 mV.	109
Figura 79 – Características de transferência DC do multiplicador para tensões de alimentação de +0,5 V: i_{out} vs. v_{in2} , com v_{in1} variando de -50 mV a 50 mV com passos de 10 mV.	110
Figura 80 – Características de transferência DC do multiplicador para tensões de alimentação de +0,55 V: i_{out} vs. v_{in2} , com v_{in1} variando de -50 mV a 50 mV com passos de 10 mV.	110
Figura 81 – Características de transferência DC do multiplicador para temperatura de -5°C: i_{out} vs. v_{in2} , com v_{in1} variando de -50 mV a 50 mV com passos de 10 mV.	111
Figura 82 – Características de transferência DC do multiplicador para temperatura de 0°C: i_{out} vs. v_{in2} , com v_{in1} variando de -50 mV a 50 mV com passos de 10 mV.	112
Figura 83 – Características de transferência DC do multiplicador para temperatura de 40°C: i_{out} vs. v_{in2} , com v_{in1} variando de -50 mV a 50 mV com passos de 10 mV.	112
Figura 84 – Características de transferência DC com variações de processo utilizando o Método de Monte Carlo, $i_{OUT} \times v_{in1}$ com variações de v_{in2} nos extremos: -50 mV e 50 mV.	113
Figura 85 – Características de transferência DC com variações de processo utilizando o Método de Monte Carlo, $i_{OUT} \times v_{in2}$ com variações de v_{in1} nos extremos: -50 mV e 50 mV.	113
Figura 86 – Leiate do multiplicador analógico completo.	115

LISTA DE TABELAS

Tabela 1 – Resumo de Modos Operacionais dos Multiplicadores.	31
Tabela 2 – Dimensões dos Transistores e Área Ativa.	83
Tabela 3 – Dimensões dos Transistores e Área Ativa.	99
Tabela 4 – Dimensões dos Transistores e Área Ativa.	114
Tabela 5 – Síntese das Características de Desempenho dos Multiplicadores.	117

SUMÁRIO

1. INTRODUÇÃO	18
1.1. Contextualização.....	18
1.2. Objetivo	21
1.2.1. Objetivos Específicos.....	21
1.3. Justificativas.....	22
1.4. Organização do Texto	23
2. FUNDAMENTAÇÃO TEÓRICA	25
2.1. Multiplicadores	25
2.1.1. Princípio de Operação dos Multiplicadores.....	25
2.1.2. Multiplicação por Dispositivo Não-Linear.....	26
2.1.3. Multiplicação por Dispositivo de Transcondutância Programável.....	27
2.1.4. Esquemas de Cancelamento	28
2.1.5. Tipos de Multiplicadores	30
2.2. Espelhos de Corrente em Tecnologia CMOS	42
2.3. Subtratores de Corrente	48
2.4. Redes Celulares Neurais (CNN)	51
3. MULTIPLICADOR ANALÓGICO CMOS MUITO COMPACTO PARA APLICAÇÃO EM SINAPSES DE CNN.....	56
3.1. Arquitetura Proposta	56
3.1.1. Núcleos do Multiplicador	58
3.1.2. Transferência de Sinal para os Terminais de Porta dos Núcleos.....	61
3.1.3. Transferência de Sinal para os Terminais de Fonte dos Núcleos	63
3.1.4. Tensões de Referência	65
3.2. Subtrator de Corrente <i>Cascode</i>	66
3.3. Considerações sobre Modularidade	67
3.4. Resultados de Simulação e Análise de Desempenho.....	68
3.4.1. Características de Transferência DC	68
3.4.2. Erro de Linearidade	69
3.4.3. Banda de Passagem	71
3.4.4. Simulação no Domínio do Tempo.....	73
3.4.5. Distorção Harmônica Total (THD).....	73
3.4.6. Análise da THD com Variações das Tensões de Alimentação	76

SUMÁRIO

3.4.7.	Análise da THD com Variações da Temperatura	78
3.4.8.	Características de Transferência DC com Variações de Processo	81
3.4.9.	Análise de Ruído na Saída.....	82
3.4.10.	Potência DC	82
3.4.11.	Considerações sobre Área.....	83
3.4.12.	Operação como sinapse de uma CNN	84
3.5.	Considerações Finais	85
4.	MULTIPLICADOR ANALÓGICO CMOS DE QUATRO QUADRANTES SEM GERADORES DE TENSÃO DE REFERÊNCIA	87
4.1.	Arquitetura Proposta	87
4.1.1.	Princípio de Operação	87
4.1.2.	Bloco de Média Aritmética	88
4.1.3.	Bloco de Meia-Diferença.....	90
4.2.	Resultados de Simulação e Análise de Desempenho.....	93
4.2.1.	Características de Transferência DC	93
4.2.2.	Características de Transferência DC com Variação de Tensão de Alimentação.....	95
4.2.3.	Características de Transferência DC com Variação de Temperatura.....	97
4.2.4.	Potência DC	99
4.2.5.	Considerações sobre Área	99
4.3.	Considerações Finais	100
5.	VERSÃO MELHORADA DO MULTIPLICADOR ANALÓGICO CMOS DE QUATRO QUADRANTES SEM GERADORES DE TENSÃO DE REFERÊNCIA	101
5.1.	Arquitetura Melhorada.....	101
5.1.1.	Subtrator e Fontes de Corrente Auxiliares	101
5.1.2.	Considerações sobre o Dimensionamento.....	103
5.2.	Resultados de Simulação e Análise de Desempenho.....	103
5.2.1.	Características de Transferência DC	104
5.2.2.	Banda de Passagem	107
5.2.3.	Simulação no Domínio do Tempo.....	108
5.2.4.	Características de Transferência DC com Variação de Tensão de Alimentação.....	109
5.2.5.	Características de Transferência DC com Variação de Temperatura.....	111
5.2.6.	Características de Transferência DC com Variações de Processo	112
5.2.7.	Potência DC	113
5.2.8.	Considerações sobre Área	114

SUMÁRIO

5.2.9. Leiaute do Circuito	115
5.3. Considerações Finais	116
6. ANÁLISE COMPARATIVA ENTRE OS MULTIPLICADORES ANALÓGICOS CMOS	117
7. CONCLUSÃO	119
7.1. Sugestões para Trabalhos Futuros	121
7.2. Divulgação da Pesquisa	122
REFERÊNCIAS BIBLIOGRÁFICAS.....	123

1. INTRODUÇÃO

1.1. Contextualização

Próteses retinianas eletrônicas se apresentam na atualidade como uma solução viável e promissora para os problemas de visão subnormal ou cegueira completa oriundos da degeneração da retina (TOMBRAN-TINK et al., 2007) e (MARTINS; SOUSA, 2009). Tais próteses consistem de microchips que podem substituir parcial ou totalmente a retina, podendo incluir funções como: foto-recepção, interação com centros avançados de processamento do sistema nervoso, filtragem temporal e espacial, ajuste de ganho e quantização adaptativa (SANTANA, 2013).

As próteses totalmente implantáveis são constituídas por uma matriz de milhares de microelementos fotossensíveis (fotodiodos ou fototransistores), circuitos eletrônicos de processamento de imagem e eletrodos, cuja função é capturar os sinais elétricos que codificam a informação de imagem e os encaminhar para o nervo ótico. O processamento do sinal visual através da retina, desde a foto-recepção até a estimulação do nervo ótico, inclui operações que são melhor desempenhadas pixel a pixel, o que requer uma alta densidade de integração dos circuitos eletrônicos.

Dentre as possibilidades de implementação de próteses retinianas, os sistemas biomórficos de modelagem da retina compreendem circuitos eletrônicos analógicos que procuram imitar o processamento de imagem de forma aproximada àquela que ocorre ao longo das camadas de células biológicas. Algumas implementações biomórficas são extremamente simples e compactas (MAHER et al., 1989), (ZAGHLOUL; BOAHEN, 2004a,b), contudo, muito provavelmente, não comportam modificações para a melhora de desempenho ou para expansão das funções. Por outro lado, sistemas biomórficos que utilizam rede celular neuronal ou CNN² analógica (CHUA; ROSKA, 2002), (CARMONA-GÁLÁN et al., 2003), (HEGT et al., 1998), possibilitam um alto grau de reconfigurabilidade. Uma CNN é composta por vários blocos estruturais, entre os quais, multiplicadores (sinapses), somadores, integradores, grampeadores ou limitadores.

² Cellular Neural Network

Num trabalho anterior da equipe do Laboratório de Concepção de Circuitos Integrados do Departamento de Engenharia Elétrica da UFBA, desenvolvido no contexto da tese de doutorado do professor Edson Pinto Santana (SANTANA, 2013), foi concebida, projetada, simulada, desenhada na forma de leiaute e fabricada na tecnologia CMOS³ IBM[®] 0.13 μm uma CNN com características específicas para a futura reprodução de funções relacionadas à visão precoce (*early vision*), que se refere aos estágios da visão que envolvem a captura, pré-processamento e codificação da informação visual, mas não envolvem interpretação ou outro processamento cognitivo da informação visual, e que são funções próprias da retina humana (CARMONA-GÁLAN et al., 2003). A célula FSR⁴ que consiste na estrutura básica desta rede inclui uma arquitetura original de multiplicador de sinais analógicos, que sintetiza as sinapses, ou seja, a ponderação dos sinais de entrada das células por coeficientes associados à função a ser realizada.

Na arquitetura do multiplicador proposta em (SANTANA, 2013) e (SANTANA et al., 2012a,b), compacta e de baixo consumo, uma entrada é um sinal de tensão e a outra, bem como a saída, são sinais de corrente. A entrada em corrente é utilizada para implementar cada operador sináptico (coeficiente), possibilitando uma programação analógica em um contexto contínuo. A entrada em tensão permite que o mesmo sinal seja aplicado a várias outras conexões sinápticas. A saída em corrente torna prescindível o uso de circuitos somadores. Vários blocos do multiplicador podem ser compartilhados entre sinapses de uma mesma célula e entre células de uma rede, o que viabilizou a economia em área de silício. Os demais blocos necessários à síntese de uma célula FSR, integrador e grampeador (*clamper*) foram extraídos de publicações científicas nesta área e incorporados ao circuito. Redes celulares neuronais de uma e duas dimensões foram simuladas em aplicações relevantes de processamento de imagens binárias (SANTANA, 2013), (SANTANA et al., 2012a,b), assim como em operações de filtragem de baixa ordem de imagens em escala de cinza (ANDRADE, 2013), (ANDRADE, 2015), apresentando resultados satisfatórios. Foram fabricados dois circuitos integrados na tecnologia CMOS IBM[®] 0,13 μm (IBM, 2010), um incluindo o multiplicador de quatro quadrantes utilizado na sinapse da célula FSR e uma CNN unidimensional de oito células e outro incluindo uma CNN bidimensional de 64 células (8 x 8). Em

³ Complementary Metal-Oxide Semiconductor

⁴ Full Signal Range

(CARDOSO; SCHNEIDER; SANTANA, 2018) foram introduzidas alterações na arquitetura de multiplicador analógico de (SANTANA, 2013), (SANTANA et al., 2012a,b) para torná-la menos sensível à tensão de alimentação, aspecto importante quando o dispositivo de aplicação é alimentado por baterias e apresenta difícil acessibilidade, como é o caso de circuitos implantados no corpo humano. Convém ressaltar que características de desempenho dos circuitos multiplicadores de (SANTANA, 2013), (SANTANA et al., 2012a,b) e de (CARDOSO; SCHNEIDER; SANTANA, 2018), como erro de linearidade, distorção harmônica total, banda de frequências, ruído, entre outras, foram analisadas por meio de simulação, exibindo níveis aceitáveis.

No entanto, limitações de linearidade na operação dos transistores de entrada terminaram por requerer valores muito baixos de corrente de entrada e, por isto, observaram-se dificuldades em fazer uma caracterização experimental dos circuitos fabricados, uma vez que os valores destas correntes ficam mascarados por ruído externo ao circuito. Além disto, a indispensabilidade da utilização de conversores tensão-corrente para se obterem os sinais representativos dos coeficientes (pesos sinápticos), a divergência entre a faixa de variação dos valores de tensão que representam os pixels e os níveis gerados pelo circuito de sensoriamento, bem como a complexidade do circuito, são também fatores que acabam por elencar necessários aprimoramentos. Os conversores tensão-corrente são redes complementares ao circuito principal, que elevam o consumo de energia e o dispêndio de área de silício, além de eventualmente introduzir alguma contribuição ao nível de distorção do multiplicador. Pelo fato de ser muito baixa a faixa de variação dos sinais de tensão representativos dos pixels nos multiplicadores de (SANTANA, 2013), (SANTANA et al., 2012a,b) e de (CARDOSO; SCHNEIDER; SANTANA, 2018), provavelmente será necessário introduzir uma rede de condicionamento entre eles e o circuito de sensoriamento, o que acrescentará ainda mais área, consumo e complexidade. Finalmente, tais circuitos multiplicadores por si mesmos já são bastante complexos, compreendendo muitos transistores e ocupando uma área apreciável. Todo este panorama justifica os objetivos da proposta de pesquisa aqui apresentada.

1.2. Objetivo

O objetivo mais abrangente deste projeto é dar continuidade a uma linha de pesquisa voltada ao estudo e concepção de próteses retinianas eletrônicas para recuperação parcial da visão em casos de degeneração da retina. Este trabalho estará concentrado na análise de desempenho de arquiteturas de multiplicadores analógicos em tecnologia CMOS, para operação como elementos de sinapse, no que concerne à distorção, consumo de energia, área de silício ocupada, sensibilidade à variação das tensões de alimentação, da temperatura e de parâmetros tecnológicos e seu impacto no desempenho da rede neuronal celular.

Os principais objetivos desta proposta de trabalho baseiam-se em realizar modificações e melhoramentos nas arquiteturas de multiplicadores analógicos, adaptando-as para operar com sinais de entrada exclusivamente em tensão, com níveis coadunáveis com o circuito de sensoriamento, e visando: diminuição de área ativa; baixa sensibilidade em relação às variações de temperatura, tensão de alimentação e parâmetros tecnológicos; operação com baixa potência. Outrossim, como uma continuação ao trabalho desenvolvido, pretende-se realizar uma análise minuciosa sobre o desempenho das estruturas alternativas de multiplicador propostas, enquanto blocos de circuito isolados e incorporadas à CNN analógica de (SANTANA, 2013), (SANTANA et al., 2012a,b), analisando a confiabilidade da operação desta como processador de imagens.

1.2.1. Objetivos Específicos

Os objetivos específicos deste trabalho são:

- (i) Proposição de arquiteturas alternativas para os multiplicadores que implementam as sinapses da célula FSR de (SANTANA, 2013), (SANTANA et al., 2012a,b) com as seguintes características: entradas em tensão e saída em corrente; faixa de variação das tensões de entrada em níveis de fácil discriminação do ruído e compatíveis com sinais gerados pelo circuito de sensoriamento, de modo a reduzir os requisitos e complexidade dos condicionadores de sinal; baixa complexidade;

possibilidade de reaproveitamento de blocos dentro da célula FSR e dentro da rede neuronal.

- (ii) Análise de desempenho, por meio de simulação, das arquiteturas de multiplicador propostas, nos aspectos: linearidade e distorção harmônica total; banda de frequências; sensibilidade à variação de parâmetros tecnológicos; sensibilidade à variação da tensão de alimentação; sensibilidade à variação de temperatura; ruído; potência; área ativa.

1.3. Justificativas

Os multiplicadores analógicos têm um papel essencial em alguns sistemas de processamento de sinais analógicos, como as redes neuronais celulares (CNN), onde atuam como elementos sinápticos (CHUA; YANG, 1988). Na implementação de multiplicadores analógicos em tecnologia CMOS, a arquitetura deve lidar com os requisitos atuais de baixa tensão, o que torna os circuitos em modo corrente preferíveis (BAHARMAST; MOWLAVI, 2016) e (BEYRAGHI; KHOEI, 2015). Além disso, o sinal de saída do multiplicador deve ser uma corrente para simplificar a soma que é executada entre os produtos resultantes na saída das sinapses. No entanto, em redes de processamento de alta densidade, como é o caso da CNN, há a necessidade de se aplicar o mesmo sinal a várias entradas de células, a fim de ser ponderado pelos operadores sinápticos. Este aspecto é determinante para a escolha da topologia do multiplicador. Para conseguir uma implementação mais compacta do circuito, o modo tensão nas entradas do multiplicador é bastante adequado. Entradas em modo corrente demandam a introdução de muitos espelhos de corrente para reproduzir os sinais nas entradas de vários multiplicadores, implicando em mais área de silício para a implementação do circuito. Multiplicadores com sinais de entrada em modo misto (SANTANA; FREIRE; CUNHA, 2012) e (CARDOSO; SCHNEIDER; SANTANA, 2018), onde os sinais de entrada de corrente correspondem aos operadores sinápticos (pesos), demandam o uso de conversores tensão-corrente para gerar e programar corretamente os valores dos coeficientes.

Portanto, os projetistas de circuitos integrados analógicos em tecnologia CMOS devem enfrentar o desafio de conciliar as restrições das tecnologias submicrométricas, entre as quais o ambiente de baixa tensão, às especificações de desempenho das

arquiteturas multiplicadoras em modo tensão na entrada (MAHMOUD, 2009), (KUMNGERN; CHANWUTITUM, 2008). O método de aplicação do sinal de tensão é uma questão crítica, uma vez que muitas vezes requer o uso de amplificadores e/ou inversores e, portanto, os elementos de polarização associados, como fontes e sorvedores de corrente bem regulados e referências de tensão de alta precisão. Além da complexidade que tais circuitos auxiliares (amplificadores, inversores e elementos de polarização) adicionam à topologia do multiplicador, o comportamento deste pode se tornar extremamente sensível à variação da tensão de alimentação, a menos que uma rede ainda mais complexa seja incorporada.

Como o número de elementos de sinapse em uma CNN voltada ao processamento de imagens é extremamente alto (em geral, cerca de dezoito vezes o número de células, que, por sua vez, pode ser da ordem de dezenas a centenas de milhares), (CHUA; ROSKA, 2002), a simplicidade é uma característica obrigatória em arquiteturas multiplicadoras para essa finalidade. Neste trabalho, propomos novas arquiteturas de multiplicadores para aplicação como elementos de sinapse em CNN, investindo um esforço criativo nos métodos de aplicação dos sinais, a fim de atender aos requisitos de simplicidade, baixo consumo de energia, baixa sensibilidade, conciliados às restrições da tecnologia CMOS.

1.4. Organização do Texto

Esta tese está organizada em 7 (sete) capítulos com a seguinte distribuição de tópicos:

- No Capítulo 2, são apresentados os fundamentos teóricos sobre multiplicadores analógicos, espelhos de corrente, subtratores e redes neuronais celulares (CNN);
- No Capítulo 3, descreve-se e analisa-se o desempenho de uma nova arquitetura de multiplicador analógico em tecnologia CMOS muito compacto para aplicação em sinapses de CNN. Este circuito gerou uma publicação apresentada no LASCAS 2019 - *Latin American Symposium on Circuits and Systems*, em 2019, na Armenia, Colômbia, com o título “*A Very Compact CMOS Analog Multiplier for Application in CNN Synapses*”;

- No Capítulo 4, descreve-se e analisa-se o desempenho de uma nova arquitetura de multiplicador analógico CMOS de quatro quadrantes que dispensa geradores de tensão de referência, para aplicação também em sinapses de CNN. Este circuito gerou uma publicação apresentada no SBCCI 2019 - 32nd SBCCI – *Symposium on Circuits and Systems Design*, em 2019, São Paulo-SP, Brasil, com o título “*CMOS Analog Four-Quadrant Multiplier Free of Voltage Reference Generators*”;
- No Capítulo 5 descreve-se uma versão melhorada do multiplicador apresentado no Capítulo 4;
- No Capítulo 6, efetua-se uma análise comparativa entre os multiplicadores analógicos CMOS propostos neste trabalho e em (SANTANA, 2013) e (CARDOSO; SCHNEIDER; SANTANA, 2018);
- Finalizando, no Capítulo 7 expõem-se as conclusões desta tese.

2. FUNDAMENTAÇÃO TEÓRICA

Neste capítulo expõe-se uma revisão dos principais conceitos envolvidos neste estudo: os fundamentos e as características dos multiplicadores analógicos, espelhos de corrente e subtratores de corrente em tecnologia CMOS, assim como uma breve explanação sobre a operação de redes neuronais celulares analógicas (CNN), particularmente com células do tipo FSR (*full signal range*).

2.1. Multiplicadores

A multiplicação analógica em tempo real de dois sinais é uma das operações mais importantes no processamento de sinais analógicos. O multiplicador é utilizado não apenas como um bloco de construção computacional, mas também como um elemento de programação em sistemas como filtros, redes neuronais (CNN), misturadores e moduladores em sistemas de comunicação (HAN; SÁNCHEZ-SINENCIO, 1998). Multiplicadores analógicos a MOSFET possibilitam compatibilizar as tecnologias de fabricação da porção analógica e da porção digital dos circuitos analógicos ditos mistos e também demandam menores tensões de alimentação que congêneres a transistores bipolares de junção (TBJ) (HAN; SÁNCHEZ-SINENCIO, 1998).

2.1.1. Princípio de Operação dos Multiplicadores

Os multiplicadores ideais executam produtos lineares de dois sinais (x e y), que podem variar no tempo, resultando em um sinal cxy , sendo c uma constante (HAN; SÁNCHEZ-SINENCIO, 1998), (MACHADO, 2007).

Multiplicadores podem ser classificados como de quadrante único (no qual os dois sinais de entrada devem ser unipolares), de dois quadrantes (onde um sinal de entrada pode ser bipolar e o outro deve ser unipolar) e de quatro quadrantes (onde ambos sinais de entrada podem ser bipolares). A Figura 1 ilustra a disposição dos sinais de entrada do multiplicador por quadrantes.

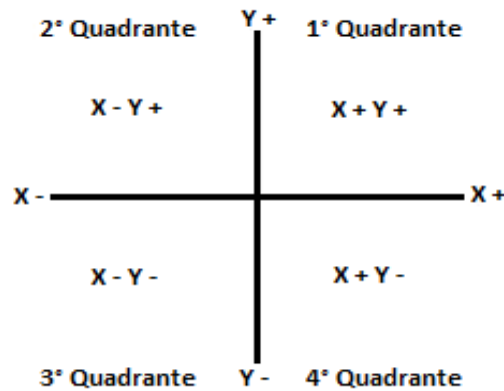


Figura 1 – Quadrantes.

Segundo Han e Sánchez-Sinencio (1998), apesar do grande número de artigos propondo novas estruturas de multiplicadores MOS, os princípios básicos que regem a operação de multiplicadores analógicos são dois: por dispositivo não linear e por transcondutância programável. Embora duas décadas tenham se passado, uma revisão bibliográfica mostrou que esta afirmação continua verdadeira.

2.1.2. Multiplicação por Dispositivo Não-Linear

Uma forma de implementação de circuitos multiplicadores, exposta na Figura 2, ocorre através da exploração das características não lineares dos dispositivos. A soma de dois sinais, x e y , aplicada à entrada de um dispositivo não linear, caracterizado por uma função polinomial de alta ordem, gera na saída um sinal z na forma:

$$z = a_0 + a_1(x + y) + a_2(x + y)^2 + a_3(x + y)^3 + \dots \quad (1)$$

O termo desejado, proporcional ao produto xy , está embutido no termo de 2ª ordem:

$$a_2(x + y)^2 = a_2x^2 + 2a_2xy + a_2y^2 \quad (2)$$

Contudo, muitos outros termos são gerados e, assim, é necessário que em sua saída seja acoplado um esquema de cancelamento destes elementos indesejáveis.

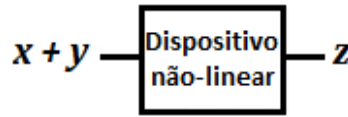


Figura 2 – Multiplicador por Dispositivo Não Linear.

2.1.3. Multiplicação por Dispositivo de Transcondutância Programável

Um multiplicador pode ser formado utilizando-se componentes de transcondutância programável. Considere-se o amplificador de transcondutância programável conceitual, ilustrado na Figura 3, em que a corrente de saída pode ser representada por $i_o = G_{m1} v_1$, sendo a transcondutância G_{m1} igual a $\frac{I_{Bias1}}{V_K}$, onde I_{Bias1} é a corrente de polarização e V_K é um parâmetro constante com unidade de tensão.

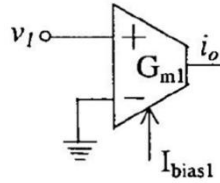


Figura 3 – Amplificador de Transcondutância.

Fonte: (HAN; SÁNCHEZ-SINENCIO, 1998)

Adicionando-se um pequeno sinal i_2 à corrente de polarização, como ilustrado na Figura 4(a), a corrente de saída fica:

$$i_o = G_{m1} v_1 = \frac{(I_{Bias1} + i_2)}{V_K} v_1 \quad (3)$$

Se esta corrente é oriunda de outro transcondutor, com tensão de entrada v_2 , transcondutância G_{m2} igual a $\frac{I_{Bias2}}{V_K}$ e polarizado com corrente I_{Bias2} , como ilustrado na Figura 4(b), então:

$$i_o = G_{m1} v_1 = \frac{I_{Bias1} + G_{m2} v_2}{V_K} v_1 = \frac{I_{Bias1}}{V_K} v_1 + \frac{I_{Bias2}}{V_K} v_1 v_2 \quad (4)$$

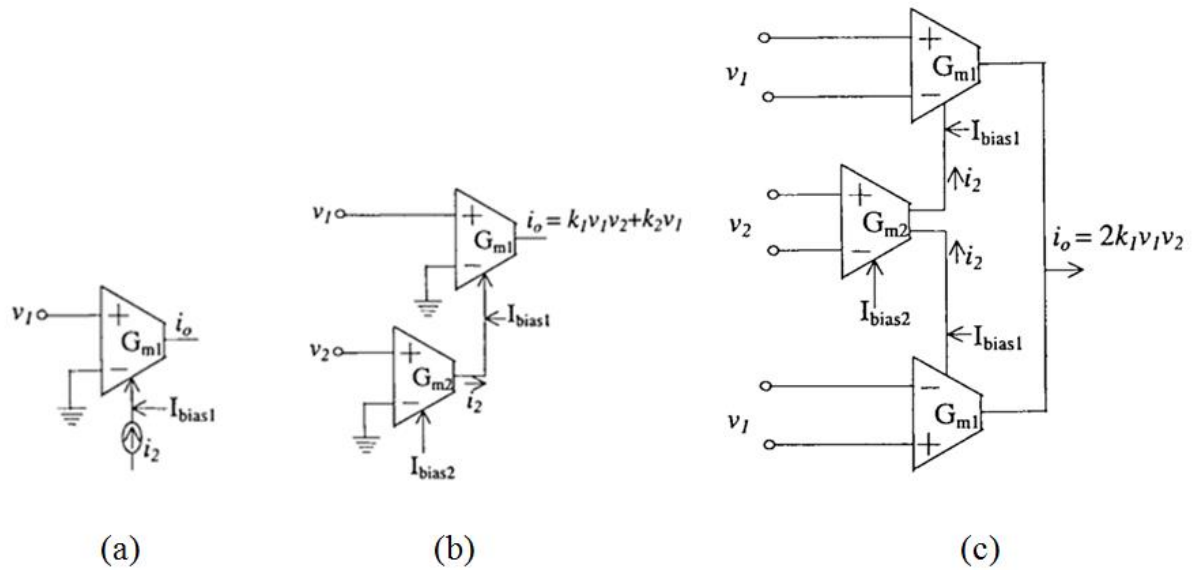


Figura 4 – Multiplicador Baseado em Amplificador de Transcondutância: (a) Adição de pequeno sinal i_2 à corrente de polarização; (b) Utilização de segundo transcondutor para geração de i_2 ; (c) Célula de Gilbert utilizando três transcondutores.

Fonte: (HAN; SÁNCHEZ-SINENCIO, 1998)

Assim, a corrente de saída i_o é constituída por um termo proporcional ao produto dos dois sinais v_1 e v_2 , somado a um componente $k_2 v_1$ indesejado. Este componente pode ser eliminado através de um esquema de cancelamento, no qual um terceiro transcondutor é utilizado e as entradas em tensão são aplicadas no modo diferencial, como ilustrado na Figura 4(c). Este é o princípio básico de operação de uma célula de Gilbert, cujas implementações baseadas no Amplificador de Transcondutância Operacional (OTA) são relatadas por Han e Sánchez-Sinencio, (1998).

2.1.4. Esquemas de Cancelamento

Os esquemas de cancelamento citados anteriormente são usualmente construídos por combinações de dispositivos ou **células quadradoras**, como ilustrado na Figura 5(a), ou de **células multiplicadoras** de um quadrante, como ilustrado na Figura 5(b).

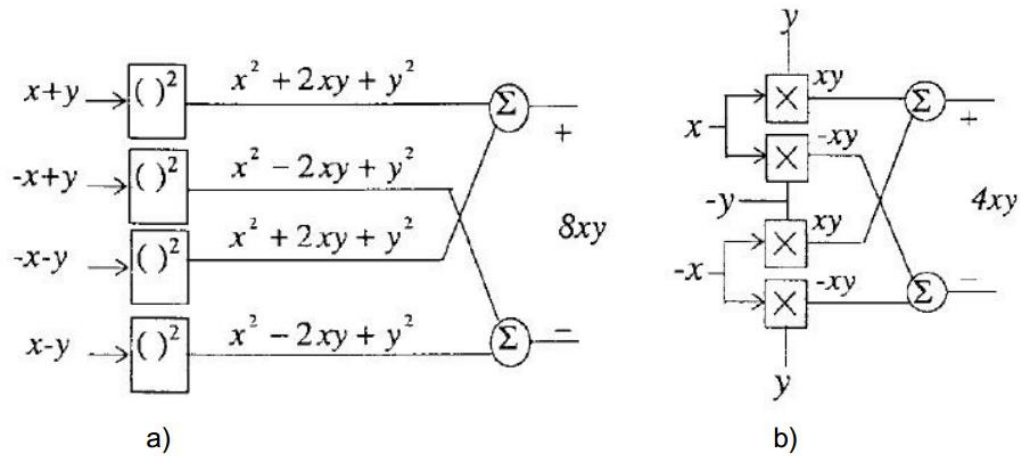


Figura 5 – Esquemas de Cancelamento por Combinação de: (a) Quadradores; (b) Multiplicadores de 1 quadrante.

Fonte: (HAN; SÁNCHEZ-SINENCIO, 1998)

Nestes esquemas tanto os termos indesejados como as componentes de polarização são eliminados. No caso de cancelamento por combinação de células quadradoras, o princípio de operação se baseia na expressão:

$$\{[(X+x) + (Y+y)]^2 + [(X-x) + (Y-y)]^2\} - \{[(X-x) + (Y+y)]^2 + [(X+x) + (Y-y)]^2\} = 8xy \quad (5)$$

em que x e y são os sinais e X e Y são suas respectivas componentes de polarização.

No caso de cancelamento por combinação de multiplicadores de um quadrante, o princípio de operação se baseia na expressão:

$$[(X+x)(Y+y) + (X-x)(Y-y)] - [(X-x)(Y+y) + (X+x)(Y-y)] = 4xy \quad (6)$$

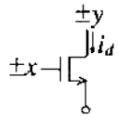
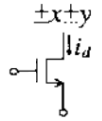
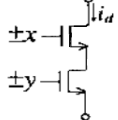
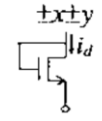
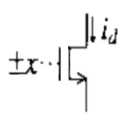
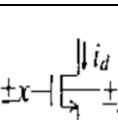
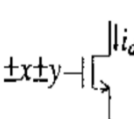
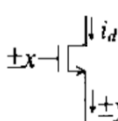
Em multiplicadores que operam com saída em modo corrente, a adição entre dois ou mais sinais, ocorrente várias vezes em (5) e (6), pode ser realizada em um nó. Por outro lado, a subtração também presente nestas expressões é implementada por subtratores de corrente, em geral constituídos por espelhos de correntes, tópico que será abordado na Seção 2.2.

2.1.5. Tipos de Multiplicadores

De acordo com Han e Sánchez-Sinencio (1998), os multiplicadores em tecnologia CMOS podem ser agrupados em oito tipos, que podem ser categorizados em dois grupos com base na região de operação dos transistores MOS, supostamente no regime de inversão forte: linear (HAN; SÁNCHEZ-SINENCIO, 1998), (COLLI-MONTECCH, 1996) e de saturação (WANG, 1993), (QIN; GEIGER, 1987). Os oito tipos, por sua vez, restritos a multiplicadores com entradas em tensão, diferem pelo método de injeção dos sinais e são relacionados na Tabela 1, extraída de (HAN; SÁNCHEZ-SINENCIO, 1998). Nesta tabela, a terceira coluna (Termo Ativo) indica o termo da relação quadrática entre a corrente de dreno e as tensões terminais que é efetivamente utilizado para gerar o produto entre os sinais de entrada. A quarta coluna (Método de Cancelamento) refere-se a qual dos dois métodos indicados na Figura 5 é utilizado para eliminar os termos indesejados e os níveis de polarização. A sexta coluna (Comentários) exhibe conclusões dos autores do trabalho a respeito da viabilidade de implementação. Deve-se enfatizar que os princípios fundamentais são os mesmos para muitos dos multiplicadores apresentados em publicações científicas e, apesar da antiguidade do tutorial de Han e Sánchez-Sinencio, esta classificação ainda continua atual. Além das estruturas multiplicadoras básicas da Tabela 1, multiplicadores operando na região de inversão fraca (SONG-KIM, 1990), multiplicadores dinâmicos para sistemas que operam com sinais amostrados ou multiplicadores voltados para aplicações em redes neuronais, com entradas no modo tensão-corrente ou corrente-corrente foram reportados (HAN; SÁNCHEZ-SINENCIO, 1998), (JOORDENS; HEGT; LEENAERTS, 1995).

Tabela 1 – Resumo de Modos Operacionais dos Multiplicadores.

Fonte: (HAN; SÁNCHEZ-SINENCIO, 1998)

Região de Operação	Método de Injeção de Sinal	Termo Ativo	Método de Cancelamento	Tipo	Comentários
Linear		$V_{gs}V_{ds}$	1 Quadrante	I	
		V_{ds}^2	Quadrador	II	não é prática
		$V_{gs}V_{ds}$	1 Quadrante	III	não é prática
Saturação		V_{gs}^2	Quadrador	IV	não é prática
		V_{gs}^2	Quadrador	V	
		V_{gb}^2	Quadrador	VI	não é prática
		V_{gs}^2	Quadrador	VII	
		V_{gs}^2	Célula Gilbert 1 Quadrante	VIII	

Como as arquiteturas de multiplicadores analógicos em tecnologia CMOS propostas no presente trabalho possuem entradas em modo tensão, é apresentada a seguir uma relação de trabalhos publicados nesta mesma linha nas últimas duas décadas, ressaltando as principais características dos circuitos.

- (i) Em (MAUNDY; ARONHIME, 2002) são apresentadas duas arquiteturas de multiplicadores de quatro quadrantes do tipo VII da Tabela 1, ou seja, baseadas na relação quadrática entre a corrente de dreno e a tensão porta-fonte em transistores MOS operando em inversão forte e saturação. Numa arquitetura, ilustrada na Figura 6(a), é utilizado um esquema de cancelamento igual ao de (5) e na outra, ilustrada na Figura 6b), um esquema semelhante, no qual as tensões de entrada são subtraídas antes de serem elevadas ao quadrado. Na primeira, são utilizados transistores canal P e transistores canal N e na segunda, apenas transistores canal N, mas é requerido um gerador de tensão de referência, que não é apresentado. Cada um dos dois sinais a serem multiplicados é aplicado a duas entradas, numa das quais invertido, não sendo, contudo, apresentado o circuito auxiliar que realiza esta inversão. Todos os sinais são aplicados acompanhados de uma tensão de polarização. É utilizado o princípio de que o potencial entre dois transistores do mesmo tipo em série contém um termo proporcional à diferença entre os potenciais de porta. O sinal de saída é a corrente resultante de um subtrator de corrente formado por um espelho Widlar. Os circuitos são implementados para simulação em uma tecnologia CMOS canal N de $0,35\ \mu\text{m}$, utilizando transistores de grandes dimensões (largura de $200\ \mu\text{m}$ para todos os dispositivos e comprimentos de $4\ \mu\text{m}$, para os dispositivos canal N e de $2\ \mu\text{m}$, para os dispositivos canal P). Adotou-se tensão de alimentação de 3,3 volts. Foram reportados como resultados de simulação: distorção harmônica total de 0,4 % e de 0,2 % para o primeiro e segundo circuitos, respectivamente, com sinais de amplitude igual a 150 mV e frequência de até 100 kHz; largura de banda de aproximadamente 84 MHz e 30 MHz para o primeiro e o segundo circuitos, respectivamente. Nenhuma informação sobre a potência, área ativa e sensibilidade foi apresentada. Os autores clamam que o circuito é adequado para aplicações de baixa tensão

porque todos os ramos entre os terminais de alimentação (*rails*) incluem apenas dois transistores em série.

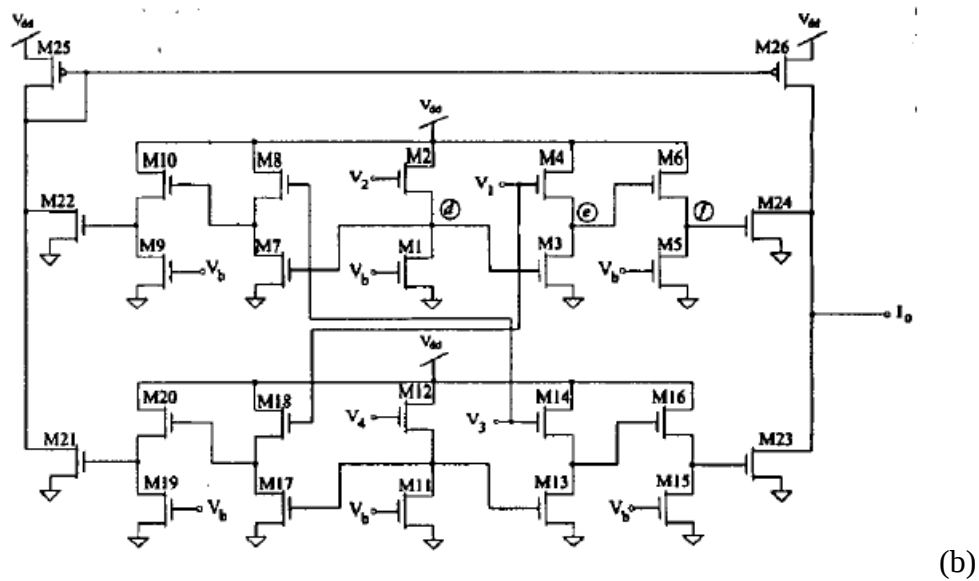
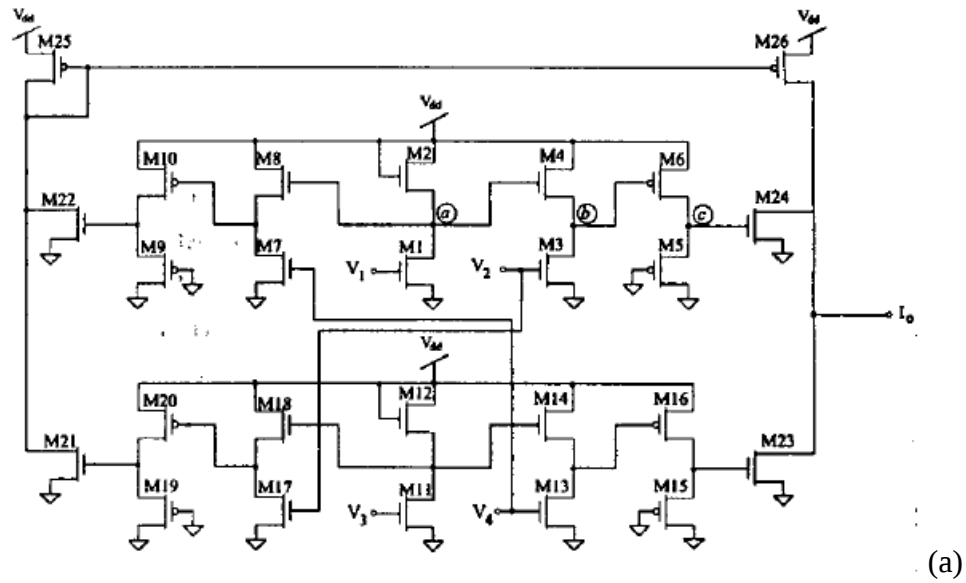


Figura 6 – Multiplicadores para aplicação em baixa tensão: (a) baseado em somadores de baixa tensão; (b) baseados em subtratores de baixa.

Fonte: (MAUNDY; ARONHIME, 2002)

- (ii) Em (HASAN, 2005), é apresentado um multiplicador de quatro quadrantes também do tipo VII da Tabela 1, ilustrado na Figura 7. Em cada uma de quatro seções multiplicadoras de um quadrante as correntes de dreno de dois transistores, que recebem sinais em seus terminais de porta, são somadas e aplicadas a um dispositivo operando no início da região triodo para atuar como resistência quase linear, convertendo a soma das correntes em tensão. As duas tensões assim resultantes na saída de dois blocos de um quadrante são aplicadas aos terminais de porta de outros dois transistores, cujas correntes de dreno também são somadas e transferidas por meio de um espelho Widlar a outro dispositivo no início da região triodo, gerando o potencial de saída de um dos dois blocos multiplicadores de dois quadrantes. Desta forma, obtêm-se os dois potenciais que constituem a tensão diferencial de saída do multiplicador de quatro quadrantes. Como no exemplo (i), os sinais a serem multiplicados são acrescidos de tensões de modo comum e são apresentados também na versão invertida, mas os circuitos que fazem estas operações não são apresentados. As mais importantes características ressaltadas pelo autor são: a larga excursão dos sinais, a extensa largura de banda e a escalabilidade do circuito (conversão entre diferentes tecnologias de fabricação). Para ilustrar esta última propriedade, resultados de simulação são apresentados para implementação em duas tecnologias CMOS: 0,5 μm , com alimentação de 3,3 V, e 0,18 μm , com alimentação de 1,0 V. Uma das implementações (não é especificada qual) utiliza transistores de comprimento igual a 2 μm (exceto por dois com comprimentos de 3,9 μm) e larguras variando entre 2 μm e 100 μm , a maior parte das quais na faixa de 20 μm . É relatado sucesso na modulação de sinais por portadoras de 50 MHz nas duas tecnologias, com distorção harmônica total de -56 dB e de -54 dB para as tecnologias de 0,5 μm e 0,18 μm , respectivamente. A excursão máxima dos sinais é de 500 mV pico-a-pico. A mencionada largura de banda com corte em 3 dB de 1 GHz é desmentida pelo diagrama de Bode de magnitude da função de transferência apresentado. Neste diagrama a variação da magnitude do ganho em relação ao valor de baixas frequências é

maior que 100 dB. É reportada uma potência de 1 mW para o caso da tecnologia de $0,18\ \mu\text{m}$.

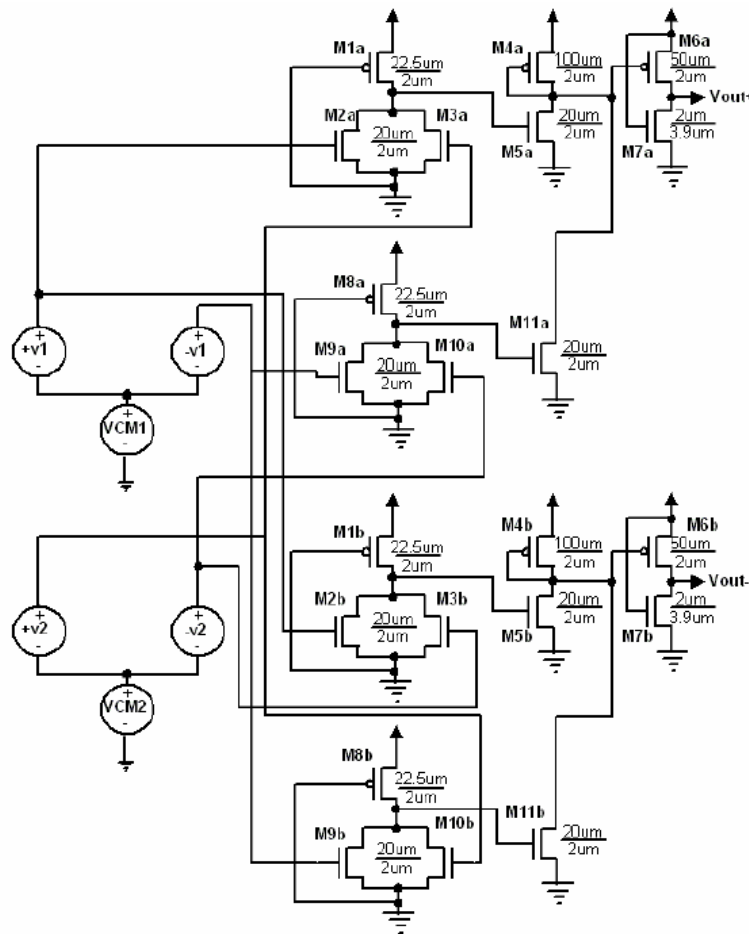


Figura 7 – Multiplicador analógico CMOS escalável, de larga excursão.

Fonte: (HASAN, 2005)

- (iii) Em (HUANG et al., 2006), é apresentado um multiplicador de quatro quadrantes do tipo III da Tabela 1, ilustrado na Figura 8. Uma célula multiplicadora básica é constituída de quatro ramos, cada um com um seguidor de fonte em série com um MOSFET na região triodo, o primeiro transferindo o sinal aplicado ao seu terminal de porta para o dreno do segundo, que é conectado por uma resistência ao terminal correspondente em outro ramo. Cada sinal a ser multiplicado é aplicado a quatro terminais de porta, sendo que em dois deles na forma invertida, não sendo apresentado o circuito que efetua esta inversão. As correntes de saída dos ramos desta célula são somadas e subtraídas por meio de um espelho *cascade*. Uma outra

célula idêntica é utilizada como um recurso para melhorar a linearidade do circuito, denominado realimentação ativa (*active feedback*): suas correntes de ramo são também somadas e subtraídas às da primeira célula, mas suas tensões de entrada consistem de um potencial constante (e seu simétrico) nos terminais de porta dos transistores que operam na região triodo e do potencial no nó de saída do multiplicador global (e seu simétrico) nos terminais de porta dos seguidores de fonte. O potencial na saída do multiplicador e seu simétrico são obtidos de uma rede com dois amplificadores operacionais e resistores, em cuja entrada é aplicado o potencial no nó de saída do subtrator. São apresentados resultados de simulação referentes à implementação em uma tecnologia CMOS de 0,6 μm , com alimentação simétrica de $\pm 2,5$ V. Não são informadas as dimensões dos transistores tampouco dos resistores do circuito, se considerados partes do circuito integrado. Também não são fornecidos detalhes da implementação dos amplificadores operacionais. A distorção harmônica total para amplitudes de 0,1 a 1,5 V no sinal aplicado às entradas dos seguidores de fonte, com as outras entradas fixadas em 0,5 V, varia entre aproximadamente -64 a -39 dB. A banda não é informada, mas foram efetuados testes com sinais de 1 MHz. A propriedade mais importante desta arquitetura, realçada pelos autores, é a larga faixa dinâmica, a amplitude dos sinais nas entradas dos seguidores de tensão podendo variar numa faixa de 72 % da tensão de alimentação e a amplitude das outras entradas, numa faixa de 48 %.

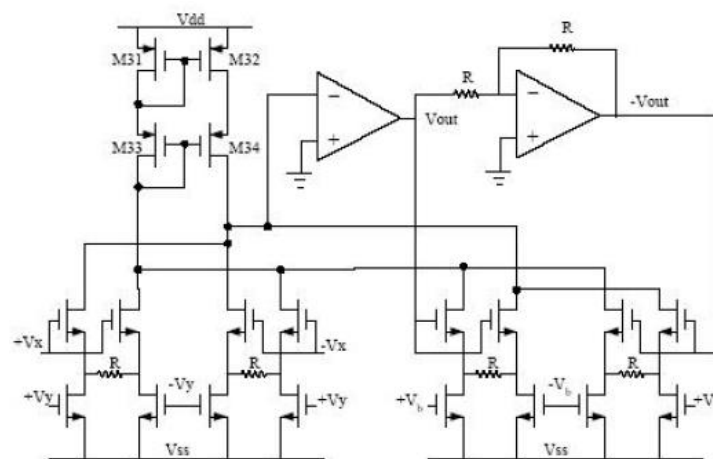


Figura 8 – Multiplicador analógico de quatro quadrantes.

Fonte: (HUANG et al., 2006)

- (iv) Em (SAWIGUN et al., 2007), é proposta uma arquitetura de multiplicador analógico de quatro quadrantes muito simples, que se enquadra no tipo VII da Tabela 1. Este multiplicador é ilustrado na Figura 9. As entradas são tensões diferenciais que são aplicadas aos terminais de porta de pares de transistores canal P em série que realizam a diferença dos potenciais de porta no nó de conexão entre eles. Estas diferenças são então aplicadas nos terminais de porta de quatro transistores canal N operando em inversão forte e em saturação, de modo que suas correntes de dreno apresentam uma relação quadrática com a tensão porta-fonte. As correntes são somadas em nós e convertidas em tensão por meio de dois resistores. A diferença entre as tensões dos resistores é a tensão de saída, proporcional ao produto das entradas diferenciais. Segundo os autores, o circuito proporciona elevada linearidade e opera com baixa potência e baixa tensão de alimentação. Para corroborar suas afirmações, são realizadas simulações de uma implementação em tecnologia CMOS de 0,35 μm , com tensão de alimentação de 1,2 V. Adotou-se comprimento de 0,5 μm para todos os doze transistores do circuito, largura de 3 μm para os oito transistores canal P e largura de 0,5 μm para os quatro transistores canal N. Os resistores são de 5,7 k Ω , não tendo sido explicitado se a sua implementação é integrada. Foram registradas: largura de banda com corte em 3 dB de 110 MHz,

excursão satisfatória dos sinais diferenciais na entrada de $\pm 0,25$ V, distorção harmônica total abaixo de -45 dB para amplitudes de até 275 mV, potência estática de 34 μ W. Tensões de modo comum são requeridas, não sendo apresentados os circuitos geradores das mesmas.

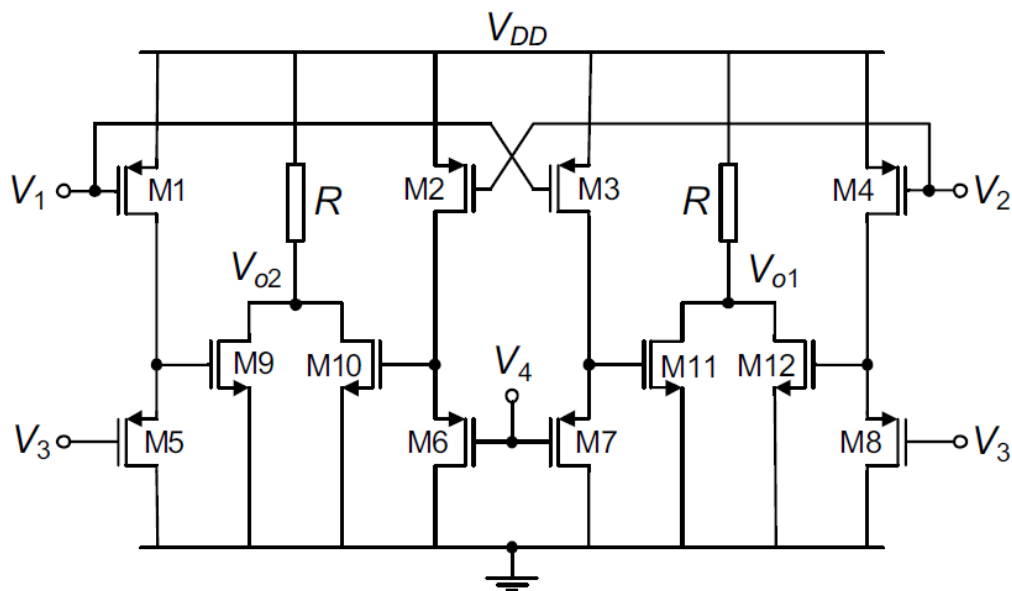


Figura 9 – Multiplicador analógico de quatro quadrantes.

Fonte: (SAWIGUN et al., 2007)

- (v) Em (MAHMOUD, 2009) é apresentado um multiplicador de quatro quadrantes também bastante simples, ilustrado na Figura 10, que se enquadra no tipo V da Tabela 1, no qual se aproveita a relação quadrática entre a corrente de dreno e a diferença entre os potenciais de porta e fonte de um MOSFET em inversão forte e saturação. A arquitetura inclui dois pares de transistores com terminais de fonte conectados dois a dois. Uma das tensões diferenciais de entrada é aplicada aos terminais de porta. A outra é transferida aos terminais de fonte por meio de transistores na configuração de seguidor de fonte, polarizados com corrente constante. As correntes de dreno dos transistores que recebem os sinais são somadas duas a duas e também com correntes de polarização. A saída em modo corrente, consiste na diferença entre as duas somas de corrente, mas o circuito subtrator não é apresentado. Tampouco são apresentados os circuitos geradores das tensões

de referência necessárias para a fixação das correntes de polarização do circuito. São apresentados resultados de simulação para uma implementação em tecnologia CMOS de $0,25\ \mu\text{m}$, adotando-se alimentação simétrica de $\pm 1\ \text{V}$. São reportadas como vantagens do circuito: larga excursão dos sinais diferenciais de entrada ($\pm 0,75\ \text{V}$) e operação em baixa tensão, com baixa potência ($0,326\ \text{mW}$). Registrou-se uma distorção harmônica total inferior a $1\ \%$ para amplitudes de $0,5\ \text{V}$ do sinal diferencial de entrada e largura de banda com corte em $3\ \text{dB}$ de $16\ \text{MHz}$.

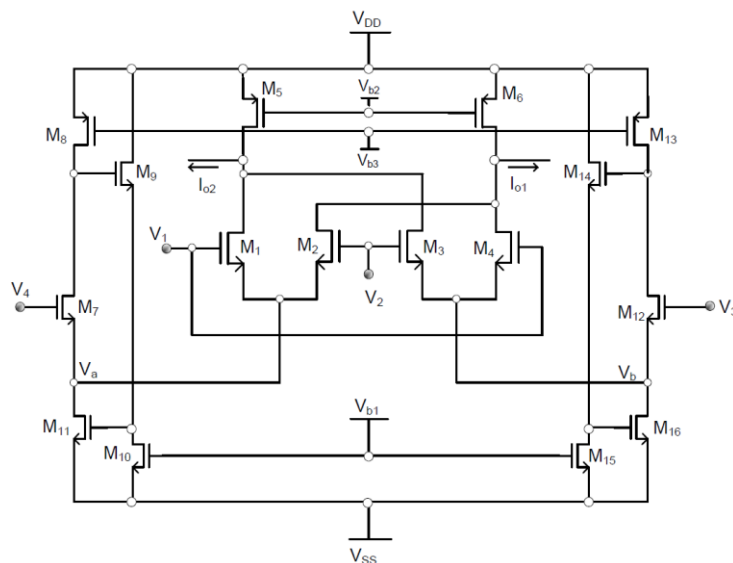


Figura 10 – Multiplicador analógico CMOS de quatro quadrantes.

Fonte: (MAHMOUD, 2009)

- (vi) Em (POPA, 2014) é proposta uma arquitetura de multiplicador de quatro quadrantes do tipo VII da Tabela 1, ilustrada na Figura 11. As tensões de entrada são diferenciais, sendo aplicadas aos terminais de porta de pares de transistores casados. Uma das tensões diferenciais é aplicada a um par de transistores canal P com terminais de fonte conectados ao substrato. A outra tensão diferencial é aplicada a dois blocos simétricos, cada um dos quais compostos de um trio de transistores canal N conectados pelos terminais de fonte. Um dos transistores do trio de cada bloco está em série com um dos transistores canal P e sua corrente é então espelhada por um outro transistor do trio que compartilha seu terminal de porta, para ser somada à corrente do terceiro transistor canal N do trio, porém do bloco oposto. Os resultados das duas somas de correntes são aplicados a um espelho Widlar que realiza a

subtração e, subsequente cancelamento de termos estranhos à multiplicação. Apesar da simplicidade da estrutura, não são apresentados resultados de simulação, tampouco experimentais, para ilustrar a funcionalidade e o desempenho do circuito e corroborar a elevada linearidade sugerida pelo autor.

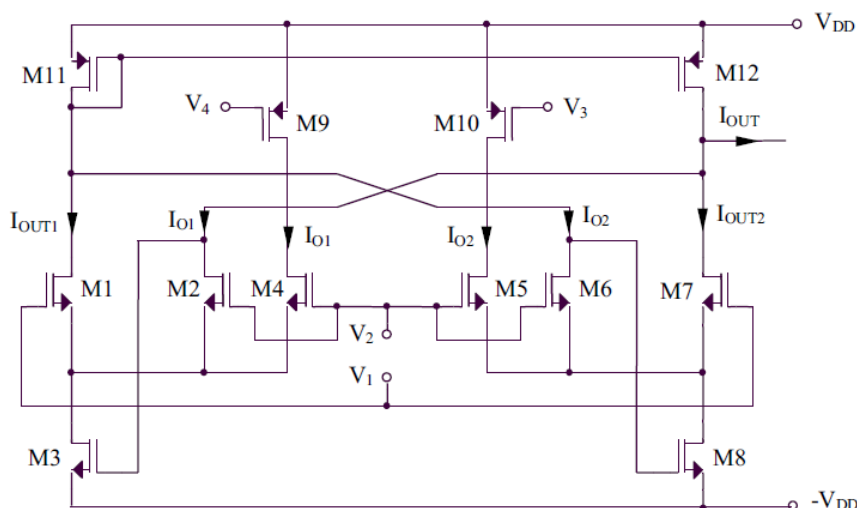


Figura 11 – Multiplicador analógico CMOS de quatro quadrantes.

Fonte: (POPA, 2014)

- (vii) Em (BOONCHU, 2018), é apresentado um multiplicador de quatro quadrantes com entradas em modo tensão, baseado no comportamento exponencial da relação corrente-tensão do MOSFET em inversão fraca. Desta forma, não se enquadra em nenhum dos tipos da Tabela 1, que se restringem ao comportamento em inversão forte. O circuito, ilustrado na Figura 12(a), combina dois somadores de tensão no regime de sublimiar, aos quais são aplicados os sinais de tensão a serem multiplicados e seus simétricos. Não é apresentado o circuito responsável pela inversão dos sinais de entrada nem as arquiteturas de três fontes de corrente de polarização utilizadas em todo o circuito, duas no núcleo multiplicador e uma no bloco gerador de uma tensão de referência. As correntes de saída destes somadores são somadas e convertidas em tensão através de um resistor. Outro resistor é utilizado no bloco gerador da tensão de referência, ilustrado na Figura 12(b). Para que o sinal de tensão na saída do multiplicador represente o produto entre os sinais de tensão, a magnitude da soma dos sinais de entrada deve ser

inferior a algumas dezenas de milivolts. A proposta dos autores é que o multiplicador atenda satisfatoriamente a requisitos de baixa tensão e baixa potência, sendo seu desempenho analisado por meio de simulações de uma implementação na tecnologia 0,18 μm , sendo adotada tensão de alimentação de 0,8 V. Não ficou claro se, nestas simulações, as três fontes de corrente de 200 nA são ideais ou se foram implementadas em tecnologia CMOS. Também não foi explicitado se os dois resistores de 470 k Ω fazem parte do circuito integrado. O comprimento de canal adotado para os transistores, canal N ou P, é de 0,5 μm e as larguras variam de 0,5 a 4 μm . Foi registrada uma potência muito baixa, de apenas 0,78 μW . As excursões dos sinais admitidas na entrada e na saída são, respectivamente, ± 25 mV e ± 40 mV. A distorção harmônica total é de 1,3 % para a amplitude de 25 mV na entrada e a largura de banda com corte em 3 dB é de 650 kHz.

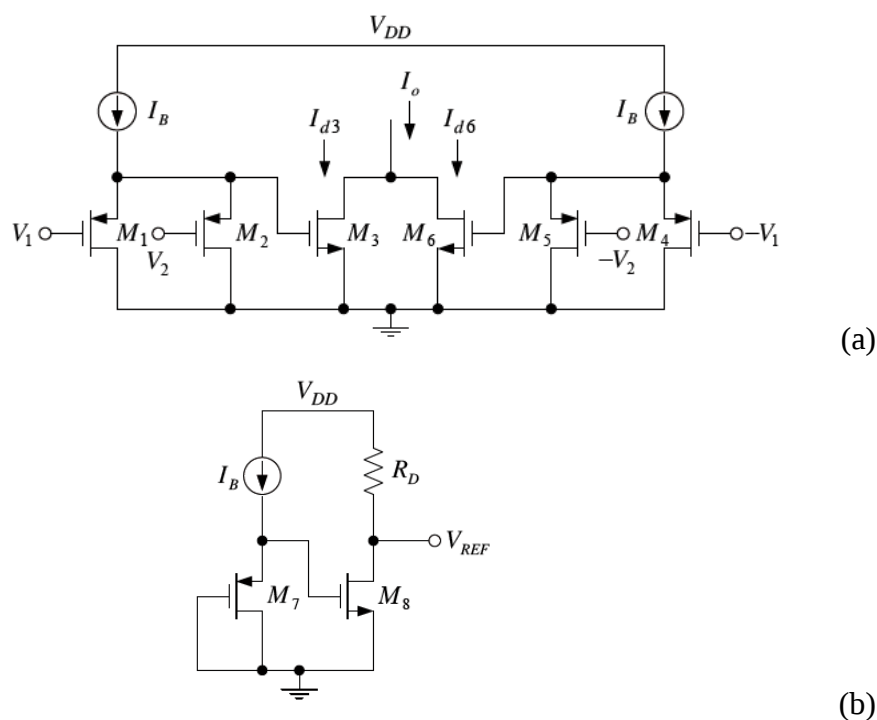


Figura 12 – Multiplicador analógico de quatro quadrantes no regime de sub-limiar: (a) núcleo; (b) gerador da tensão de referência.

Fonte: (BOONCHU, 2018)

2.2. Espelhos de Corrente em Tecnologia CMOS

Os espelhos de corrente são elementos fundamentais dos circuitos integrados ou sistemas VLSI⁵ analógicos. Uma aplicação comum de espelho de corrente é a geração de corrente CC estáveis e previsíveis para polarizar outros circuitos. Quando utilizado com essa finalidade, um espelho de corrente também é conhecido como uma referência de corrente. Espelhos também são utilizados para injetar ou drenar sinais de corrente. Como tal, eles encontram aplicação como cargas ativas em uma variedade de CI's de processamento de sinais analógicos, como amplificadores operacionais (AMP OP), amplificadores de realimentação de corrente (CFA) e amplificadores operacionais de transcondutância (OTA). O espelhamento de corrente é possibilitado pelo elevado grau de casamento entre transistores fabricados em estreita proximidade uns dos outros no mesmo chip. A função de um espelho de corrente é receber uma corrente i_{in} em um terminal de baixa resistência de entrada, de preferência zero, e entregar uma corrente i_{out} a partir de um terminal de alta resistência de saída, de preferência infinita. O espelho de corrente é similar ao seguidor de corrente, *buffer*⁶, exceto pelo fato de que ambas as correntes fluem para dentro, ou para fora, do circuito. Por essa razão diz-se também que o espelho de corrente proporciona *inversão de corrente*. (FRANCO, 2016)

Para circuitos analógicos com aplicações de alto desempenho, a precisão e a largura de banda são os parâmetros mais importantes para determinar o desempenho do espelho de corrente.

Neste trabalho, o interesse pelo estudo de espelhos reside no fato de serem os elementos constituintes dos subtratores de corrente, que por sua vez são elementos imprescindíveis nos esquemas de cancelamento de multiplicadores com saída em corrente.

O espelho de corrente simples ou Widlar é ilustrado na Figura 13, na qual M_1 é o transistor de entrada e M_2 , o de saída. Graças ao fato de que as correntes de portas são nulas, um espelho de corrente a MOSFET não apresenta o erro sistemático que um TBJ apresenta devido à corrente de base.

⁵ *Very large-scale integration*.

⁶ Amplificador de ganho unitário usado para isolar e conectar um estágio de alta impedância de entrada a uma carga de baixa impedância de saída.

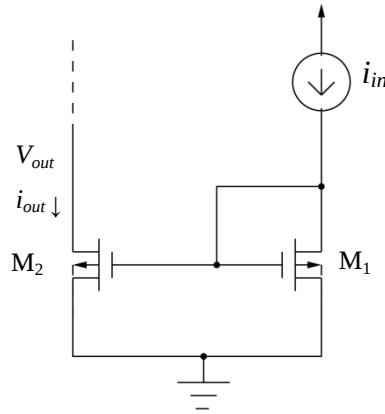


Figura 13 – Espelho de Corrente Widlar.

No espelho Widlar, M_1 opera em saturação (conexão diodo) e M_2 deve operar em saturação, atendendo à condição:

$$V_{DS2} = V_{out} - V_{SS} > V_{DSSAT2} \quad (7)$$

em que V_{DS2} é a tensão dreno-fonte de M_2 , V_{out} é o potencial no terminal de saída (dreno de M_2), V_{SS} é o potencial de substrato dos transistores canal N (o mais baixo potencial do circuito, que no caso da Figura 13 coincide com o terra) e V_{DSSAT2} é a tensão dreno-fonte no limiar de saturação.

Quando a corrente de entrada i_{in} é aplicada, o transistor M_1 responde com uma tensão porta-fonte tal que se relaciona com i_{in} de acordo com a expressão:

$$i_{in} = \frac{k_1}{2} (V_{GS} - V_{th})^2 (1 + \lambda V_{GS}) \quad (8)$$

em que V_{th} é a tensão de limiar, k_1 é o parâmetro de transcondutância de M_1 e λ modela o efeito Early, que reúne efeitos de canal curto diversos.

Mas o transistor M_2 está submetido à mesma tensão V_{GS} que M_1 , então M_2 vai drenar a corrente,

$$i_{out} = \frac{k_2}{2} (V_{GS} - V_{th})^2 (1 + \lambda V_{out}) \quad (9)$$

Como sabemos, o parâmetro de transcondutância de um MOSFET é $k = k'(W/L)$, em que W e L são, respectivamente, a largura e o comprimento do canal do FET particular, e k' é o parâmetro de transcondutância do processo, comum a todos

FET's do mesmo tipo no chip. Tomando a razão i_{in}/i_{out} e simplificando, obtemos, sob a consideração $\lambda V_{GS} \ll 1$,

$$i_{out} \approx i_{in} \frac{W_2/L_2}{W_1/L_1} \times [1 + \lambda(V_{out} - V_{GS})] \quad (10)$$

Desprezando os efeitos de canal curto e descasamentos diversos (operação ideal), i_{out} independe de V_{out} e a razão de espelhamento ideal (RE) pode ser definida como:

$$RE = \frac{i_{out}}{i_{in}} = \frac{W_2/L_2}{W_1/L_1} \quad (11)$$

As características principais de um espelho são:

- A condutância de entrada, que deve idealmente ser a maior possível;
- A condutância de saída, que deve idealmente ser a menor possível;
- O erro de espelhamento ($\mathcal{E}$):

$$\mathcal{E} = \frac{i_{out}}{i_{in}} \frac{W_2/L_2}{W_1/L_1} - 1 \quad (12)$$

Considerando a relação entre i_{out} de (10) e i_{in} de (9), o erro é ocasionado por diferenças entre os potenciais de dreno dos transistores na entrada e na saída (descasamento elétrico), além de descasamento entre dimensões e parâmetros físicos (descasamentos geométrico e tecnológico).

A configuração *cascode*, ilustrada na Figura 14, visa reduzir a condutância de saída do espelho de corrente. M_2 e M_4 devem operar em saturação, com os mesmos potenciais de porta de M_1 e M_3 respectivamente. Estes potenciais, por sua vez, são definidos pela corrente de entrada i_{in} .

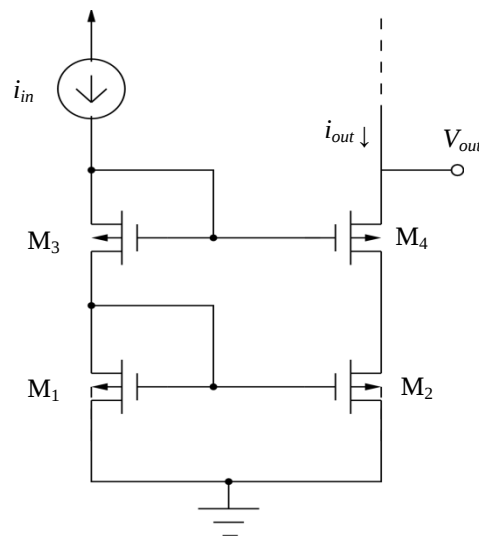


Figura 14 – Espelho de Corrente *Cascode*.

A razão de espelhamento ideal depende das razões de aspecto dos transistores M_1 e M_2 , sendo dada também pela expressão (12).

A condutância de entrada é da ordem de grandeza do espelho simples.

A condutância de saída está na ordem de 10^{-2} a 10^{-3} vezes a do espelho simples. Esta redução ocorre graças ao fato de a saída (tomada no dreno de M_4) ser desacoplada do dreno de M_1 , grandes variações em V_{out} sendo compensadas por pequeníssimas variações da tensão de fonte de M_4 , o que mantém a corrente de saída quase independente de V_{out} .

Admitindo ainda a presença de efeitos de canal curto, o erro de espelhamento (ϵ), definido por (12), é bem pequeno na configuração *cascode*, pois os potenciais de dreno de M_1 e M_2 tendem a ficar próximos.

Uma desvantagem do espelho de corrente *cascode* é que precisa de uma tensão relativamente alta para operar, tanto na entrada como na saída, se comparado ao espelho simples. Na saída, a tensão deve ser suficiente para colocar os transistores M_2 e M_4 em saturação, razão pela qual a excursão do sinal de tensão de saída é limitada.

O espelho de corrente Wilson, cuja arquitetura é exibida na Figura 15, apresenta redução de condutância de saída da mesma ordem que o espelho *cascode*, pois variações do potencial de saída são refletidas para o terminal de porta de M_1 por meio do efeito de corpo em M_3 , efeito este que consiste na variação do nível de inversão do canal pela variação da tensão fonte-substrato. As variações de potencial no terminal de porta de M_1 , por sua vez, são compensadas por variações no terminal de dreno de M_1 e,

consequentemente, no terminal de porta de M_3 . Contudo, o erro de espelhamento ainda é grande por causa da assimetria entre saída e entrada. A excursão na saída é tão limitada como no espelho *cascade*.

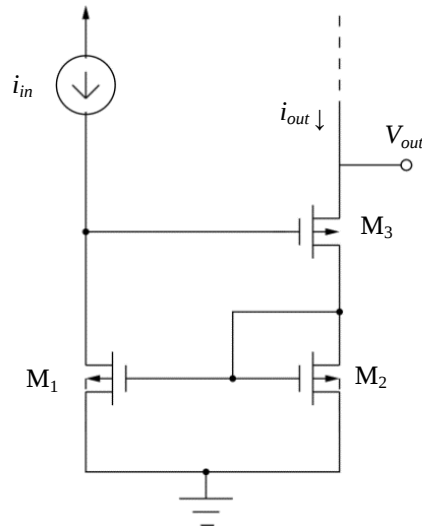


Figura 15 – Espelho de Corrente Wilson.

Adicionando um quarto transistor ao espelho de corrente simples de Wilson, como ilustrado na Figura 16, temos o espelho de corrente Wilson modificado ou melhorado. Neste circuito, as variações na tensão de porta de M_1 são comunicadas ao terminal de porta de M_3 , fechando a realimentação, por meio do efeito de corpo em M_4 : como a corrente de M_4 é definida pela fonte i_{in} , variações de potencial no seu terminal de fonte são compensadas por variações de potencial de magnitude semelhante no seu terminal de porta. O melhoramento deve-se à estrutura apresentar uma maior simetria entre os ramos de entrada e saída que o espelho Wilson original.

Convém ressaltar que este espelho tem desempenho muito semelhante ao do espelho *cascade*: condutância de saída baixa, erro de espelhamento pequeno e excursão na saída limitada.

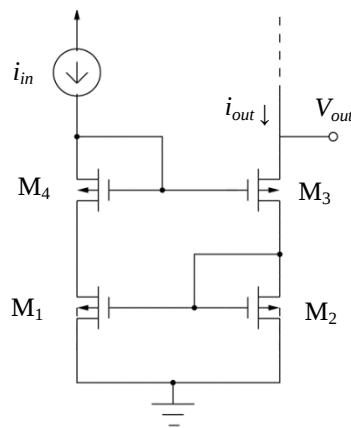


Figura 16 – Espelho de Corrente Wilson Melhorado.

Conforme entendimento de Aggarwal et al., (2016), exposto no Quadro 1, pode-se efetuar comparações entre os espelhos de corrente clássicos com base em cinco características.

Quadro 1 – Comparação entre Espelhos de Corrente Clássicos.

Fonte: (AGGARWAL et al., 2016)

Tipo	SIMPLES	CASCODE	WILSON	WILSON
Característica	WIDLAR			MELHORADO
Erro ε	Grande	Pequeno	Grande	Pequeno
g_{in}	Média	Alta	Alta	Alta
g_{out}	Alta (Maior)	Baixa	Baixa	Baixa
V_{out} (mínima)	Baixa	Alta	Alta	Alta
V_{in} (requerida)	Baixa	Alta	Alta	Alta
Banda	Semelhantes			

2.3. Subtratores de Corrente

A operação de subtração entre dois sinais de corrente pode ser encarada como a soma destes sinais precedida pela inversão de um deles. Assim, na sua forma mais simples requer um espelho de razão unitária para efetuar a inversão de um sinal de corrente, espelho este em cujo nó de saída se injeta o outro sinal de corrente, como ilustrado na Figura 17.

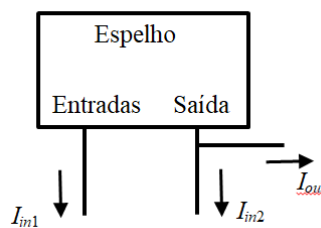


Figura 17 – Configuração de subtrator de corrente com um espelho.

Para o melhor desempenho possível, o espelho deve apresentar elevada condutância de entrada, baixa condutância de saída, erro de espelhamento baixo, larga excursão da tensão de saída e baixa queda de tensão na entrada. Ocorre que na extremamente simples configuração da Figura 17, uma das entradas é aplicada à saída e, assim, está sujeita à baixa condutância deste terminal. Para que ambos sinais de entrada sejam beneficiados por elevadas condutâncias de entrada, pode-se optar pela configuração menos assimétrica da Figura 18. Nesta configuração, são utilizados três espelhos, dois para reproduzir os sinais de entrada e aplicá-los na entrada e na saída do terceiro espelho que realizará a subtração. Embora a saída do terceiro espelho deva apresentar baixa condutância e consista na entrada do sinal de corrente reproduzido por um dos espelhos, a também baixa condutância de saída deste deve garantir um acoplamento satisfatório.

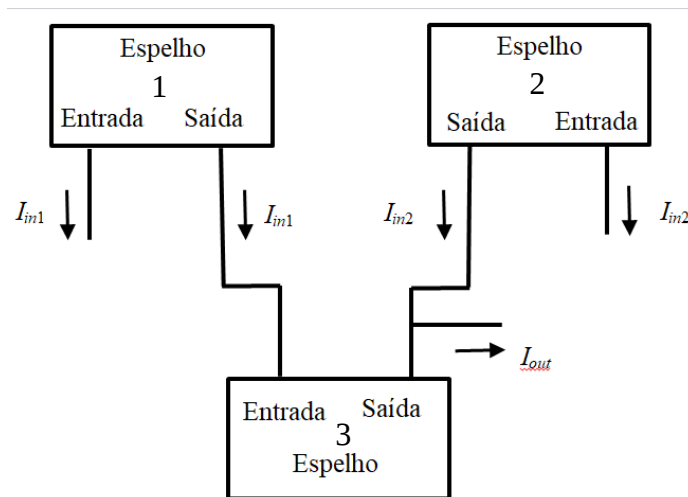


Figura 18 – Configuração de subtrator de corrente com três espelhos.

As topologias da Figura 17 e da Figura 18 têm sido utilizadas em multiplicadores analógicos com saída em modo corrente, com pequenas variações e com o uso de diferentes espelhos a fim de extrair máximo proveito de suas características de desempenho. Por exemplo, em (POPA, 2014), (MARYAN, 2016) e (ALLOUI et al., 2018) utiliza-se a configuração da Figura 17 com espelhos Widlar. Por outro lado, em (ALIKHANI; AHMADI, 2012), o espelho aplicado na configuração da Figura 17 é o do tipo *cascode*, cuja condutância de saída é significativamente mais baixa e cuja condutância de entrada é semelhante à do espelho Widlar, havendo contudo muito mais restrição à variação de tensão na entrada e na saída. Em (BEYRAGHI; KHOEI, 2015), o espelho aplicado na configuração da Figura 17 é o *Wide Swing Low Voltage Cascode* (SACKINGER; GUGGENBUHL, 1990) e (GABBOUJ et al. 2008), doravante referido como *WSLV cascode*, que relaxa as restrições de variação de tensão na entrada e na saída. Em (MACHADO, 2007) três espelhos Widlar são utilizados na configuração da Figura 18. Em (TANNO et al. 2000), (SANTANA et al., 2012), (SOUSA et al., 2019a) e (SOUSA et al., 2019b) são utilizados três espelhos *cascode* na configuração da Figura 18.

Uma alternativa de arquitetura de subtrator de corrente mais simétrica que a configuração da Figura 18 foi apresentada em (TORRANCE et al., 1985) e é ilustrada na Figura 19, extraída de (MACHADO, 2007). Trata-se de uma combinação de quatro espelhos simples com quatro pares diferenciais, na qual os sinais de entrada são introduzidos em nós de condutância teoricamente iguais e são sequencialmente copiados

ou refletidos, até que um deles e a versão simétrica do outro são somados no nó de saída. Note-se que são necessárias também quatro fontes de corrente de polarização e quatro referências de tensão. Apesar da antiguidade da publicação, esta solução não é muito utilizada devido à complexidade do circuito, ao significativo consumo de energia e à necessidade de casamento entre um maior número de componentes que as soluções que utilizam um ou três espelhos.

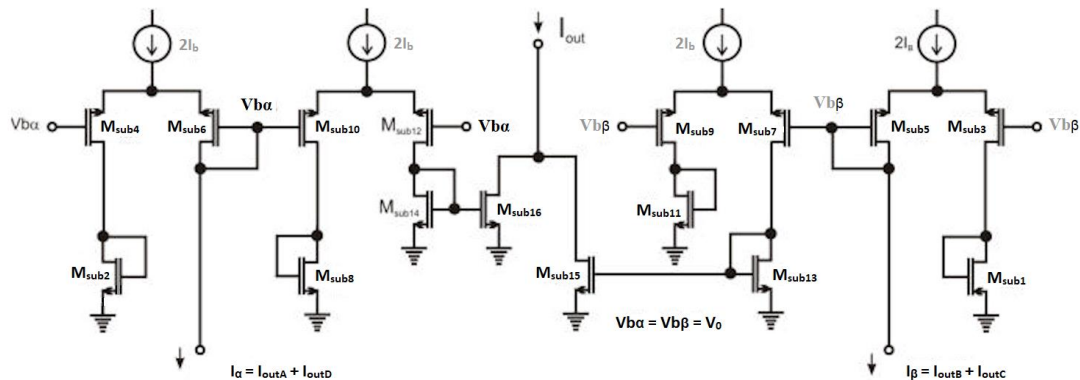


Figura 19 – Topologia simétrica para o circuito subtrator.

Fonte: (MACHADO, 2007)

Balsan (2016) propõe um subtrator de corrente que utiliza a configuração da Figura 17, porém com um espelho Wilson melhorado. Também acrescenta um espelho Widlar com razão de espelhamento maior que a unidade, para amplificar a corrente de saída.

A configuração adotada pelo subtrator proposto por Arslan (2013) utiliza quatro espelhos Widlar e é ilustrada na Figura 20. Os sinais de entrada são aplicados por meio de *buffers* de corrente (blocos B), sendo um dividido entre as entradas de dois espelhos complementares, um com transistores canal N e outro com transistores canal P, e o outro, entre as saídas destes mesmos espelhos. Os sinais de saída destes dois espelhos são aplicados cada um à entrada de um espelho complementar, cujas correntes de saídas se subtraem no nó de saída final. Um esquema de autopolarização dos *buffers* de corrente confere, segundo o autor, uma baixa sensibilidade do subtrator às variações de tensão, temperatura e tecnologia.

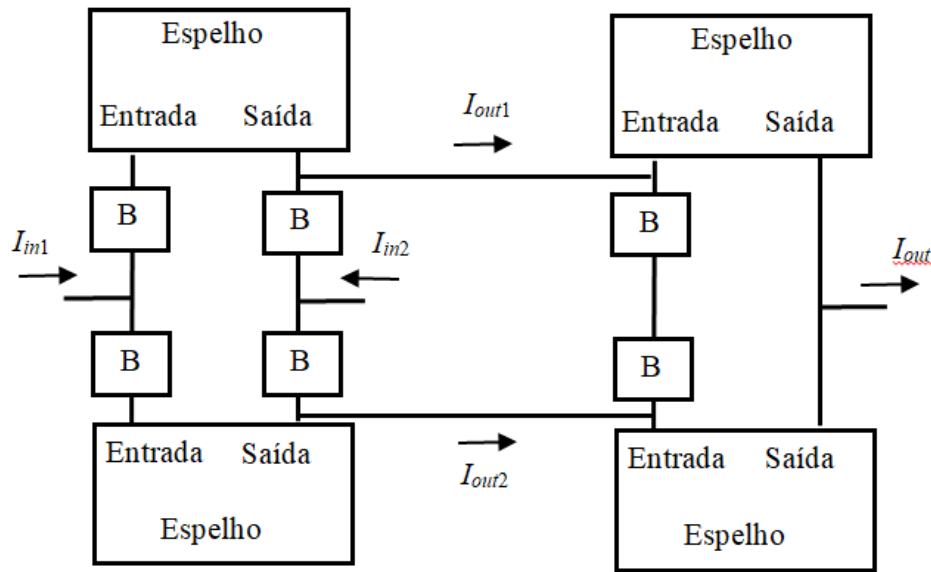


Figura 20 – Configuração de subtrator de corrente com quatro espelhos.

2.4. Redes Celulares Neurais (CNN)

CNN ou Redes Celulares Neurais ou ainda redes neurais/não-lineares celulares representam uma classe de circuitos de processamento analógico (CHUA, 1988) que permitiram o desenvolvimento de um novo paradigma para computação analógica, adequada ao processamento de imagens (CHUA, 2002). A arquitetura padrão de uma CNN consiste em um arranjo retangular de células $C_{i,j}$, conforme ilustrado na Figura 21, que se conectam a uma vizinhança S de raio r por meio de sinapses, dada por:

$$S_r = \{(k, l) | \max_{1 \leq k \leq M, 1 \leq l \leq N} (|k - i|, |l - j|) \leq r\} \quad (13)$$

em que r , i , j , k , l , M e N são inteiros positivos, sendo M e N as dimensões da CNN.

A Figura 21 também aduz as sinapses para o caso de uma rede neuronal celular 4x4 com vizinhança usual S_1 e as regiões correspondentes às condições de contorno, que podem ser definidas de diferentes formas (SANTANA, 2013), (CHUA, 2002).

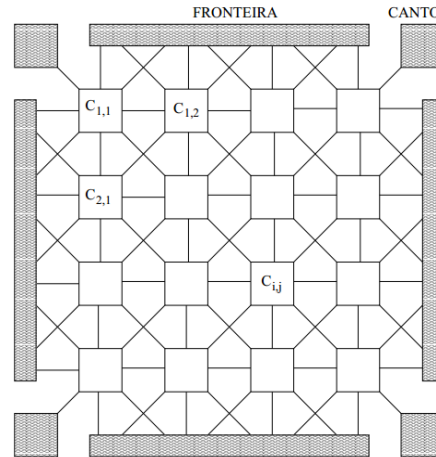


Figura 21 – Diagrama Simplificado da Estrutura de uma Rede Celular Neuronal.

Fonte: (SANTANA, 2012)

A expressão que rege a dinâmica de cada célula padrão é definida como:

$$\dot{x}_{i,j} = x_{i,j} + \sum_{C(k,l) \in S_r(i,j)} A(i,j;k,l) y_{k,l} + \sum_{C(k,l) \in S_r(i,j)} B(i,j;k,l) u_{k,l} + z_{i,j} \quad (14)$$

em que $x_{i,j}$, $y_{k,l}$, $u_{k,l}$, $z_{i,j}$ são denominados estado, saída, entrada e limiar da célula $C_{i,j}$, respectivamente, e $A(i,j;k,l)$ e $B(i,j;k,l)$ são denominados operadores sinápticos de realimentação e de entrada, respectivamente. A equação de saída é uma função limitadora do estado, podendo assumir diversas formas. Na implementação padrão é definida como:

$$y_{i,j} = f(x_{i,j}) = \frac{1}{2} (|(x_{i,j}) + 1| - |(x_{i,j}) - 1|) \quad (15)$$

Em Chua (1988) demonstra-se, dentro de certas restrições, que o comportamento do estado ao longo do tempo é limitado e estável. Na Figura 22 está apresentado o diagrama de blocos que representa a célula padrão da CNN.

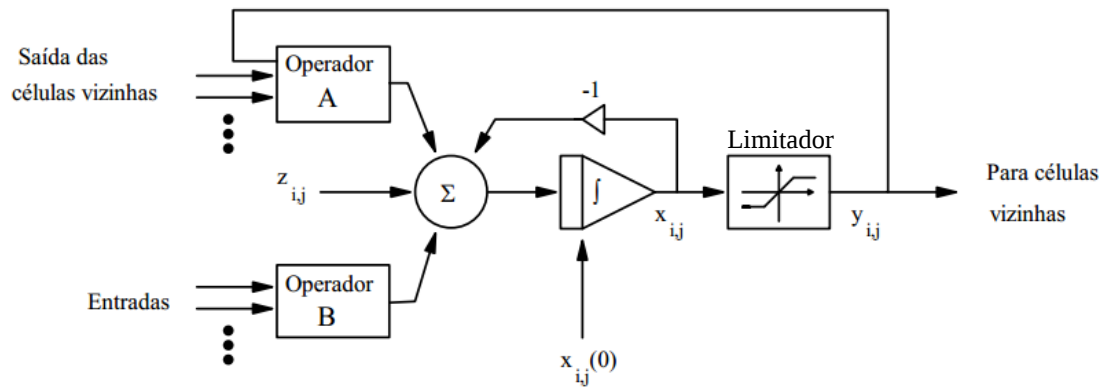


Figura 22 – Diagrama de blocos para a Célula Padrão.

Fonte: (SANTANA, 2012)

O tipo de célula de CNN adotado por Edson Santana (2013), intitulado *Full Signal Range* (FSR), foi introduzido por Rodriguez-Vázquez et al. (1993) e detalhadamente analisado por Espejo et al. (1996). O modelo distingue-se da célula padrão por estabelecer que as faixas dinâmicas da variável de estado e da variável de saída sejam iguais, permitindo a implementação de circuitos mais compactos e robustos (ESPEJO et al., 1996). Tal vantagem em relação à célula padrão resulta da eliminação do bloco limitador não linear à saída da célula, conforme ilustrado na Figura 23, na qual o limiar é representado pelo símbolo D^c e o sobrescrito c denota uma célula específica. Em lugar deste bloco é utilizado um circuito grameador realimentando a saída da célula para a entrada do somador.

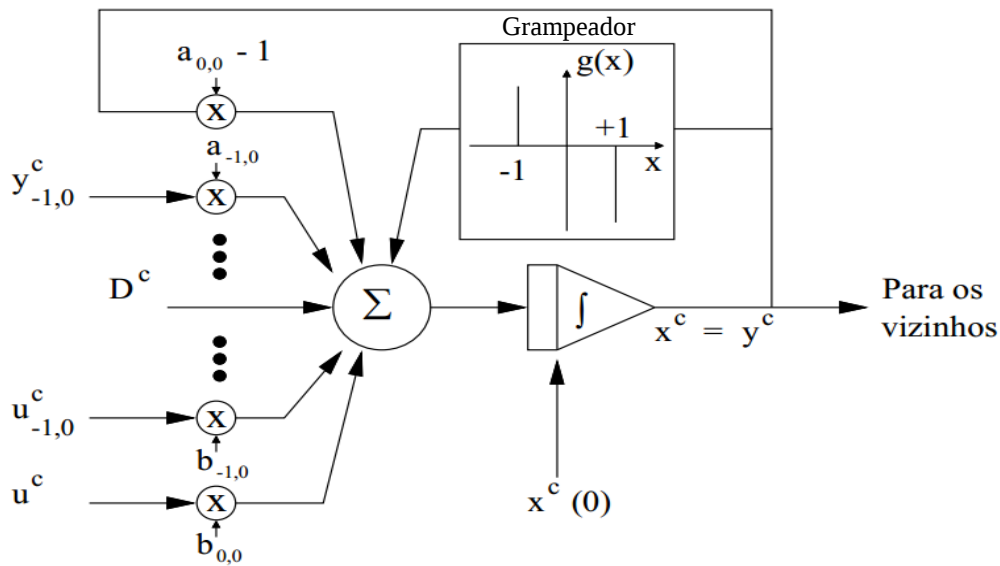


Figura 23 – Diagrama de blocos para a Célula FSR.

Fonte: (SANTANA, 2013)

Em qualquer dos tipos de célula, padrão ou FSR, é possível perceber a grande quantidade de blocos multiplicadores realizando sinapses. Por exemplo, no caso mais usual que é o da vizinhança de raio unitário ($r = 1$), cada célula possuindo oito vizinhas, têm-se nove operadores $A(i, j; k, l)$, nove operadores $B(i, j; k, l)$ e o limiar, perfazendo um total de 19 sinapses. Assim, uma CNN $M \times N$ (M linhas e N Colunas) requer $19.M.N$ multiplicadores para sua implementação. Nas funções de processamento de imagens, em que muitos pixels são necessários para uma resolução satisfatória, este número pode chegar a dezenas ou centenas de milhares, como no caso de uma CNN 50×50 , que deve comportar 47.500 multiplicadores.

Disto se infere a necessidade de arquiteturas extremamente compactas e de baixo consumo de energia para os multiplicadores analógicos a serem aplicados na realização de sinapses em redes neurais celulares analógicas. Além disto, outro aspecto importante para a economia de área na implementação analógica da CNN é a utilização de multiplicadores com sinais de saída em modo corrente, de forma a permitir a realização do somatório dos dezenove sinais de corrente (no caso usual em que $r = 1$) por meio de um simples nó, dispensando a utilização de circuitos somadores para cada uma das $M.N$ células.

Por outro lado, pode-se observar que da Figura 21 à Figura 23 os sinais de entrada u e de saída das células y são utilizados como sinais de entrada das sinapses por outras células da vizinhança. A entrada dos multiplicadores que correspondem aos operadores sinápticos $A(i, j; k, l)$ e $B(i, j; k, l)$, por sua vez, são utilizadas por todas as células no caso mais comum, que é o de CNN invariante no espaço (CHUA; ROSKA, 2002). Se as entradas dos multiplicadores forem em modo corrente, será necessário utilizar um grande número de espelhos de corrente para replicar tais sinais. Além disto, os recursos para programação manual ou automática dos coeficientes podem ser simplificados se eles forem realizados por sinais de tensão a serem aplicados a pinos de um circuito integrado. A programação de coeficientes em CNN é um expediente muito utilizado na realização de máquinas de estado, de filtragem espacial adaptativa ou, simplesmente, para o aproveitamento do circuito em diferentes funções. Assim, visando reduzir a complexidade da implementação analógica, os multiplicadores devem ter, preferencialmente, as duas entradas em modo tensão.

Em (SANTANA, 2013), (SANTANA et al., 2012a,b), (CARDOSO; SCHNEIDER; SANTANA, 2018), os multiplicadores concebidos para operar como sinapses de CNN apresentam uma entrada em modo tensão, para os sinais representativos dos pixels, e a outra em modo corrente, para a representação dos pesos sinápticos. Esta última estratégia é viável sem a utilização de numerosos espelhos de corrente, porque a operação destas arquiteturas compreende uma conversão corrente-tensão interna. Em outras palavras, o sinal de corrente representativo de cada peso $A(i, j; k, l)$ ou $B(i, j; k, l)$, é convertido em um potencial internamente, em um bloco denominado gerador de peso, potencial este que é disponibilizado em um nó para aplicação em todas as células da rede. Note-se que conversores tensão-corrente possivelmente serão necessários para programar com maior simplicidade estes coeficientes.

3. MULTIPLICADOR ANALÓGICO CMOS MUITO COMPACTO PARA APLICAÇÃO EM SINAPSES DE CNN

Neste capítulo são descritas a arquitetura e operação de um multiplicador em tecnologia CMOS muito compacto, proposto por nós (SOUSA, 2019a), para realizar as sinapses de uma célula FSR de rede neuronal celular analógica.

3.1. Arquitetura Proposta

Trata-se de um multiplicador de sinais de tensão com saída em corrente, cujos transistores MOS dos núcleos básicos operam em inversão forte e em saturação, condições garantidas pela polarização. A relação entre corrente de dreno e tensões nos terminais de porta e fonte segue, portanto, uma lei predominantemente quadrática, sendo irrelevante a variação da tensão no terminal de dreno desde que os efeitos de canal curto sejam desprezíveis. A Figura 24 ilustra a arquitetura global do multiplicador proposto, na qual algumas partes foram confinadas em blocos, a serem descritos posteriormente.

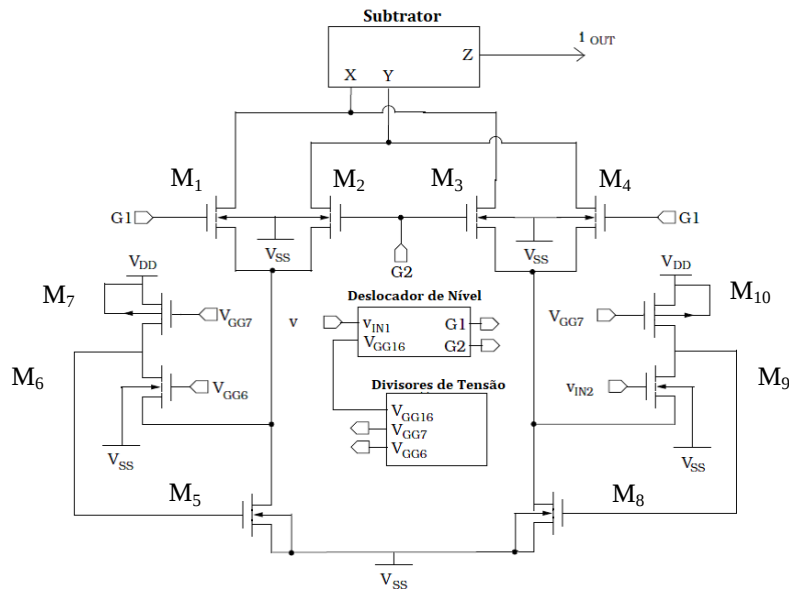


Figura 24 – Arquitetura Completa do Multiplicador Proposto.

Os transistores M_1 a M_4 constituem os dois núcleos deste multiplicador, classificado no tipo V da Tabela 1, reproduzida no capítulo 2 a partir de (HAN;

SÁNCHEZ, 1998), tipo este segundo o qual os sinais de tensão de entrada são aplicados aos terminais de porta e de fonte destes transistores.

Esta configuração é utilizada nos multiplicadores de (WANG, 1993), (SONG e KIM, 1990), (KIMURA, 1994), (KIM; PARK, 1992), (SAKURAI; ISMAIL, 1992), (LIU; HWANG, 1993), (LIU; HWANG, 1995), (SAATLO et al., 2015), (BABANEZHAD; TEMES, 1985), que guardam o mesmo princípio teórico que o multiplicador aqui proposto para gerar uma corrente proporcional ao produto de dois sinais diferenciais, utilizando alguns métodos diferentes de injeção dos sinais. O aspecto que mais distingue esta proposta dos multiplicadores dos trabalhos anteriormente mencionados, à exceção de (WANG, 1993), é que, nestes, todos os sinais são aplicados aos terminais de porta dos transistores, enquanto os terminais de fonte são em geral conectados a sorvedores de corrente. Na arquitetura aqui descrita um dos sinais a ser multiplicado é aplicado aos terminais de porta dos transistores M_1 e M_4 da Figura 24, por meio de redes de deslocamento de nível, enquanto o outro é aplicado aos terminais de fonte de M_3 e M_4 , por meio do bloco de injeção de sinal formado pelos transistores M_8 a M_{10} . Em (WANG, 1993), um dos sinais é também aplicado a dois terminais de fonte, contudo não se trata de uma configuração plenamente integrável em tecnologia CMOS, pois são utilizados amplificadores inversores discretos, com amplificadores operacionais e resistores, para proceder à inversão dos sinais. Assim como nesta proposta, em todos os trabalhos anteriormente mencionados, à exceção de (WANG, 1993), o sinal de saída toma a forma final, mediante o cancelamento dos termos indesejáveis e de polarização, por meio da soma e subtração das correntes dos núcleos. Na proposta aqui apresentada e em (KIM; PARK, 1992), (LIU; HWANG, 1993), (LIU; HWANG, 1995), ao contrário das demais referências relacionadas no início deste parágrafo, que utilizam resistores para obter a saída em tensão, são utilizados subtratores de corrente baseados em espelhos. Particularmente na arquitetura proposta neste trabalho, os espelhos do subtrator são cascodados como em (SANTANA et al., 2012a,b), (SANTANA, 2013), (CARDOSO; SCHNEIDER; SANTANA, 2018), conforme será apresentado na Seção 3.2.

Em nenhum dos trabalhos citados previamente, que adotam o tipo V da Tabela 1, procedeu-se a uma análise de desempenho tão abrangente e detalhada como a que será apresentada na Seção 3.4 para a arquitetura aqui proposta.

3.1.1. Núcleos do Multiplicador

Os dois núcleos do multiplicador são constituídos pelos pares de transistores M_1 - M_2 e M_3 - M_4 , todos canal N e de iguais razões de aspecto, portanto com parâmetros tecnológicos e geométricos iguais. Na Figura 25 é destacada a metade esquerda do núcleo (M_1 - M_2).

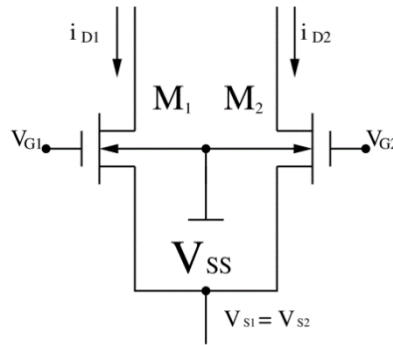


Figura 25 – Metade Esquerda do Núcleo do Multiplicador Proposto.

Utilizando o modelo EKV (*Enz-Krummenacher-Vittoz model*) (ENZ et al., 1995) para o MOSFET operando no regime de inversão forte e em saturação, a corrente de dreno de M_1 é dada por:

$$i_{D1} = K_1 (V_{P1} - v_{SB1})^2 = K_1 \left(\frac{v_{GB1} - V_{T0N}}{n_N} - v_{SB1} \right)^2 \quad (16)$$

em que V_{P1} é a tensão de *pinch-off*⁷, v_{GB1} e v_{SB1} são as tensões porta-substrato e fonte-substrato, V_{T0N} é a tensão de limiar no equilíbrio e n_N é o fator de rampa, ambos para o dispositivo canal N, e K_1 é um fator proporcional à razão de aspecto de M_1 , W_1/L_1 , e à mobilidade efetiva dos portadores do canal. Esta expressão pode ser reescrita na forma:

$$i_{D1} = K_1 \left(\frac{v_{G1}}{n_N} - v_{S1} + V_{CTE} \right)^2 \quad (17a)$$

⁷ Estrangulamento do canal

em que v_{G1} e v_{S1} são os potenciais de porta e fonte, respectivamente, e V_{CTE} é uma tensão constante, dada por:

$$V_{CTE} = \frac{(n_N - 1)}{n_N} V_{SS} - \frac{V_{T0N}}{n_N} \quad (17.b)$$

sendo V_{SS} o potencial constante de substrato de todos os transistores canal N no circuito da Figura 24.

Analogamente, observando que $K_1 = K_2$ e $v_{S1} = v_{S2}$, a corrente de dreno de M_2 é dada por:

$$i_{D2} = K_1 \left(\frac{v_{G2}}{n_N} - v_{S1} + V_{CTE} \right)^2 \quad (18)$$

Desenvolvendo os quadrados em (17a) e (18), obtém-se:

$$i_{D1} = K_1 \left[\frac{v_{G1}^2}{n_N^2} - \frac{2}{n_N} v_{G1} v_{S1} + v_{S1}^2 + 2V_{CTE} \left(\frac{v_{G1}}{n_N} - v_{S1} \right) + V_{CTE}^2 \right] \quad (19)$$

$$i_{D2} = K_1 \left[\frac{v_{G2}^2}{n_N^2} - \frac{2}{n_N} v_{G2} v_{S1} + v_{S1}^2 + 2V_{CTE} \left(\frac{v_{G2}}{n_N} - v_{S1} \right) + V_{CTE}^2 \right] \quad (20)$$

Donde conclui-se que:

$$i_{OUT1} = i_{D1} - i_{D2} = K_1 \left[(v_{G1} - v_{G2}) \left(\frac{v_{G1} + v_{G2}}{n_N} - \frac{2}{n_N} v_{S1} + 2 \frac{V_{CTE}}{n_N} \right) \right] \quad (21)$$

Em (21), um dos termos da multiplicação é a tensão diferencial aplicada entre os terminais de porta de M_1 e M_2 , mas o outro termo é uma combinação linear de três sinais de tensão e um termo constante. Portanto, para cancelar termos indesejáveis, é necessário acrescentar a outra metade do núcleo, formado por M_3 e M_4 , destacado na Figura 26.


$$i_{D3} = K_1 \left[\frac{v_{G2}^2}{n_N} - \frac{2}{n_N} v_{G2} v_{S3} + v_{S3}^2 + 2V_{CTE} \left(\frac{v_{G2}}{n_N} - v_{S3} \right) + V_{CTE}^2 \right] \quad (22)$$

$$i_{D4} = K_1 \left[\frac{v_{G1}^2}{n_N} - \frac{2}{n_N} v_{G1} v_{S3} + v_{S3}^2 + 2V_{CTE} \left(\frac{v_{G1}}{n_N} - v_{S3} \right) + V_{CTE}^2 \right] \quad (23)$$

$$i_{OUT2} = i_{D3} - i_{D4} = K_1 \left[(v_{G2} - v_{G1}) \left(\frac{V_{G1} + V_{G2}}{n_N} - \frac{2}{n_N} v_{S3} + 2 \frac{V_{CTE}}{n_N} \right) \right] \quad (24)$$

Como i_{D1} e i_{D3} são somadas na entrada X do subtrator da Figura 24, assim como i_{D2} e i_{D4} na entrada Y, a corrente de saída do subtrator, que corresponde à corrente de saída i_{OUT} do multiplicador é dada por:

$$i_{OUT1} - i_{OUT2} = i_{OUT} = i_{D1} - i_{D2} + i_{D3} - i_{D4} = \frac{2}{n_N} K_1 (v_{G1} - v_{G2})(v_{S3} - v_{S1}) \quad (25)$$

Percebe-se que a corrente de saída do multiplicador é proporcional ao produto de dois sinais diferenciais, aplicados aos terminais de porta e aos terminais de fonte. Em lugar de implementar blocos inversores, os sinais de entrada v_{in1} e v_{in2} da Figura 24 são aplicados apenas aos terminais de porta $G_1 \equiv G_4$ e de fonte $S_3 \equiv S_4$, respectivamente, por meio de blocos de deslocamento de nível e de injeção de sinal em terminal de fonte. Deslocamentos de nível idênticos aos adicionados a v_{in1} e v_{in2} são adicionados

respectivamente a um sinal nulo, aplicado ao terminal de porta de M_{17} na Figura 27, e a uma tensão constante V_{GG6} , aplicada ao terminal de porta de M_6 na Figura 29(b), os potenciais resultantes sendo aplicados aos terminais de porta $G_2 \equiv G_3$ e de fonte $S_1 \equiv S_2$, respectivamente.

3.1.2. Transferência de Sinal para os Terminais de Porta dos Núcleos

A Figura 27 exhibe o circuito constituinte do bloco designado *deslocador de nível* na Figura 24. Os terminais de fonte dos transistores canal P M_{15} e M_{17} são conectados aos terminais de porta dos transistores M_1 e M_2 , respectivamente. Como M_{15} e M_{17} operam em saturação com correntes de dreno constantes, providas pelas fontes de corrente M_{16} e M_{18} , respectivamente, seus terminais de fonte seguem seus terminais de porta. Portanto, as portas de M_1 e M_2 vão receber tensões muito próximas das aplicadas às portas de M_{15} e M_{17} , respectivamente, acrescidas de níveis de tensão constantes positivos. Além disto, como os transistores M_{15} e M_{17} são iguais e atravessados por correntes iguais, estes níveis têm o mesmo valor, V_{DC1} , nos dois lados do circuito. O deslocamento é necessário para polarizar adequadamente os transistores do núcleo. Utilizando um modelo compacto do transistor MOS exposto em Cunha (1998) para analisar o lado direito do *deslocador de nível*, destacado na Figura 28(a), podemos escrever para o transistor M_{15} :

$$V_{P15} - v_{SB15} = \frac{v_{GB15} - V_{T0P}}{n_p} - v_{SB15} = -\phi_t f\left(\frac{I_{D15}}{I_{S15}}\right) \quad (26)$$

em que V_{P15} é a tensão de *pinch-off*, V_{T0P} e n_p são, respectivamente, a tensão de limiar no equilíbrio e o fator de rampa do dispositivo canal P, ϕ_t é a tensão térmica, I_{D15} é a corrente de dreno de M_{15} , I_{S15} é a corrente específica do transistor M_{15} , proporcional à razão de aspecto W_{15}/L_{15} e à mobilidade efetiva do transistor canal P e $f(\cdot)$ é uma função que evolui naturalmente de um comportamento predominantemente logarítmico para um comportamento predominantemente raiz-quadrático, com o aumento de seu argumento. Sendo $v_{S15} = v_{G1}$ e $v_{G15} = v_{IN1}$ e sendo V_{DD} o potencial de substrato de todos os transistores canal P da Figura 24, o potencial v_{G1} pode ser escrito, a partir de (26), como:

$$v_{G1} = \frac{v_{IN1}}{n_P} + \left[\frac{(n_P-1)}{n_P} V_{DD} - \frac{V_{T0P}}{n_P} + \phi_t f \left(\frac{I_{D15}}{I_{S15}} \right) \right] = \frac{v_{IN1}}{n_P} + V_{DC1} \quad (27)$$

em que o termo entre colchetes é constante (correspondente ao valor previamente designado V_{DC1}), uma vez que a corrente I_{D15} é fornecida pela fonte de corrente M_{16} .

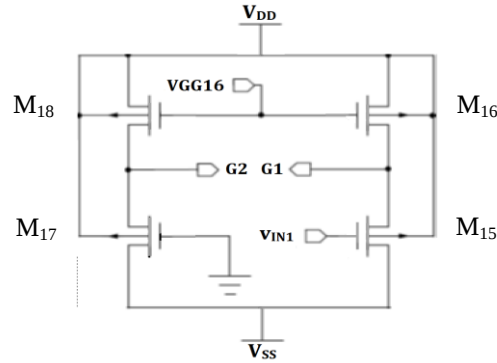


Figura 27 – Bloco Deslocador de Nível do Multiplicador Completo da Figura 24.

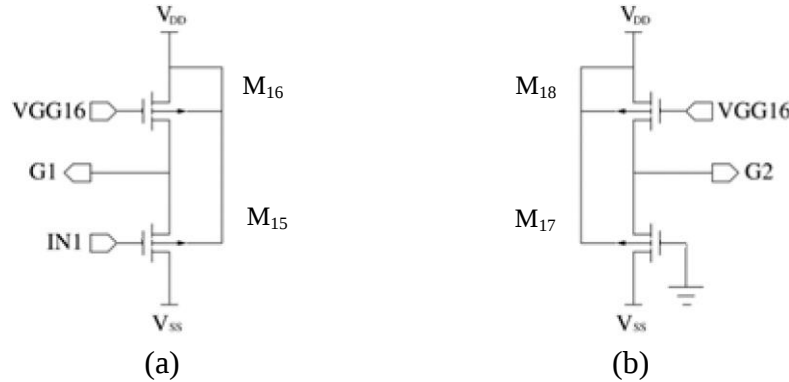


Figura 28 – Destaques do Bloco Deslocador de Nível: (a) Lado Direito – Injeção de v_{IN1} ; (b) Lado Esquerdo.

Analogamente, para o lado esquerdo do *deslocador de nível*, destacado na Figura 28(b), pode-se escrever, levando em consideração que os transistores M_{15} e M_{17} são iguais, assim como o são os transistores das fontes de corrente, M_{16} e M_{18} , e, portanto, $I_{D17} = I_{D15}$ e $I_{S17} = I_{S15}$:

$$v_{G2} = \frac{(n_P-1)}{n_P} V_{DD} - \frac{V_{T0P}}{n_P} + \phi_t f \left(\frac{I_{D17}}{I_{S17}} \right) = V_{DC1} \quad (28)$$

Assim,

$$v_{G1} - v_{G2} = \frac{v_{IN1}}{n_P} \quad (29)$$

3.1.3. Transferência de Sinal para os Terminais de Fonte dos Núcleos

Na Figura 24, o conjunto constituído pelos transistores M_8 a M_{10} , destacado na Figura 29(a), está relacionado com a injeção do sinal v_{IN2} , que é transferido para os terminais de fonte de M_3 e M_4 com um ligeiro abaixamento de nível. A função deste conjunto é prover um terminal de alta impedância para a aplicação do sinal a ser multiplicado. O transistor M_{10} , canal P, funciona como fonte de corrente, provendo uma pequena corrente constante aos transistores M_8 e M_9 , canal N. M_9 funciona como seguidor de tensão transferindo uma versão de v_{IN2} ligeiramente atenuada e decrementada de um nível constante positivo V_{DC2} , de seu terminal de porta para seu terminal de fonte, que coincide com os terminais de fonte de M_3 e M_4 na Figura 24.

Utilizando o mesmo modelo compacto do transistor MOS que na Seção 3.1.2, podemos escrever para M_9 :

$$V_{P9} - v_{SB9} = \frac{V_{GB9} - V_{T0N}}{n_N} - v_{SB9} = \phi_t f \left(\frac{I_{D9}}{I_{S9}} \right) \quad (30)$$

Sendo $v_{G9} = v_{IN2}$ e $v_{S9} = v_{S3}$, obtém-se de (24):

$$v_{S3} = \frac{v_{IN2}}{n_N} + \left[\frac{(n_N - 1)}{n_N} V_{SS} - \frac{V_{T0N}}{n_N} - \phi_t f \left(\frac{I_{D9}}{I_{S9}} \right) \right] = \frac{v_{IN2}}{n_N} - V_{DC2} \quad (31)$$

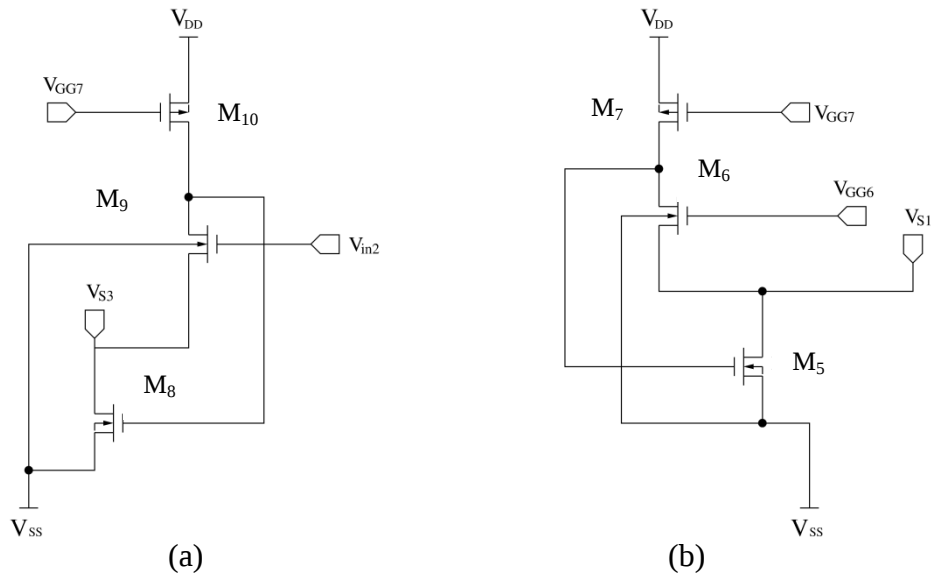


Figura 29 – Blocos para Injeção de Sinal nos Terminais de Fonte dos Núcleos M_3 - M_4 (a) e M_1 - M_2 (b).

O conjunto de transistores M_5 a M_7 , que na Figura 24 serve para transferir um valor constante de tensão aos terminais de fonte do núcleo M_1 - M_2 , é destacado na Figura 29(b). Este valor constante negativo é necessário para a adequada polarização dos núcleos. Uma vez que a fonte de corrente M_7 é igual a M_{10} e são polarizadas com o mesmo potencial de porta, a corrente constante através de M_5 e M_6 é igual à de M_8 e M_9 . Além disto, M_5 e M_6 são iguais a M_8 e M_9 , respectivamente. Assim, podemos escrever para M_6 :

$$V_{P6} - v_{SB6} = \frac{V_{GB6} - V_{T0N}}{n_N} - v_{SB6} = \phi_t f \left(\frac{I_{D6}}{I_{S6}} \right) = \phi_t f \left(\frac{I_{D9}}{I_{S9}} \right) \quad (32)$$

Sendo $v_{G6} = V_{GG6}$ e $v_{S6} = v_{S1}$, obtém-se de (22):

$$v_{S1} = \frac{V_{GG6}}{n_N} + \left[\frac{(n_N - 1)}{n_N} V_{SS} - \frac{V_{T0N}}{n_N} - \phi_t f \left(\frac{I_{D9}}{I_{S9}} \right) \right] = \frac{V_{GG6}}{n_N} - V_{DC2} \quad (33)$$

Desta forma, de (31) e (33), chega-se a:

$$v_{S3} - v_{S1} = \frac{v_{IN2} - V_{GG6}}{n_N} \quad (34)$$

Finalmente, substituindo (29) e (34) em (25), obtém-se a expressão final da corrente de saída do multiplicador completo:

$$i_{OUT} = 2 \frac{K_1}{n_P n_N^2} v_{IN1} (v_{IN2} - V_{GG6}) \quad (35)$$

Em (35), v_{IN1} e $v_{IN2} - V_{GG6}$ são os sinais bipolares de entrada do multiplicador. Isto implica que a faixa de variação de v_{IN2} limita-se a valores negativos em torno de V_{GG6} , que é um valor significativamente próximo de V_{SS} (-0,4 volts neste projeto, para o qual $V_{DD} = -V_{SS} = 0,6$ volts). Um esforço adicional de projeto pode ser conduzido no sentido de converter este multiplicador num multiplicador de quatro quadrantes, com saída proporcional ao produto $v_{IN1}v_{IN2}$, sendo v_{IN2} também bipolar.

Contudo, para a aplicação como sinapse de uma célula FSR de CNN analógica, esta medida não é necessária, uma vez que a tensão v_{IN2} foi eleita como o sinal representativo de um coeficiente (peso sináptico), enquanto a tensão v_{IN1} corresponde ao sinal representativo de um pixel. Ainda que os pesos sinápticos possam ser variáveis bipolares, um simples mapeamento permite determinar o valor necessário de v_{IN2} . Tal mapeamento é possível tanto se os coeficientes forem pré-definidos pelo projetista do

circuito para aplicações específicas da CNN, quanto se forem ajustados automaticamente.

3.1.4. Tensões de Referência

A fim de gerar as tensões de referência V_{GG16} , para polarização das fontes de corrente M_{16} e M_{17} , V_{GG7} , para polarização das fontes de corrente M_7 e M_{10} e V_{GG6} , nível DC do sinal v_{IN2} , a ser transferido com atenuação e deslocamento de nível para os terminais de fonte de M_1 e M_2 , são utilizados simples divisores de tensão a carga ativa. Estes divisores são ilustrados na Figura 30 e consistem na expansão do bloco designado *Divisores de Tensão* do circuito da Figura 24.

Os valores de V_{GG6} , V_{GG7} e V_{GG16} adotados neste projeto, realizado em tecnologia CMOS de comprimento mínimo igual a 130 nm e tensões de alimentação simétricas $V_{DD} = -V_{SS} = 0,6$ volts, são, respectivamente: -0,4 volts, 0,55 volts e 0,442 volts.

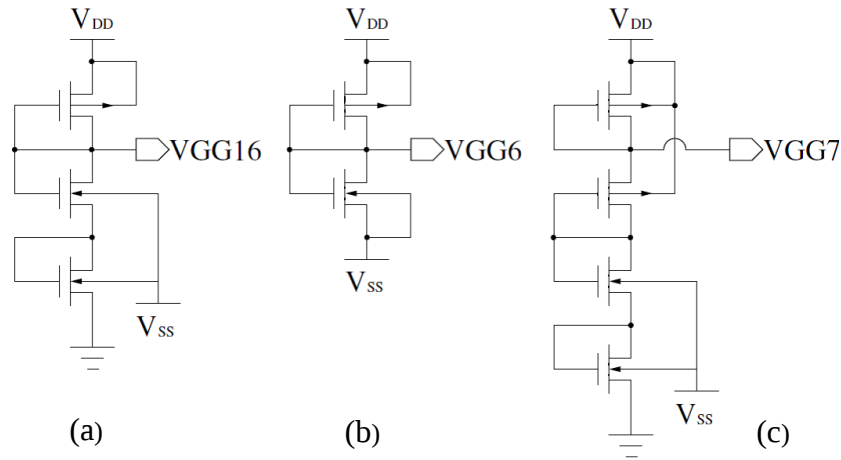


Figura 30 – Bloco de Divisores de Tensão.

Mais uma vez, é utilizado o modelo do transistor MOS empregado nas análises das Seções 3.1.2 e 3.1.3 para dimensionar os transistores do bloco *Divisores de Tensão*, a fim de gerar os potenciais constantes desejados.

3.2. Subtrator de Corrente *Cascode*

O bloco que realiza a subtração das correntes é expandido na Figura 31. É constituído de três espelhos *cascode* de razão de espelhamento unitária, de modo que os sinais de corrente de entrada aplicados aos terminais X e Y, são espelhados, respectivamente para a saída (terminal Z) e a entrada do terceiro espelho, canal N. Como o terminal Z é também o terminal de saída do subtrator, dele é extraída uma corrente igual à diferença entre a corrente entrando no terminal X ($i_{D1} + i_{D3}$ na Figura 24) e a corrente entrando no terminal Y ($i_{D2} + i_{D4}$ na Figura 24).

Esta arquitetura é a mesma utilizada no multiplicador de (SANTANA et al., 2012a,b), (SANTANA, 2013), tendo sido escolhida para a proposta de multiplicador aqui apresentada por conferir baixas impedâncias de entrada e uma excelente regulação.

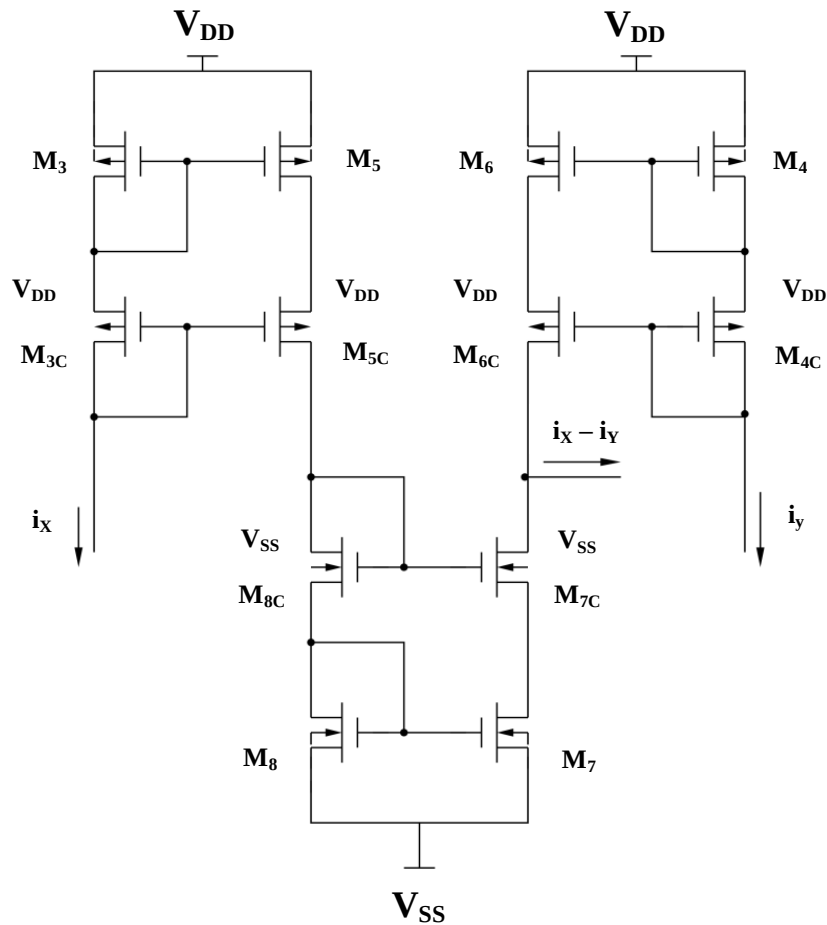


Figura 31 – Bloco Subtrator.

3.3. Considerações sobre Modularidade

Para a aplicação a que se destina o multiplicador de que trata este capítulo, ou seja, a realização das muitas sinapses numa rede de elevada densidade, como são as CNN analógicas, a possibilidade de compartilhamento de blocos de circuito é um aspecto extremamente desejável.

Podemos constatar que, na arquitetura de multiplicador proposta, os módulos geradores das tensões de referência V_{GG6} , V_{GG7} e V_{GG16} podem ser compartilhados por toda a rede. Portanto, o bloco designado *Divisores de Tensão* é único para a CNN inteira.

O mesmo pode ser dito sobre o lado esquerdo do bloco *Deslocador de Nível* (Figura 27), destacado na Figura 28(b). Este módulo gera um potencial constante ($v_{G2} = V_{DC1}$), que é aplicado a um terminal de alta impedância, podendo apenas um exemplar ser utilizado para todas as sinapses de todas as células de toda a rede.

CNN invariantes no espaço (CHUA; ROSKA, 2002), como são a quase totalidade das implementações práticas deste tipo de rede, utilizam apenas uma máscara para todos os pesos sinápticos. Isto significa que o conjunto de pesos sinápticos é único para todas as células da CNN. Assim, numa CNN com vizinhança unitária, que também é o tipo mais comum de implementação, os dezoito coeficientes necessários podem ser gerados por redes compartilhadas por algumas das células da CNN. O número de células participando deste compartilhamento, que ocorreria através da interconexão dos terminais de fonte de M_3 e M_4 de alguns multiplicadores, depende da máxima corrente que o transistor M_8 pode drenar sem alterar a operação do bloco de injeção de sinal. De qualquer forma, sendo M o número de linhas da CNN e N , o de colunas, será necessário um número significativamente menor que $18.M.N$ (M linhas e N Colunas) módulos iguais ao do lado direito do bloco para injeção de sinal nos terminais de fonte do núcleo (Figura 29(a)) para toda a CNN (SANTANA, 2013). Considerações semelhantes podem ser feitas em relação ao lado esquerdo deste bloco (Figura 29(b)).

Finalmente, graças à comutatividade da adição e da subtração, é possível compartilhar também o bloco subtrator entre certo número de sinapses de uma mesma célula, desde que o limite máximo de corrente à entrada do subtrator, que restringe a excursão da tensão na saída dos espelhos que o compõem, seja excedido.

3.4. Resultados de Simulação e Análise de Desempenho

Neste capítulo são apresentados e discutidos os resultados de simulação do desempenho da arquitetura de multiplicador proposta, a fim de identificar os seus limites de operação, vantagens e desvantagens. O circuito foi projetado para uma tecnologia CMOS de comprimento mínimo igual a 130 nm e para tensões de alimentação simétricas de 0,6 e -0,6 volts. As dimensões adotadas para os dispositivos são relacionadas na Tabela 2 da Seção 3.4.11. As simulações foram realizadas por meio do *software* ELDO[®] da plataforma de projeto de circuitos integrados da Mentor Graphics, usando o modelo BSIM[®] 4v4.

3.4.1. Características de Transferência DC

Foram realizadas as seguintes simulações DC do multiplicador proposto:

- i. Características DC da corrente de saída i_{OUT} contra uma variação da tensão de entrada v_{IN1} na faixa entre -100 mV e 100 mV, parametrizadas pela tensão de entrada v_{IN2} , esta variando de -500 mV a -300 mV (Figura 32).
- ii. Características DC da corrente de saída i_{OUT} contra uma variação da tensão de entrada v_{IN2} na faixa entre -500 mV a -300 mV, parametrizadas pela tensão de entrada v_{IN1} , esta variando de -100 mV a 100 mV (Figura 33).

Como a tensão de polarização V_{GG6} é igual a -0,4V, a variação de v_{IN2} entre -500 mV a -300 mV corresponde a uma variação da diferença $v_{IN2} - V_{GG6}$ de -100 mV a 100 mV.

Estes resultados de simulação revelam curvas visualmente retilíneas, que se cruzam muito próximo à origem do sistema, com pequeníssimo *offset* de tensão. A simetria entre os quadrantes diminui nos extremos de variação das amplitudes de tensão, sendo maior para as características traçadas contra a variação de v_{IN1} , que as traçadas contra a variação de v_{IN2} . A corrente de saída apresenta uma variação de aproximadamente 200 μ A pico-a-pico para as variações admitidas aos sinais de entrada.

3.4.2. Erro de Linearidade

As características DC apresentadas no item 3.4.1 foram utilizadas para determinar o valor absoluto do Erro de Linearidade. Este erro foi calculado utilizando a definição $\text{Erro} = |i_{OUT, \text{ simulada}} - i_{OUT, \text{ ajustada}}|$, em que $i_{OUT, \text{ ajustada}}$ foi obtida por ajuste de cada curva a uma reta, utilizando o Método dos Mínimos Quadrados, através da função *polyfit* do MATLAB®. O Erro de Linearidade calculado utilizando as características da Figura 32 é apresentado na Figura 34 e o calculado utilizando as características da Figura 33 é apresentado na Figura 35 a seguir.

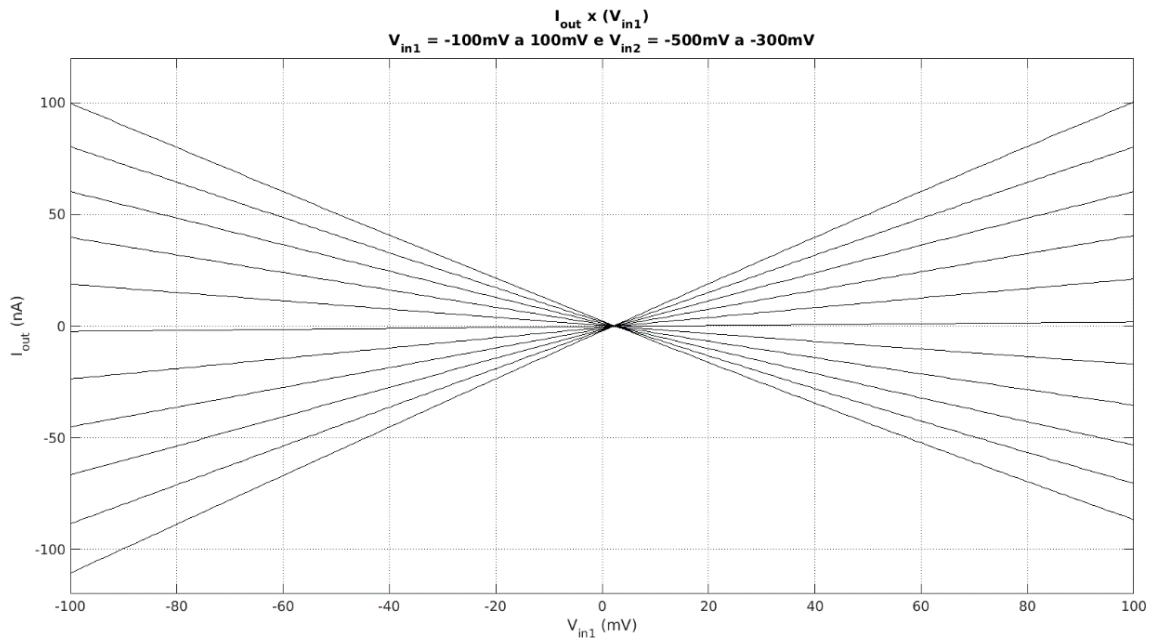


Figura 32 – Características DC: Corrente de Saída vs. Tensão de Entrada v_{IN1} , Parametrizadas por v_{IN2} .

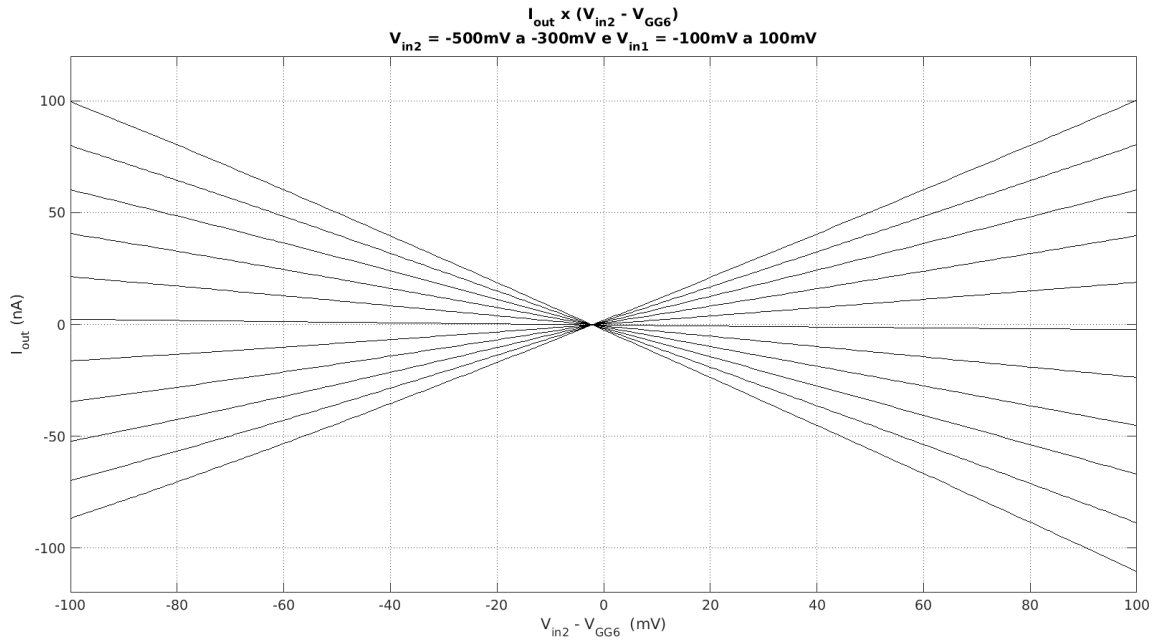


Figura 33 – Características DC: Corrente de Saída vs. Tensão de Entrada V_{IN2} , Parametrizadas por V_{IN1}

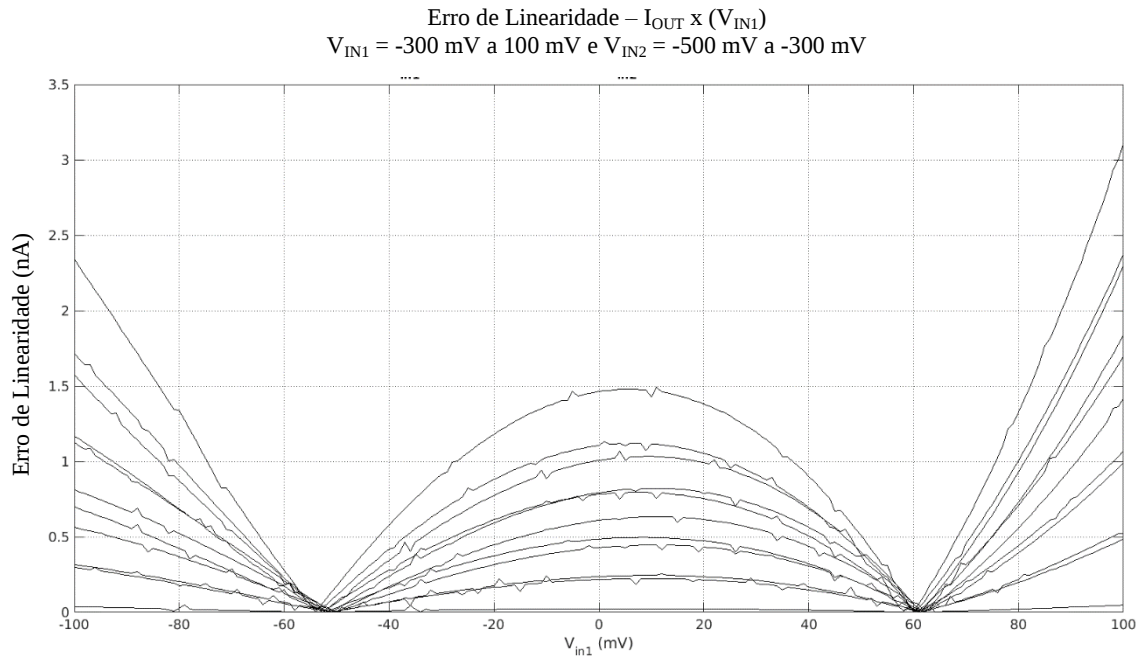


Figura 34 – Erro de Linearidade Relativo às Características DC da Figura 32.

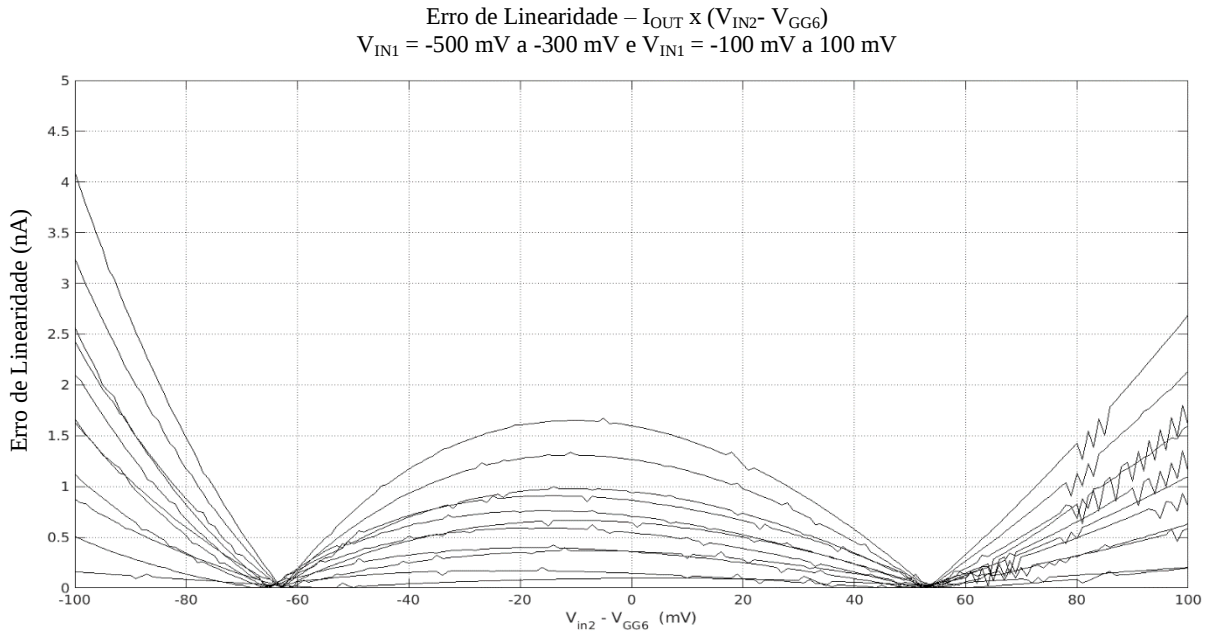


Figura 35 – Erro de Linearidade Relativo às Características DC da Figura 33.

Nota-se que o erro de linearidade não ultrapassa 3.1% do fundo de escala da corrente de saída, no caso da Figura 34 e 4.1% do fundo de escala da corrente de saída, no caso da Figura 35

3.4.3. Banda de Passagem

Foram realizadas duas simulações AC sobre o Multiplicador Proposto, com o objetivo de determinar sua banda de passagem:

- (i) Simulação com a tensão de entrada v_{IN1} estabelecida como variável AC e a tensão v_{IN2} fixada no valor constante $V_{GG6} = -0,4 \text{ V}$. O diagrama de Bode de magnitude do ganho i_{OUT}/v_{IN1} é apresentado na Figura 36, em que é possível determinar uma banda de 87,7 kHz dentro da qual a variação do ganho é igual ou inferior a 3 dB.
- (ii) Simulação com a tensão de entrada $v_{IN2} - V_{GG6}$ estabelecida como variável AC e a tensão v_{IN1} fixada em zero. O diagrama de Bode de magnitude do ganho i_{OUT}/v_{IN2} é apresentado na Figura 37, em que é possível determinar uma banda de 39,4 kHz dentro da qual a variação do ganho é igual ou inferior a 3 dB.

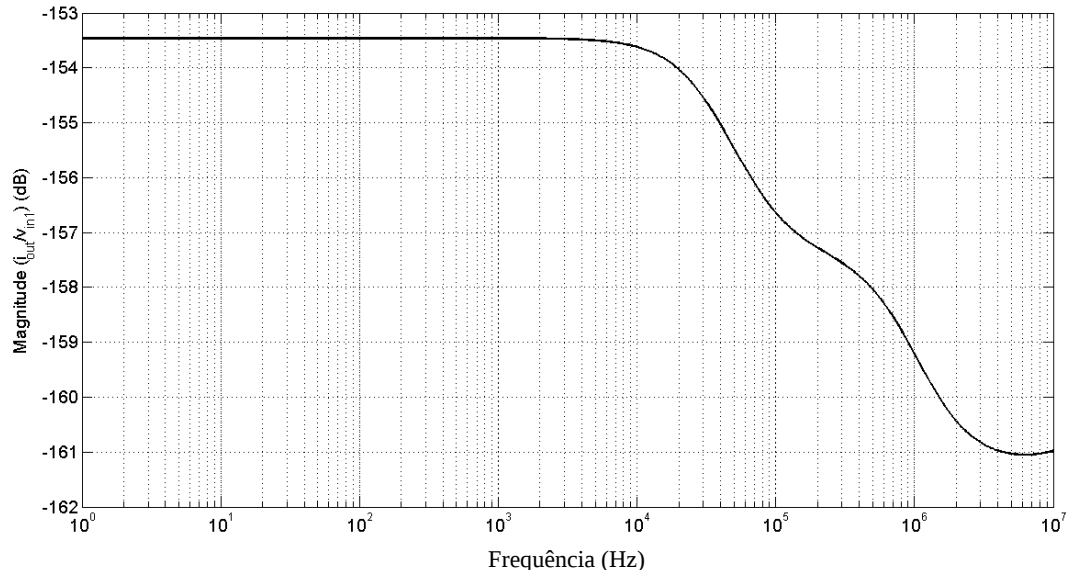


Figura 36 – Diagrama de Bode de Magnitude do Ganho i_{OUT}/v_{IN1} com v_{IN2} constante.

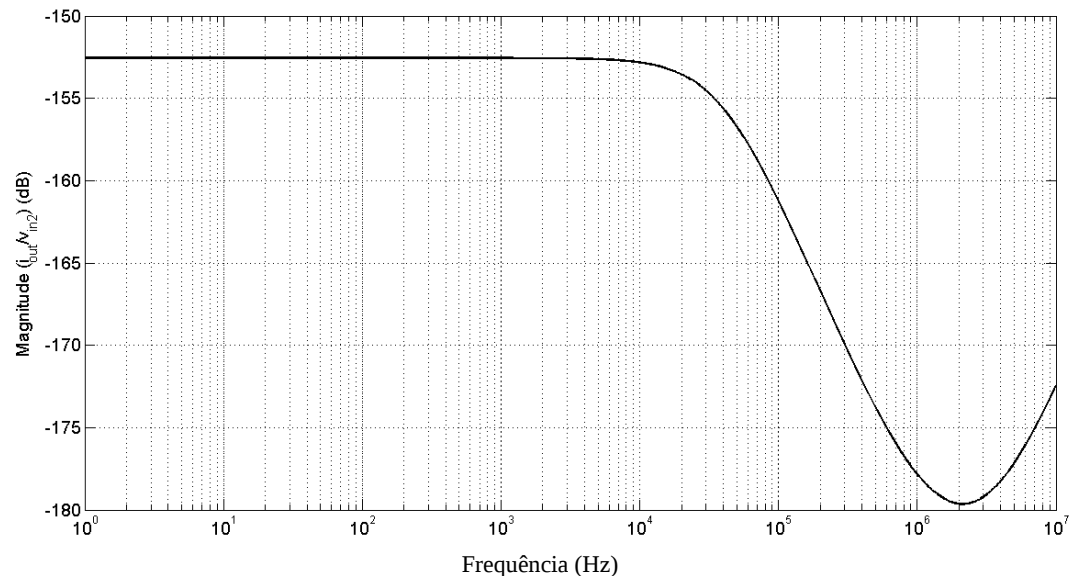


Figura 37 – Diagrama de Bode de Magnitude do Ganho i_{OUT}/v_{IN2} com v_{IN1} constante.

3.4.4. Simulação no Domínio do Tempo

Foi realizada uma simulação no domínio do tempo da corrente de saída i_{OUT} , aplicando-se às duas entradas sinais senoidais de tensão com amplitudes iguais a 100 mV e com frequências de 450 Hz (entrada v_{IN1}) e 4,5 kHz (entrada v_{IN2}). No caso do sinal de entrada v_{IN2} foi adicionada ao sinal senoidal uma tensão de *offset*⁸ igual a $V_{GG6} = -0,4$ V. O resultado é ilustrado na Figura 38.

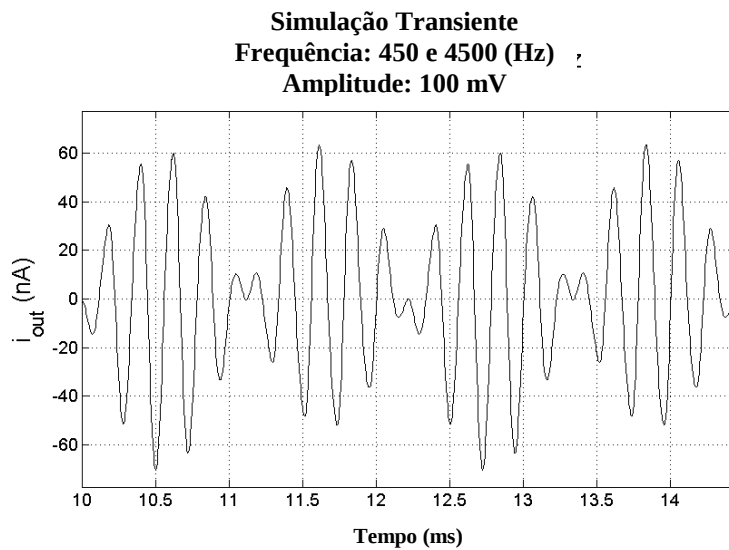


Figura 38 – Forma de Onda da Corrente de Saída com Entradas Senoidais de 450 Hz e 4,5 kHz e Amplitude de 100 mV.

3.4.5. Distorção Harmônica Total (THD)

Para a determinação da Distorção Harmônica Total, foram realizadas simulações no domínio do tempo da corrente de saída, seguidas de análise de *Fourier* executada pelo próprio simulador *ELDO*[®], com o fim de estimar a contribuição das componentes harmônicas relativamente à componente fundamental. Para as tensões de alimentação $V_{DD} = -V_{SS} = 0,6$ V e a temperatura padrão de 27 °C, procedeu-se ao seguinte levantamento:

⁸ Compensação em sinal DC.

- (i) Forma de onda da corrente de saída, para entrada de tensão v_{IN2} fixada num valor constante e entrada de tensão v_{IN1} submetida a um sinal senoidal com frequência de 1 kHz e, a cada simulação, amplitude variando de 10 a 100 mV, com passo de 10 mV. O valor constante de v_{IN2} foi também variado, assumindo para cada conjunto de formas de onda um dos valores: -300 mV, -320 mV, -350 mV, -450 mV, -480 mV e -500 mV.
- (ii) Forma de onda da corrente de saída, para entrada de tensão v_{IN1} fixada num valor constante e entrada de tensão v_{IN2} submetida a um sinal senoidal com *offset* de -0,4 V, frequência de 1 kHz e, a cada simulação, amplitude variando de 10 a 100 mV, com passo de 10 mV. O valor constante de v_{IN1} foi também variado, assumindo para cada conjunto de formas de onda um dos valores: -100 mV, -80 mV, -50 mV, 50 mV, 80 mV e 100 mV.

Os valores de THD em função das amplitudes do sinal senoidal v_{IN1} e parametrizados pela tensão constante v_{IN2} são exibidos na Figura 39. Percebe-se que para qualquer valor de v_{IN2} na faixa considerada, a THD é inferior a -40 dB até amplitudes de v_{IN1} de 30 mV e é menor que -35 dB até amplitudes de 60 mV. O valor máximo é -32 dB e ocorre para a máxima amplitude do sinal senoidal, 100 mV, e o menor valor constante de v_{IN2} , -500 mV.

Os valores de THD em função das amplitudes do sinal senoidal v_{IN2} e parametrizados pela tensão constante v_{IN1} são exibidos na Figura 40. Neste caso, a THD fica abaixo de -40 dB e de -35 dB, qualquer que seja o valor constante de v_{IN1} na faixa considerada, para amplitudes de v_{IN2} de até 20 e 50 mV, respectivamente. A máxima THD é de -27 dB, ocorrendo na amplitude máxima de v_{IN2} , 100 mV, com v_{IN1} também igual a este valor.

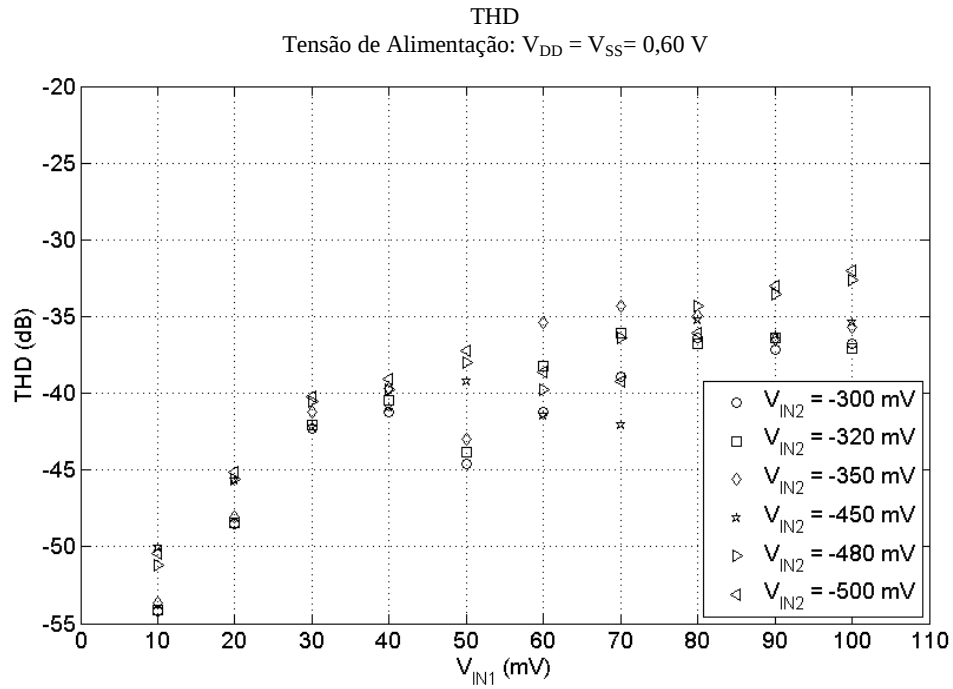


Figura 39 – THD vs. Amplitude do Sinal de Entrada v_{IN1} , com $V_{DD} = -V_{SS} = 0,6 \text{ V}$ e Temperatura: 27°C .

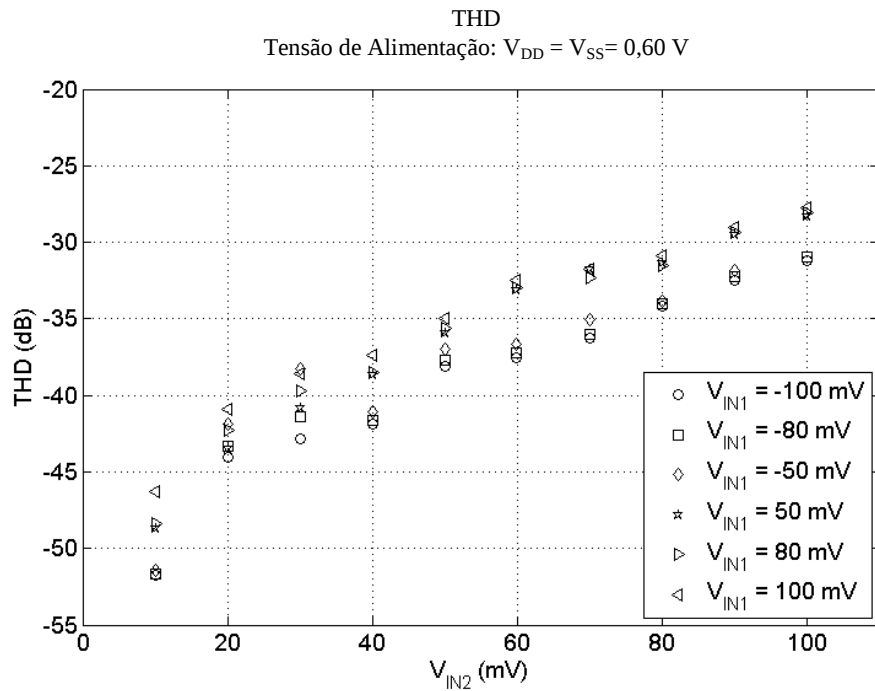


Figura 40 – THD vs. Amplitude do Sinal de Entrada v_{IN2} , com $V_{DD} = -V_{SS} = 0,6 \text{ V}$ e Temperatura: 27°C .

3.4.6. Análise da THD com Variações das Tensões de Alimentação

O método descrito no item 3.4.5 foi repetido para levar em consideração reduções das tensões de alimentação. Os seguintes valores de $V_{DD} = -V_{SS}$ foram aplicados: 0,55 V, 0,50 V e 0,45 V. Da Figura 41 à Figura 44 são sintetizados os resultados, apresentando as variações da THD com cada um dos sinais de entrada (v_{IN1} ou v_{IN2}), parametrizadas pelos valores das tensões de alimentação. Nesta forma de visualização, só foram considerados para a entrada constante, seja v_{IN1} ou v_{IN2} , os valores nos extremos da faixa.

Observa-se que a THD aumenta significativamente com a redução da magnitude da tensão de alimentação simétrica para todas as condições analisadas. A sensibilidade desta variação é notoriamente menor no caso da entrada v_{IN1} senoidal e a entrada v_{IN2} constante em -500 mV. Para esta situação, a THD permanece inferior a -24 dB, mesmo para a menor magnitude de tensão de alimentação testada (0,4 volts) e a maior amplitude de v_{IN1} considerada (100 mV).

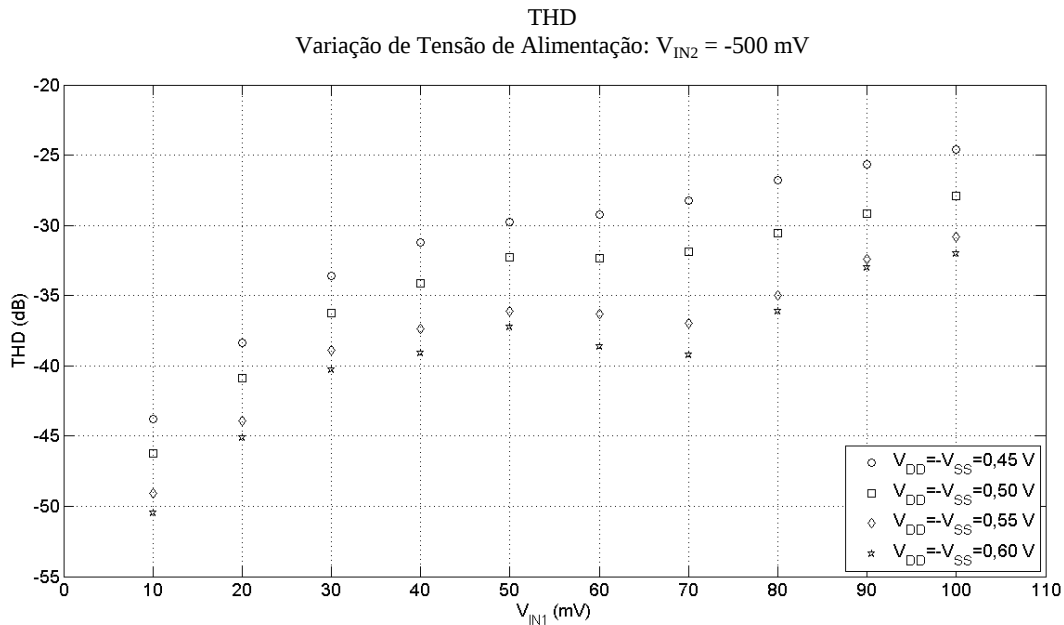


Figura 41 – THD vs. Amplitude do Sinal de Entrada v_{IN1} , com $v_{IN2} = -500$ mV.

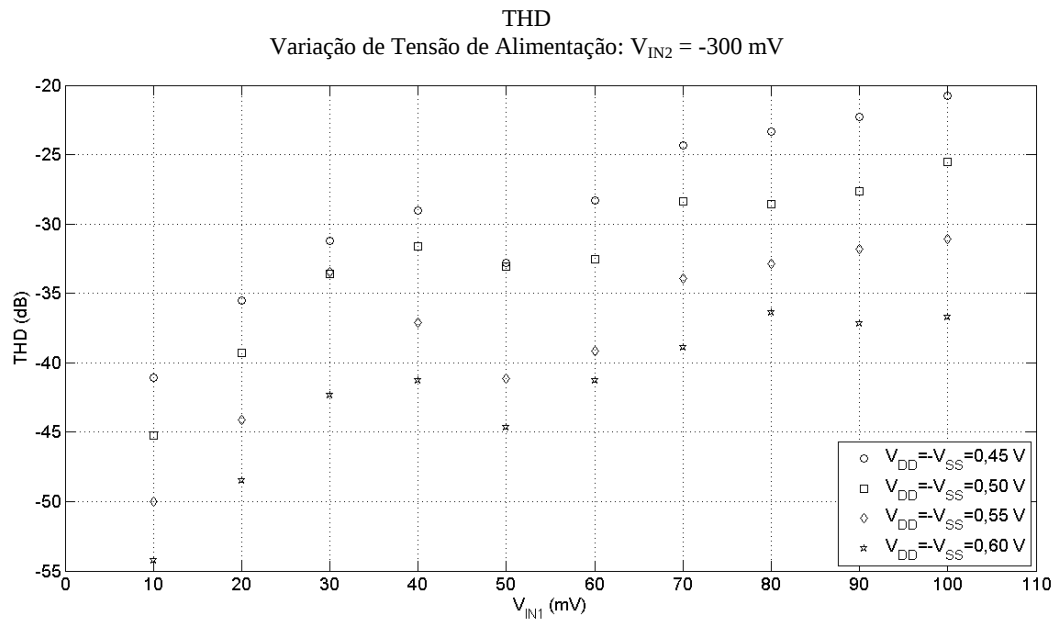


Figura 42 – THD vs. Amplitude do Sinal de Entrada v_{IN1} , com $v_{IN2} = -300$ mV.

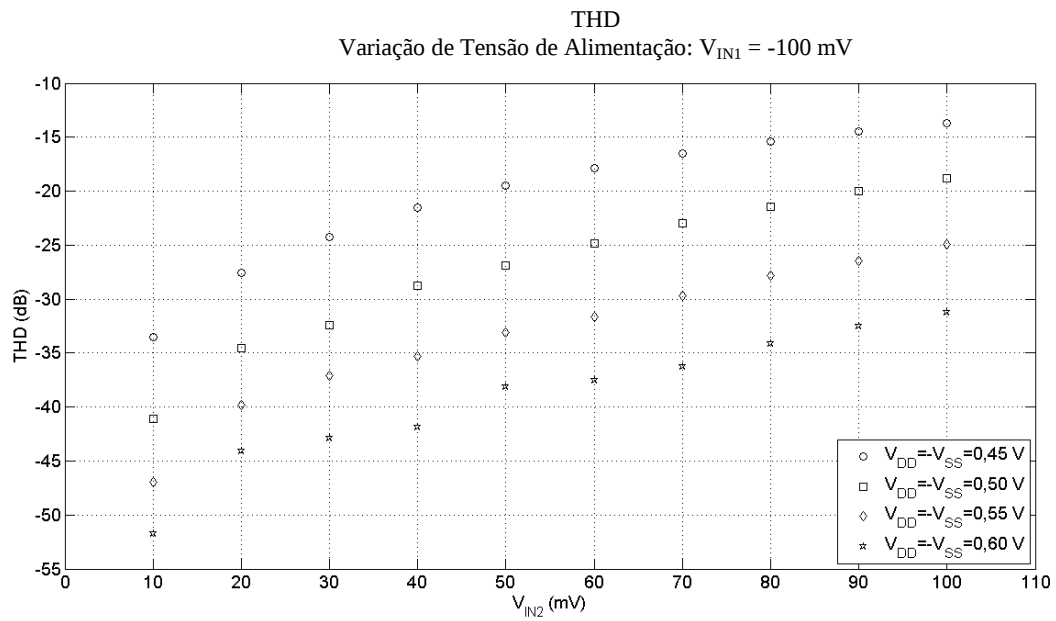


Figura 43 – THD vs. Amplitude do Sinal de Entrada v_{IN2} , com $v_{IN1} = -100$ mV.

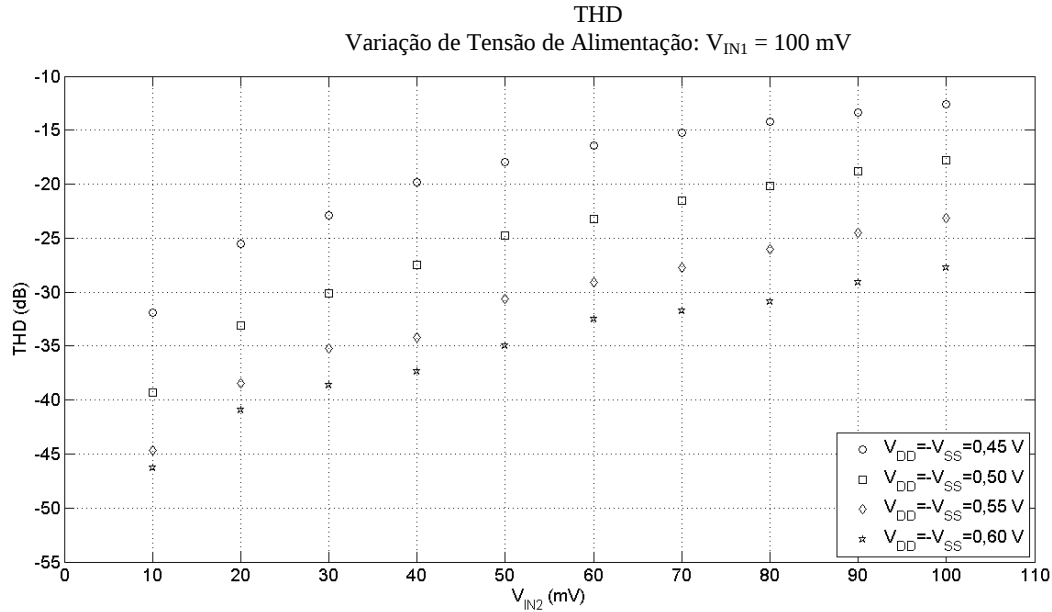


Figura 44 – THD vs. Amplitude do Sinal de Entrada v_{IN2} , com $v_{IN1} = 100 \text{ mV}$.

3.4.7. Análise da THD com Variações da Temperatura

O método descrito no item 3.4.5 foi repetido para levar em consideração variações da temperatura. Os seguintes valores de temperatura foram aplicados: -40°C , 0°C , 20°C , 60°C e 100°C . Da Figura 45 à Figura 48 são sintetizados os resultados, apresentando as variações da THD com cada um dos sinais de entrada (v_{IN1} ou v_{IN2}), parametrizadas pelos valores da temperatura. Nesta forma de visualização, só foram considerados para a entrada constante, seja v_{IN1} ou v_{IN2} , os valores nos extremos da faixa.

Foi constatado um aumento do nível de distorção com a redução da temperatura. Contudo, em temperaturas mais elevadas que a padrão (27°C), verificou-se abaixamento da THD.

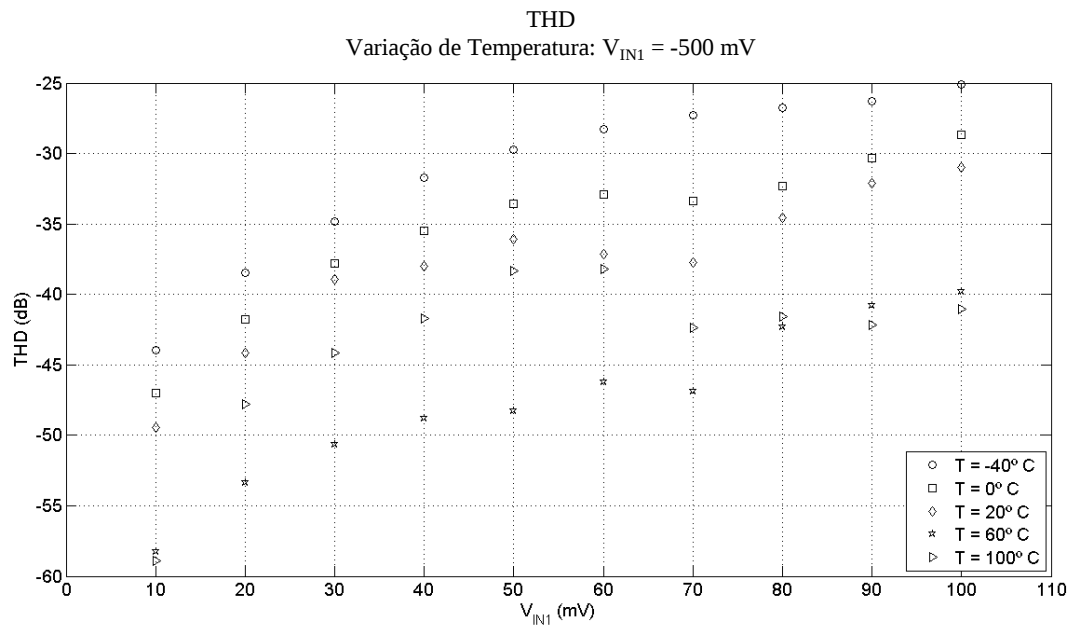


Figura 45 – THD vs. Amplitude do Sinal de Entrada v_{IN1} , com $v_{IN2} = -500$ mV.

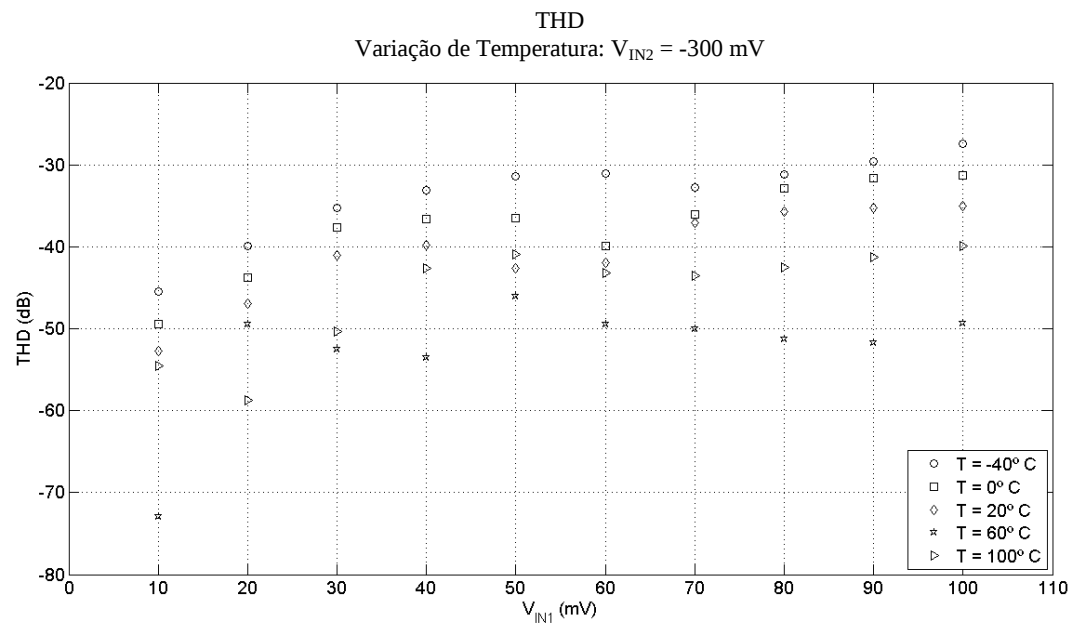


Figura 46 – THD vs. Amplitude do Sinal de Entrada v_{IN1} , com $v_{IN2} = -300$ mV.

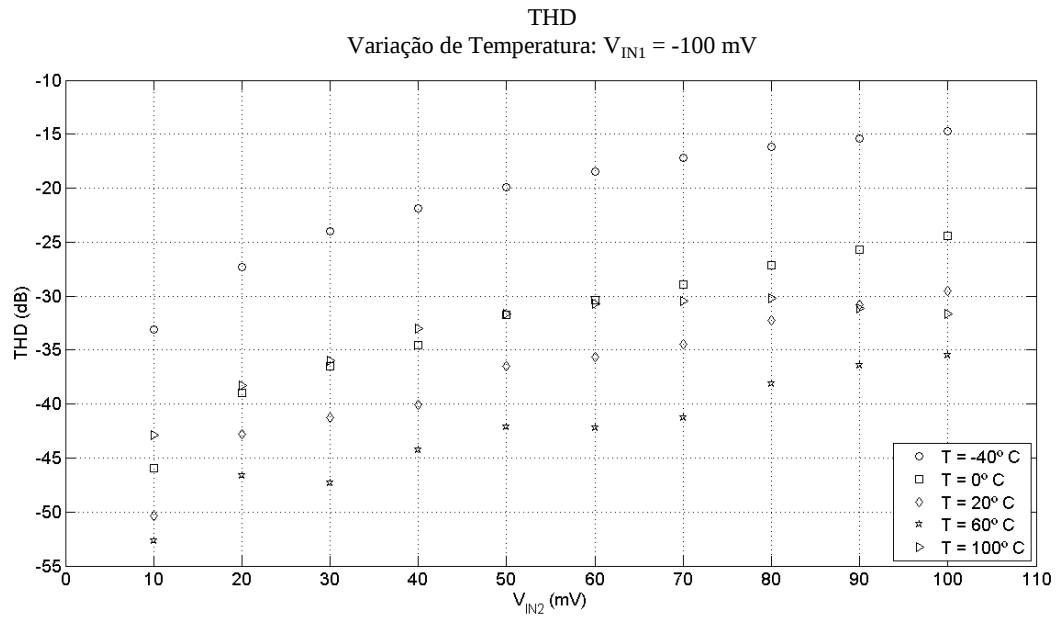


Figura 47 – THD vs. Amplitude do Sinal de Entrada v_{IN2} , com $v_{IN1} = -100$ mV.

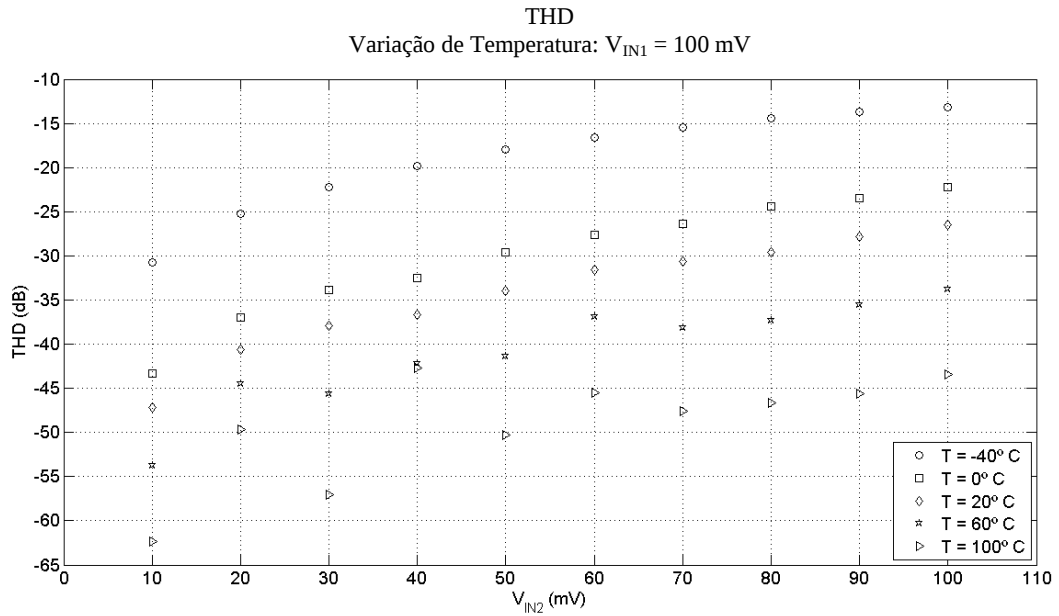


Figura 48 – THD vs. Amplitude do Sinal de Entrada v_{IN2} , com $v_{IN1} = 100$ mV.

3.4.8. Características de Transferência DC com Variações de Processo

Simulações DC da característica de transferência foram realizadas utilizando o Método de Monte Carlo para considerar variações de processo, de acordo com padrão do *design kit* da tecnologia. Foram levantadas características DC da corrente de saída i_{OUT} contra a tensão de entrada v_{IN1} para os dois valores extremos da faixa de v_{IN2} . Os resultados são apresentados na Figura 49, considerando 22 amostras.

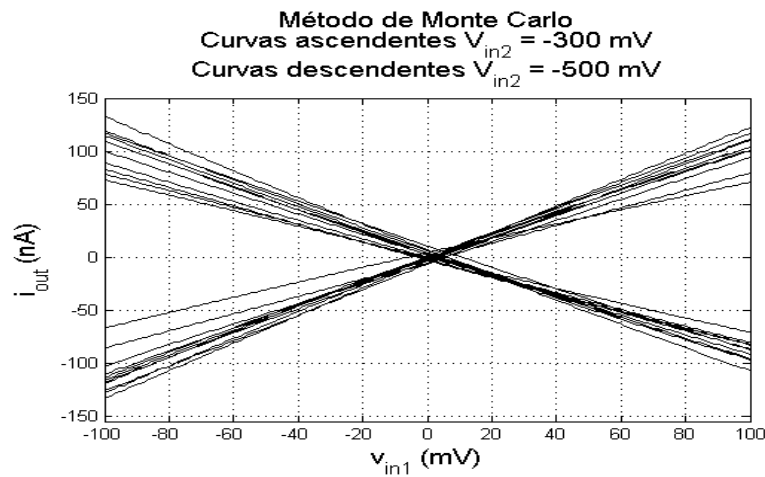


Figura 49 – Características de Transferência DC com Variações de Processo Utilizando o Método de Monte Carlo.

3.4.9. Análise de Ruído na Saída

A Figura 50 apresenta os resultados obtidos a partir da simulação de ruído na saída do multiplicador.

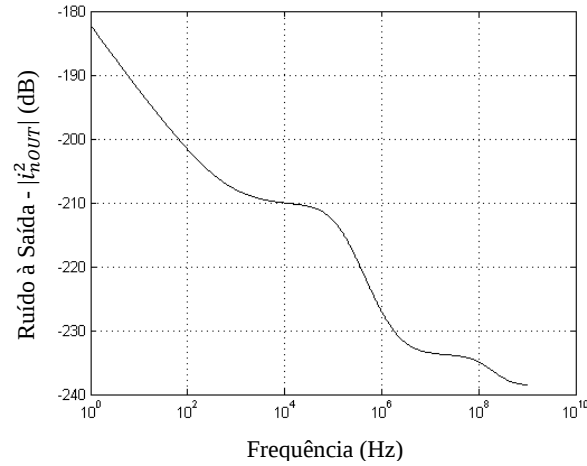


Figura 50 – Densidade espectral da corrente de ruído à saída do multiplicador.

3.4.10. Potência DC

A partir da simulação do ponto de operação do circuito, com $v_{IN1} = 0$ e com $v_{IN2} = V_{GG6} = -0,4$ V, foram determinadas as correntes fornecidas pelas duas fontes de polarização: $I_{(VDD)} = 18,90 \mu A$ e $I_{(VSS)} = 18,89 \mu A$. Com estes valores foi possível estimar a Potência DC do circuito: $P_{DC} = V_{DD} \cdot I_{(VDD)} + V_{SS} \cdot I_{(VSS)} = 22,68 \mu W$.

3.4.11. Considerações sobre Área

Na Tabela 2 são apresentadas as dimensões (*largura W e comprimento L do canal*), as razões de aspecto (W/L) e as áreas ativas ($W.L$) de todos os transistores utilizados no circuito do multiplicador analógico proposto, discriminados nas Figuras 17, 20, 23 e 24. A área ativa total resultou $40,25 \mu\text{m}^2$.

Tabela 2 – Dimensões dos Transistores e Área Ativa.

Bloco	Tipo do Transistor	Nome do Transistor	W (μm)	L (μm)	Área Ativa (μm^2)	Razão de Aspecto W/L
Núcleos do Multiplicador	N	M1	0,20	3,00	0,60	0,07
	N	M2	0,20	3,00	0,60	0,07
	N	M3	0,20	3,00	0,60	0,07
	N	M4	0,20	3,00	0,60	0,07
Blocos de Transferência de Sinal para Terminais de Fonte	N	M5	0,50	2,00	1,00	0,25
	N	M6	0,25	2,00	0,50	0,13
	P	M7	0,50	4,00	2,00	0,13
	N	M8	0,50	2,00	1,00	0,25
	N	M9	0,25	2,00	0,50	0,13
	P	M10	0,50	4,00	2,00	0,13
Divisores de Tensão	N	M22	0,20	5,00	1,00	0,04
	P	M23	4,40	1,00	4,40	4,40
	N	M17	0,20	5,00	1,00	0,04
	P	M18	0,20	5,00	1,00	0,04
	N	M11	6,00	0,50	3,00	12,00
	P	M12	0,25	3,40	0,85	0,07
	N	M20	0,20	5,00	1,00	0,04
	P	M19	1,10	1,00	1,10	1,10
Deslocador de Nível	N	M21	0,20	5,00	1,00	0,04
	P	M15	0,25	1,00	0,25	0,25
	P	M16	0,25	1,00	0,25	0,25
	P	M17	0,25	1,00	0,25	0,25
Subtrator	P	M18	0,25	1,00	0,25	0,25
	P	M3	5,00	0,25	1,25	20,00
	P	M3C	5,00	0,25	1,25	20,00
	P	M4	5,00	0,25	1,25	20,00
	P	M4C	5,00	0,25	1,25	20,00
	P	M5	5,00	0,25	1,25	20,00
	P	M5C	5,00	0,25	1,25	20,00
	P	M6	5,00	0,25	1,25	20,00
	P	M6C	5,00	0,25	1,25	20,00
	N	M7	5,00	0,25	1,25	20,00
	N	M7C	5,00	0,25	1,25	20,00
	N	M8	5,00	0,25	1,25	20,00
	N	M8C	5,00	0,25	1,25	20,00
Área Ativa Total (μm^2)						40,25 μm^2

3.4.12. Operação como sinapse de uma CNN

Para analisar a aplicabilidade desta arquitetura de multiplicador na operação como sinapse de uma CNN, os blocos multiplicadores da CNN analógica implementada em Santana (2012a), com 10 x 10 células do tipo FSR (*Full Signal Range*), para fins de simulação, foram substituídos por blocos multiplicadores idênticos ao proposto neste capítulo. Os resultados de simulação para duas funções diferentes de processamento de imagem binária são mostrados na Figura 51 e Figura 52.

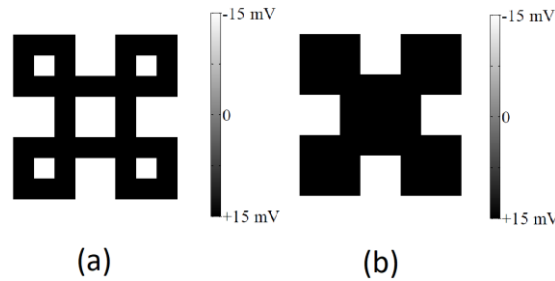


Figura 51 – Resultados da simulação para a função de processamento de imagem de preenchimento de buracos: (a) Imagem inicial e (b) Imagem final.

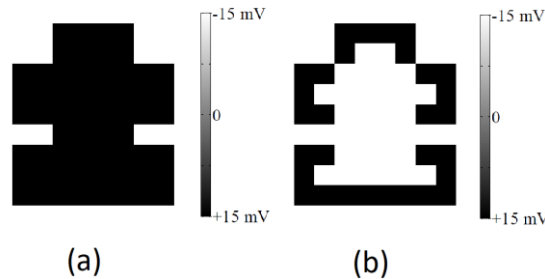


Figura 52 – Resultados da simulação para a função de processamento de imagem de detecção de borda: (a) imagem inicial e (b) imagem final.

Os valores de tensão que representam os pixels da imagem foram atribuídos à entrada v_{IN1} do multiplicador proposto, porque o nível de distorção relativo a essa entrada é um pouco menor que o da entrada v_{IN2} , como foi observado por meio dos resultados de simulação das Seções 3.4.1 (características DC), 3.4.2, (erros de linearidade) e 3.4.5 (THD). Como os valores dos coeficientes para cada função de processamento de imagem toleram pequenos desvios sem prejudicar a implementação, eles foram atribuídos à entrada v_{in2} . Como a arquitetura do grampeador da CNN de Santana (2012a) não foi adaptada para uma excursão de ± 100 mV, foram utilizados

sinais de entrada (representativos dos pixels) na faixa de ± 15 mV, sendo -15 mV a tensão correspondente a pixel preto e 15 mV, a pixel branco.

No caso da Figura 51, a CNN realiza a função de preenchimento de buracos, que consiste em tornar pretos todos os pixels brancos completamente circundados por pixels pretos. Percebe-se pela comparação entre as imagens inicial e final, que a função foi executada a contento. O mesmo pode-se dizer da realização da função de detecção de borda, ilustrada na Figura 52. Estes dois exemplos demonstram que o multiplicador proposto é adequado para atuar como sinapse em uma CNN analógica.

3.5. Considerações Finais

A análise dos resultados de simulação de desempenho obtidos para a arquitetura de multiplicador analógico proposta neste trabalho, para aplicação em sinapses de CNN, revela:

- (i) Erro de linearidade e distorção harmônica satisfatórios para condições normais de utilização, ou seja, tensões de alimentação $V_{DD} = -V_{SS} = 0,6$ V e temperatura de 27 °C.
- (ii) Faixa de variação útil dos sinais de tensão de entrada de pelo menos 200 mV pico-a-pico, o quê, para o caso do sinal de entrada representativo de um pixel, é compatível com os níveis gerados pelos circuitos de sensoriamento.
- (iii) Banda de frequências não muito extensa, porém suficiente para a aplicação a que a arquitetura se propõe.
- (iv) Níveis de distorção harmônica aceitáveis (abaixo de -20 dB) para redução da tensão de alimentação até 0,45 volts para toda a faixa de variação da entrada v_{IN1} e até 0,55 volts para toda a faixa de variação da entrada v_{IN2} . Cumpre notar que a entrada v_{IN1} foi escolhida para os sinais representativos dos pixels e a entrada v_{IN2} para os sinais representativos dos pesos sinápticos. Para estes últimos, os requisitos de distorção são menos rigorosos, uma vez que para a realização de uma determinada função de

processamento de imagens por uma CNN os valores dos coeficientes podem ser estabelecidos dentro de uma faixa.

- (v) Níveis de distorção harmônica aceitáveis (abaixo de -20 dB) para variações de temperatura entre -40 °C a 100 °C para toda a faixa de variação da entrada v_{IN1} e entre 0 °C e 100 °C volts para toda a faixa de variação da entrada v_{IN2} .
- (vi) Desempenho satisfatório face variações de processo.
- (vii) Níveis de ruído aceitáveis.
- (viii) Potência DC baixa.
- (ix) Área ativa total muito pequena.

4. MULTIPLICADOR ANALÓGICO CMOS DE QUATRO QUADRANTES SEM GERADORES DE TENSÃO DE REFERÊNCIA

Neste capítulo apresenta-se uma arquitetura CMOS de quatro quadrantes para aplicação como elemento de sinapse em redes neurais celulares analógicas. O circuito possui as duas entradas em modo de tensão e a saída em modo de corrente e inclui um método de aplicação de sinal que evita geradores de referência de tensão.

A multiplicação em quatro quadrantes é realizada através de um esquema de cancelamento sobre as correntes de saída de quatro multiplicadores de um único quadrante.

4.1. Arquitetura Proposta

4.1.1. Princípio de Operação

O multiplicador analógico aqui proposto, como muitos circuitos congêneres (HAN; SANCHEZ-SINENCIO, 1998), baseia-se na relação quadrática entre corrente de dreno e tensão de porta em inversão forte. As correntes de dreno dos transistores M_1 e M_2 na Figura 53, supostamente com razões de aspecto iguais e operando em saturação, são dadas por (ENZ; KRUMMENACHER; VITTOZ, 1995):

$$i_{D1,2} = K_1 V_{P1,2}^2 \quad (36.a)$$

em que as tensões de *pinch-off* $V_{P1,2}$ dos dispositivos de canal N são:

$$V_{P1,2} = \frac{V_{G1,2} - V_{SS} - V_{T0n}}{n_n} \quad (36.b)$$

K_1 é uma constante, proporcional à mobilidade dos elétrons e à razão de aspecto de $M_{1,2}$, $V_{G1,2}$ são os potenciais de porta e V_{T0n} e n_n são, respectivamente, a tensão de limiar no equilíbrio e o fator de rampa dos transistores canal N.

Portanto, a diferença entre as correntes M_1 e M_2 é:

$$i_{D1} - i_{D2} = K_1(V_{P1}^2 - V_{P2}^2) = K_1(V_{P1} - V_{P2})(V_{P1} + V_{P2}) \quad (37.a)$$

ou, em termos dos potenciais de porta,

$$i_{D1} - i_{D2} = \frac{K_1}{n_n^2} (v_{G1} - v_{G2})(v_{G1} + v_{G2} - 2V_{SS} - 2V_{T0n}) \quad (37.b)$$

De acordo com (37.b), configurando $v_{G1} = \alpha(v_{in1} + v_{in2}) + V_{C1}$ e $v_{G2} = \alpha(v_{in2} - v_{in1}) + V_{C2}$, com α sendo uma constante adimensional e $V_{C1,2}$ sendo uma tensão constante, a multiplicação em um quadrante é realizada entre os sinais de tensão arbitrários v_{in1} e v_{in2} :

$$i_{D1} - i_{D2} = \frac{4K_1\alpha^2}{n_n^2} \left(v_{in1} + \frac{V_{C1} - V_{C2}}{2\alpha} \right) \left(v_{in2} + \frac{V_{C1} + V_{C2}}{2\alpha} - \frac{V_{SS} + V_{T0n}}{\alpha} \right) \quad (37.c)$$

Nesta estrutura, propomos um novo método para aplicar a soma e a diferença dos sinais às entradas do multiplicador, sem o uso de inversores, amplificadores ou tensões de referência que não sejam as tensões de alimentação.

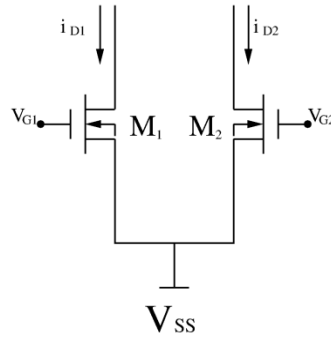


Figura 53 – Princípio básico do núcleo multiplicador proposto.

4.1.2. Bloco de Média Aritmética

Na Figura 54, M_5 e M_6 operam em saturação, independentemente de seus níveis de inversão e, de acordo com modelos compactos, como o de (CUNHA, 1998):

$$V_{P5} - v_X + V_{DD} = -\phi_t f(i_{f5}) \quad (38.a)$$

$$V_{P6} - v_X + V_{SS} = \phi_t f(i_{f6}) \quad (38.b)$$

onde ϕ_t é a tensão térmica e $i_{f5,6}$ são os níveis de inversão dos transistores $M_{5,6}$, que na saturação são dados por:

$$i_{f5,6} = I_{D5,6} / I_{S5,6} \quad (38.c)$$

em que $I_{S5,6}$ são as correntes específicas de $M_{5,6}$, proporcionais às respectivas mobilidades dos portadores de carga do canal $\mu_{p,n}$ e às suas respectivas razões de aspecto $W_{5,6}/L_{5,6}$. Sendo $I_{D5} = I_{D6}$, se

$$\mu_p(W_5/L_5) = \mu_n(W_6/L_6), \quad (38.d)$$

então $I_{S5} = I_{S6}$, o que implica $i_{f5} = i_{f6}$, e de (38.a) e (38.b):

$$v_X = \frac{V_{P5} + V_{P6}}{2} + \frac{V_{DD} + V_{SS}}{2} = \frac{V_{G5} - V_{DD} - V_{T0p}}{2n_p} + \frac{V_{G6} - V_{SS} - V_{T0n}}{2n_n} + \frac{V_{DD} + V_{SS}}{2} \quad (39.a)$$

em que V_{T0p} e n_p são, respectivamente, a tensão de limiar no equilíbrio e o fator de rampa dos transistores canal P. Assumindo tensões de alimentação simétricas ($V_{DD} = -V_{SS}$) e $n_p \cong n_n = n$:

$$v_X = \frac{v_{G5} + v_{G6}}{2n} - \frac{V_{T0p} + V_{T0n}}{2n} \quad (39.b)$$

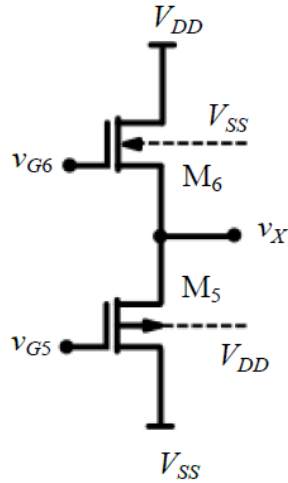


Figura 54 – Bloco de Média Aritmética.

4.1.3. Bloco de Meia-Diferença

Na Figura 55(a), com M_3 e M_4 supostamente em saturação:

$$V_{P3} = \phi_t f(i_{f3}) \quad (40.a)$$

$$V_{P4} - v_Y + V_{SS} = \phi_t f(i_{f4}) \quad (40.b)$$

em que $i_{f3,4}$ são os níveis de inversão dos transistores $M_{3,4}$. Para razão de aspecto iguais, $i_{f3} = i_{f4}$, portanto:

$$v_Y = V_{P4} - V_{P3} + V_{SS} = \frac{V_{G4} - V_{G3}}{n_n} + V_{SS} \quad (41)$$

Assim, o circuito na Figura 55(a) realiza a diferença entre os sinais aplicados aos terminais de porta de M_3 e M_4 . A conexão da saída desse bloco à porta do transistor de canal N do bloco de média aritmética, enquanto se aterra a porta do transistor de canal P, conforme ilustrado na Figura 55(b), fornece:

$$v_W = \frac{v_Y}{2n} - \frac{V_{T0p} + V_{T0n}}{2n} = \frac{v_{G4} - v_{G3}}{2n^2} + \frac{V_{SS}}{2n} - \frac{V_{T0p} + V_{T0n}}{2n} \quad (42)$$

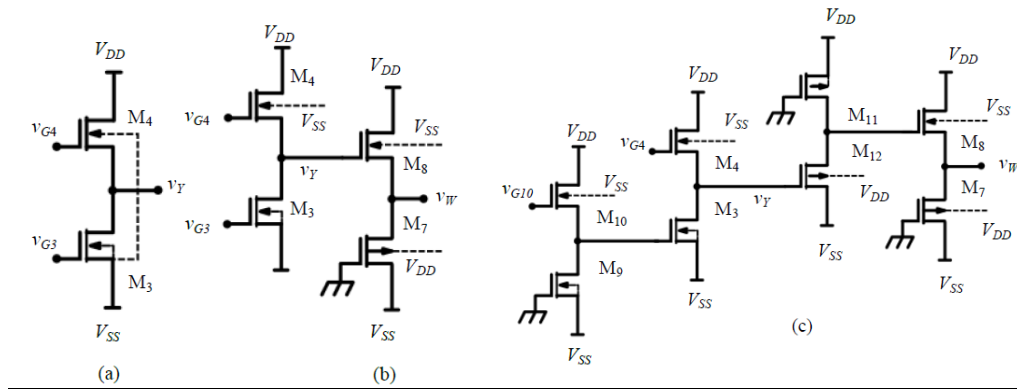


Figura 55 – Bloco de Meia Diferença: (a) bloco de diferença; (b) bloco de meia diferença; (c) bloco de meia diferença com deslocadores de nível.

No entanto, para manter os transistores M_3 e M_7 em saturação, mesmo para os valores mais baixos de v_{G4} e para os valores mais altos de v_{G3} , foram inseridos os deslocadores de nível M_9 - M_{10} e M_{11} - M_{12} , como mostrado na Figura 55(c).

Deve-se notar que, para evitar o uso de geradores de referência de tensão, as tensões de porta de M_9 e M_{11} são conectadas à terra. Desta forma, os potenciais nas portas de M_3 e M_8 são respectivamente:

$$v_{G3} = \frac{v_{G10}}{n_n} - V_{shift1} \quad (43.a)$$

$$v_{G8} = \frac{v_Y}{n_p} + V_{shift2} \quad (43.b)$$

em que

$$V_{shift1} = \frac{V_{T0n} - (n_n - 1)V_{SS}}{n_n} + \phi_t f\left(\frac{I_{D9}}{I_{S10}}\right) \quad (43.c)$$

$$V_{shift2} = \frac{(n_p - 1)V_{DD} - V_{T0p}}{n_p} + \phi_t f\left(\frac{I_{D11}}{I_{S12}}\right) \quad (43.d)$$

e I_{D9} e I_{D11} são constantes. Portanto, o potencial v_W na Figura 55(c) é (assumindo que $n_n = n_p = n$):

$$v_W = \frac{v_{G4}}{2n^3} - \frac{v_{G10}}{2n^4} + V_C \quad (44.a)$$

com

$$V_C = \frac{V_{shift2}}{2n} - \frac{V_{shift1}}{2n^3} + \frac{V_{SS}}{2n} - \frac{V_{T0p} + V_{T0n}}{2n} \quad (44.b)$$

Assumindo que n tem valor próximo da unidade, de modo que $n^4 \approx n^3 \approx n$, então v_X em (39.b) e v_W em (44.a) são aproximações razoáveis para as tensões de porta de M_1 e M_2 na Figura 53, de modo a realizar a multiplicação em quadrante único, desde que $v_{G4} = v_{G6}$ e $v_{G10} = v_{G5}$ correspondam aos sinais de entrada v_{in1} e v_{in2} , respectivamente.

O núcleo multiplicador, que realiza a multiplicação em um único quadrante é ilustrado na Figura 56. Para obter a multiplicação em quatro quadrantes, é adotado o esquema de cancelamento da Figura 57, no qual se obtém para a corrente de saída do multiplicador:

$$i_{OUT} = i_{D1A} - i_{D2A} + i_{D1D} - i_{D2D} + i_{D2B} - i_{D1B} + i_{D2C} - i_{D1C} \quad (45)$$

Na Figura 57, o núcleo A recebe os dois sinais de entrada, v_{in1} e v_{in2} , o núcleo B recebe sinais nulos (ambos terminais de entrada aterrados) e os núcleos C e D recebem apenas o sinal v_{in1} e o sinal v_{in2} , respectivamente, estando o outro terminal de entrada aterrado em cada um. Desta forma, levando em consideração (37.c), pode-se concluir que o lado direito de (45) contém apenas um termo proporcional ao produto $v_{in1} \cdot v_{in2}$.

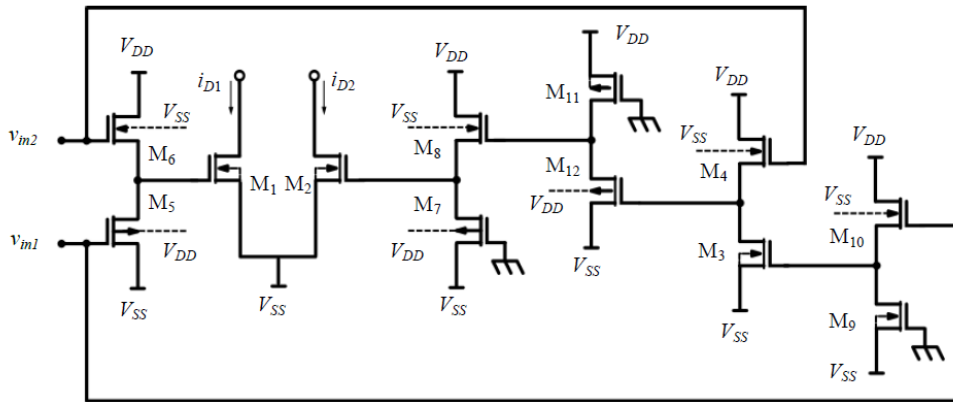


Figura 56 – Núcleo multiplicador para operação em um único quadrante.

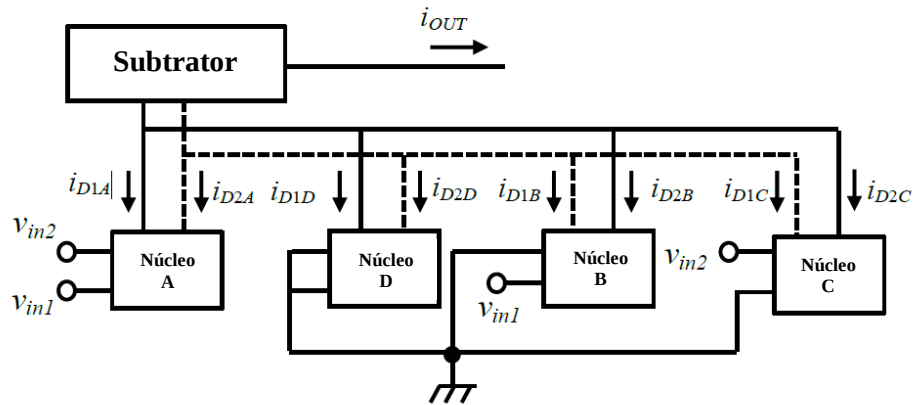


Figura 57 – Esquema de cancelamento para operação em quatro quadrantes.

Neste esquema de cancelamento o subtrator utilizado tem arquitetura igual à do utilizado no multiplicador descrito no Capítulo 3, totalizando oito dispositivos canal P e quatro canal N.

4.2. Resultados de Simulação e Análise de Desempenho

Neste capítulo são apresentados e discutidos os resultados de simulação do desempenho da arquitetura de multiplicador proposta, a fim de identificar os seus limites de operação, vantagens e desvantagens. O circuito foi projetado para uma tecnologia CMOS de comprimento mínimo igual a 130 nm e para tensões de alimentação simétricas de 0,6 e -0,6 volts. As simulações foram realizadas por meio do *software* SMASH[®], usando o modelo BSIM[®] 3v1.

As dimensões do multiplicador e do subtrator estão relacionadas na Tabela 3, da Seção 4.2.5.

4.2.1. Características de Transferência DC

Foram realizadas simulações do multiplicador proposto para levantar características DC, com a corrente de saída i_{OUT} variando com a tensão de entrada v_{in2} na faixa entre -50 mV e 50 mV, parametrizadas pela tensão de entrada v_{in1} , também variando de -50 mV a 50 mV, com passos de 5 mV.

A Figura 58 ilustra as características de transferência DC do multiplicador, para o circuito completo, incluindo o subtrator, e a Figura 59 para o caso em que a subtração é ideal, ou seja, é matematicamente realizada entre as oito correntes dos quatro núcleos, contudo assumidas carregadas pelo subtrator, ou seja, o circuito subtrator é mantido nas simulações para reproduzir a queda de tensão por ele introduzida na entrada de cada núcleo do multiplicador. Percebe-se que incorreções da operação multiplicadora, tais como ligeira degradação da linearidade, assimetria entre os quadrantes e *offset* de tensão, originam-se na interação com o circuito subtrator.

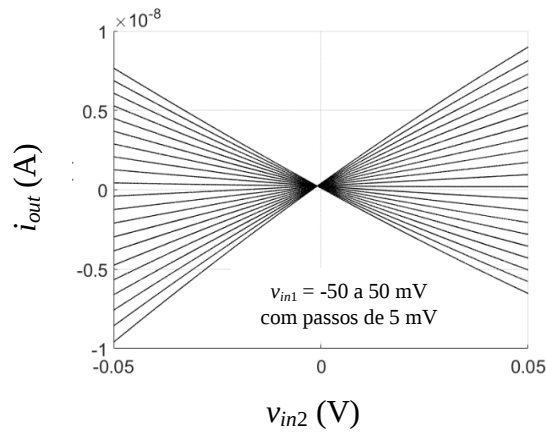


Figura 58 – Características de transferência DC do multiplicador: i_{out} vs. v_{in2} , com v_{in1} variando de -50 mV a 50 mV com passos de 5 mV; circuito completo, incluindo o subtrator.

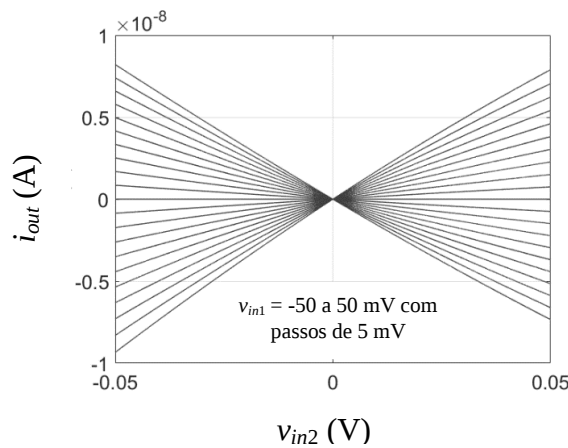


Figura 59 – Características de transferência DC do multiplicador: i_{out} vs. v_{in2} , com v_{in1} variando de -50 mV a 50 mV com passos de 5 mV; subtração ideal.

A Figura 60 apresenta a variação da distorção harmônica total simulada (THD) do circuito completo com diferentes amplitudes de um sinal senoidal de 100 Hz aplicado a uma das entradas, enquanto um valor constante é aplicado à outra entrada.

Os resultados de simulação apresentados da Figura 58 à Figura 60 foram obtidos para as condições padrão: $V_{DD} = -V_{SS} = 0,6$ V, temperatura de 27 °C e parâmetros típicos da tecnologia.

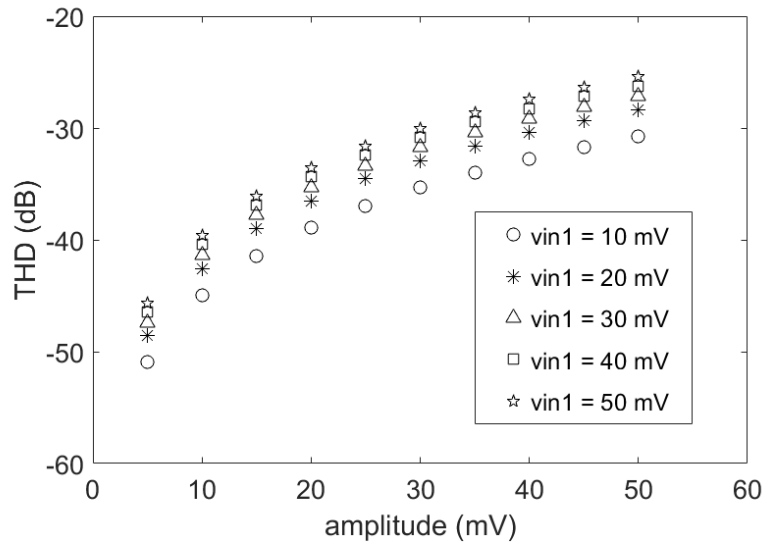


Figura 60 – Distorção harmônica total do multiplicador: v_{in2} senoidal (100 Hz) e v_{in1} constante.

4.2.2. Características de Transferência DC com Variação de Tensão de Alimentação

As características de transferência DC do multiplicador também foram simuladas considerando variações nas tensões de alimentação.

Da Figura 61 à Figura 64 são ilustrados os resultados de simulação obtidos para tensões de alimentação simétricas ($V_{DD} = -V_{SS}$) de $\pm 0,50$ V e $\pm 0,55$ V. Como realizado no caso das tensões de alimentação padrão, para cada caso foi simulada a resposta do circuito completo, incluindo o subtrator (Figura 61 e Figura 63), e foi simulada a resposta obtida a partir da subtração ideal entre as correntes do multiplicador carregado pelo subtrator (Figura 62 e Figura 64).

Da Figura 61 à Figura 64 verifica-se que, como esperado, os quatro núcleos multiplicadores de um quadrante associados no esquema de cancelamento apresentam baixa sensibilidade à variação da tensão de alimentação, apesar da carga representada pelo subtrator: o resultado matemático da subtração fornece um deslocamento (*offset* de corrente) imperceptível e linearidade visualmente semelhante à da operação padrão (Figura 59), mesmo com uma redução de 16,7% nas tensões de alimentação. Por outro lado, o subtrator *cascode* introduz um deslocamento e uma distorção pequena porém visível em sua corrente de saída quando operando com tensões de alimentação mais baixas.

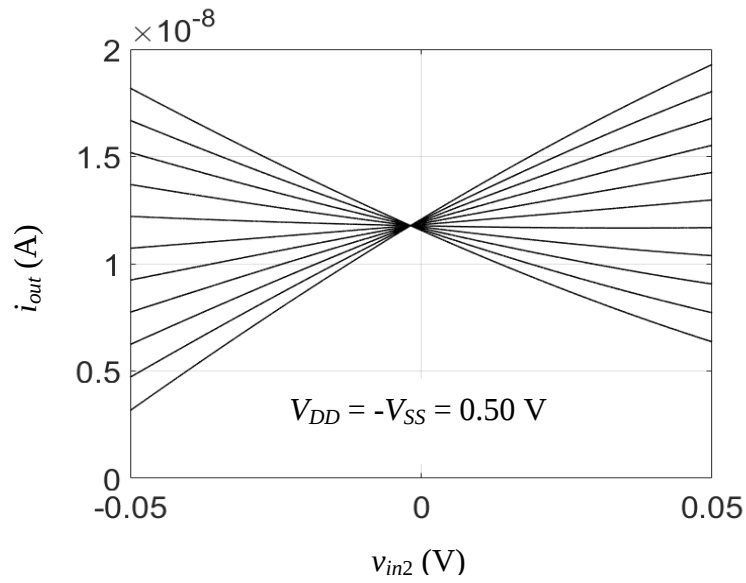


Figura 61 – Características de transferência DC do multiplicador para tensões de alimentação de $\pm 0,50$ V: i_{out} vs. v_{in2} , com v_{in1} variando de -50 mV a 50 mV com passos de 10 mV; circuito completo, incluindo o subtrator.

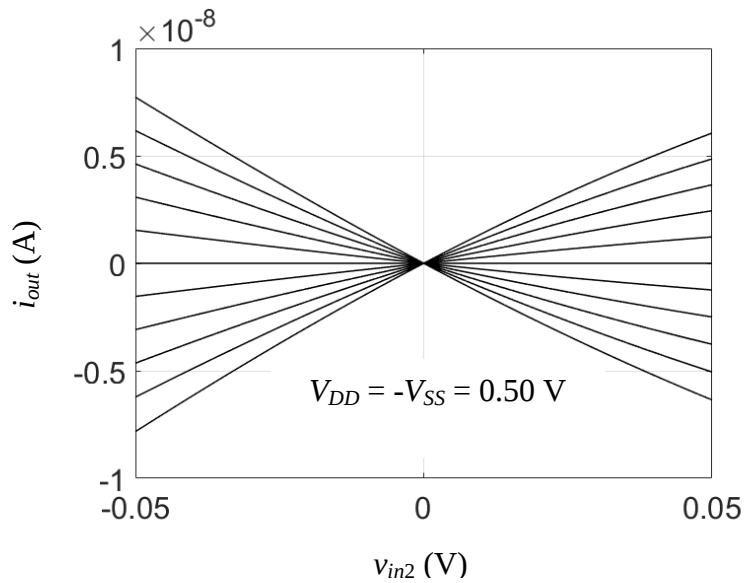


Figura 62 – Características de transferência DC do multiplicador para tensões de alimentação de $\pm 0,50$ V: i_{out} vs. v_{in2} , com v_{in1} variando de -50 mV a 50 mV com passos de 10 mV; subtração ideal.

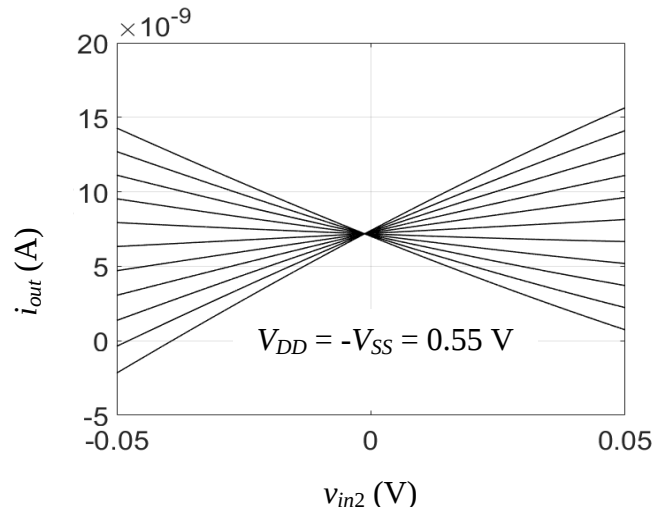


Figura 63 – Características de transferência DC do multiplicador para tensões de alimentação de $\pm 0,55$ V: i_{out} vs. v_{in2} , com v_{in1} variando de -50 mV a 50 mV com passos de 10 mV; circuito completo, incluindo o subtrator.

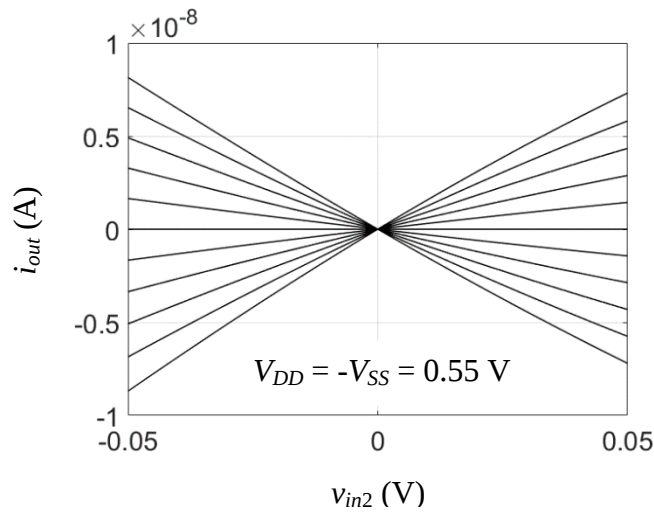


Figura 64 – Características de transferência DC do multiplicador para tensões de alimentação de $\pm 0,55$ V: i_{out} vs. v_{in2} , com v_{in1} variando de -50 mV a 50 mV com passos de 10 mV; subtração ideal.

4.2.3. Características de Transferência DC com Variação de Temperatura

Finalmente, as características de transferência DC do multiplicador foram simuladas considerando variações na temperatura. Os resultados para a temperatura de -20 °C são ilustrados na Figura 65 e os resultados para 40 °C, na Figura 66.

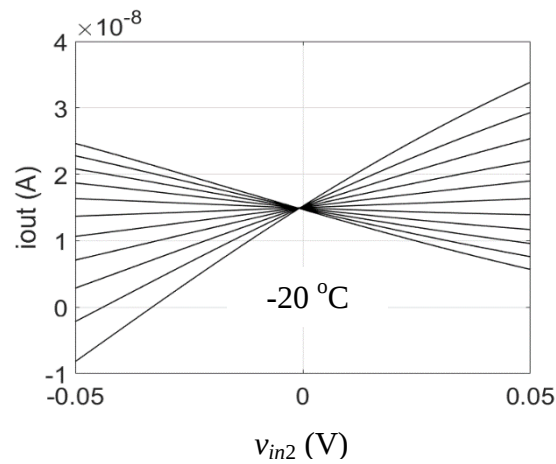


Figura 65 – Características de transferência DC do multiplicador para temperatura de -20°C : i_{out} vs. v_{in2} , com v_{in1} variando de -50 mV a 50 mV com passos de 10 mV .

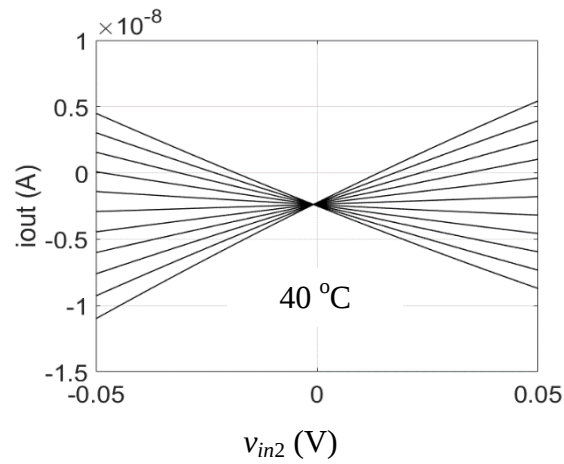


Figura 66 – Características de transferência DC do multiplicador para temperatura de 40°C : i_{out} vs. v_{in2} , com v_{in1} variando de -50 mV a 50 mV com passos de 10 mV .

Pode-se notar que a temperatura de -20°C , bem abaixo da temperatura padrão, produz mais incorreções nas características DC que a temperatura de 40°C , bem acima da temperatura padrão. Nestas, o *offset* de corrente é menor que naquelas e a distorção é pouco perceptível, enquanto que naquelas a distorção aumenta visivelmente, bem como a assimetria entre os quadrantes.

Bloco	Tipo do Transistor	Nome do Transistor	W (μm)	L (μm)	Área Ativa (μm²)	Razão de Aspecto W/L
Núcleo do Multiplicador	N	M1	0,30	5,00	1,50	0,06
	N	M2	0,30	5,00	1,50	0,06
	N	M3	0,20	0,50	0,10	0,40
	N	M4	0,20	0,50	0,10	0,40
	P	M5	1,64	0,50	0,82	3,28
	N	M6	0,30	0,50	0,15	0,60
	P	M7	1,64	0,50	0,82	3,28
	N	M8	0,30	0,50	0,15	0,60
	N	M9	0,20	5,00	1,00	0,04
	N	M10	0,20	0,30	0,06	0,67
	P	M11	0,30	20,00	6,00	0,02
	P	M12	20,00	0,50	10,00	40,00
Subtrator	P	PX1	60,00	0,50	30,00	120,00
	P	PX2	60,00	0,50	30,00	120,00
	P	PX3	60,00	0,50	30,00	120,00
	P	PX4	60,00	0,50	30,00	120,00
	P	PY1	60,00	0,50	30,00	120,00
	P	PY2	60,00	0,50	30,00	120,00
	P	PY3	60,00	0,50	30,00	120,00
	P	PY4	60,00	0,50	30,00	120,00
	N	N1	22,00	0,20	4,40	110,00
	N	N2	22,00	0,20	4,40	110,00
	N	N3	22,00	0,20	4,40	110,00
	N	N4	22,00	0,20	4,40	110,00
1 Núcleo = 22,20 μm²		Subtrator =257,60 μm²	Área dos quatro núcleos multiplicadores = 88,8 μm2			
Área Ativa Total (μm²)						346,40 μm²

4.3. Considerações Finais

Foi proposta uma arquitetura multiplicadora analógica de quatro quadrantes em tecnologia CMOS, baseada em um conhecido princípio de operação (a relação quadrática entre a corrente de dreno e a tensão de entrada em inversão forte), mas compreende um novo método para a aplicação dos sinais de tensão de entrada.

Como pretende-se utilizar o multiplicador descrito aqui como elemento de sinapse em circuitos analógicos de computação de alta densidade, como redes neurais celulares, um esforço considerável foi feito para simplificar os blocos de aplicação de tensões de entrada, evitando assim o uso de amplificadores, inversores e geradores de referência de tensão. Consequentemente, um circuito compacto e de baixa potência foi concebido.

No entanto, um esforço adicional deve ser empregado para melhorar o bloco de subtração utilizado, uma vez que o desempenho geral do circuito é significativamente afetado por sua introdução: a distorção aumenta, como se constatou pela comparação entre os resultados de simulação do circuito completo e com o subtrator ideal nas Seções 4.2.1 a 4.2.3; a área ativa aumenta excessivamente, comparada com a área dos núcleos multiplicadores apenas, como se depreende da Tabela 3. Além disso, a baixa sensibilidade à variação da tensão de alimentação apresentada apenas pelos núcleos multiplicadores degradou-se ligeiramente com a presença do subtrator.

Não obstante, a arquitetura multiplicadora proposta é promissora devido à sua adequação à operação com baixa tensão e baixa potência.

5. VERSÃO MELHORADA DO MULTIPLICADOR ANALÓGICO CMOS DE QUATRO QUADRANTES SEM GERADORES DE TENSÃO DE REFERÊNCIA

Na arquitetura de multiplicador analógico CMOS de quatro quadrantes apresentada no Capítulo 4, observou-se que a interação entre os núcleos e o subtrator de corrente degradam substancialmente a operação global, mesmo nas condições padrão de tensão de alimentação, temperatura e parâmetros tecnológicos. Neste capítulo são introduzidos melhoramentos ao multiplicador do Capítulo 4, sem alterar o princípio de operação e suas características básicas, quais sejam: não utilização de geradores de referência de tensão, saída em modo corrente, duas entradas em modo tensão com excursão de ± 50 mV e viabilidade de integração em uma tecnologia CMOS de 130 nm.

5.1. Arquitetura Melhorada

5.1.1. Subtrator e Fontes de Corrente Auxiliares

Uma grande dificuldade para o dimensionamento do subtrator no circuito do Capítulo 4 deve-se aos elevados valores de corrente na entrada, da ordem de dezenas de microampères. Mesmo adotando-se transistores de razão de aspecto elevada, a queda de tensão requerida à entrada de cada espelho canal P do subtrator é grande, sequestrando parte da tensão necessária ao bom funcionamento dos núcleos multiplicadores.

Para atenuar este problema, duas modificações foram realizadas:

- (i) Foi adotada a arquitetura *wide swing low voltage cascode* (WSLVC) (SACKINGER, 1990) para os espelhos canal P, como ilustrado na Figura 67, que proporciona uma condutância de entrada maior que a arquitetura *cascode* tradicional e uma reduzida queda de tensão na entrada. O espelho canal N do subtrator continua sendo do tipo *cascode* tradicional.

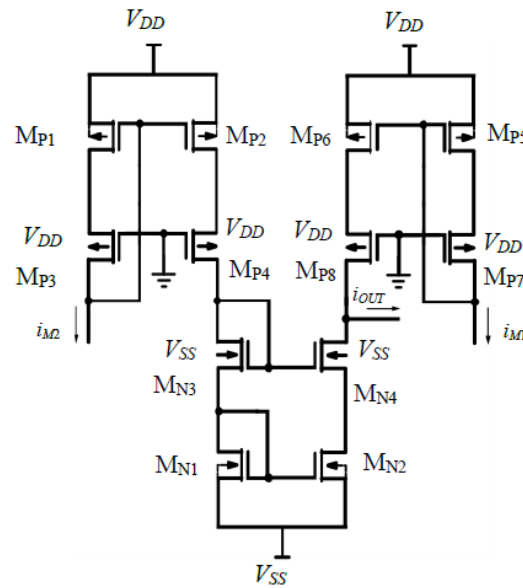


Figura 67 – Arquitetura do Subtrator WSLV *cascode*.

- (ii) Foram acrescentados os transistores M_{DR1} e M_{DR2} indicados na Figura 68, de dimensões iguais, que funcionam como fontes de corrente simples. M_{DR1} e M_{DR2} proveem a maior parte da corrente drenada pelos núcleos multiplicadores, sobrando apenas alguns microampêres para o subtrator. Para dispensar o uso de geradores de referência de tensão os potenciais de porta de M_{DR1} e M_{DR2} são conectados à terra.

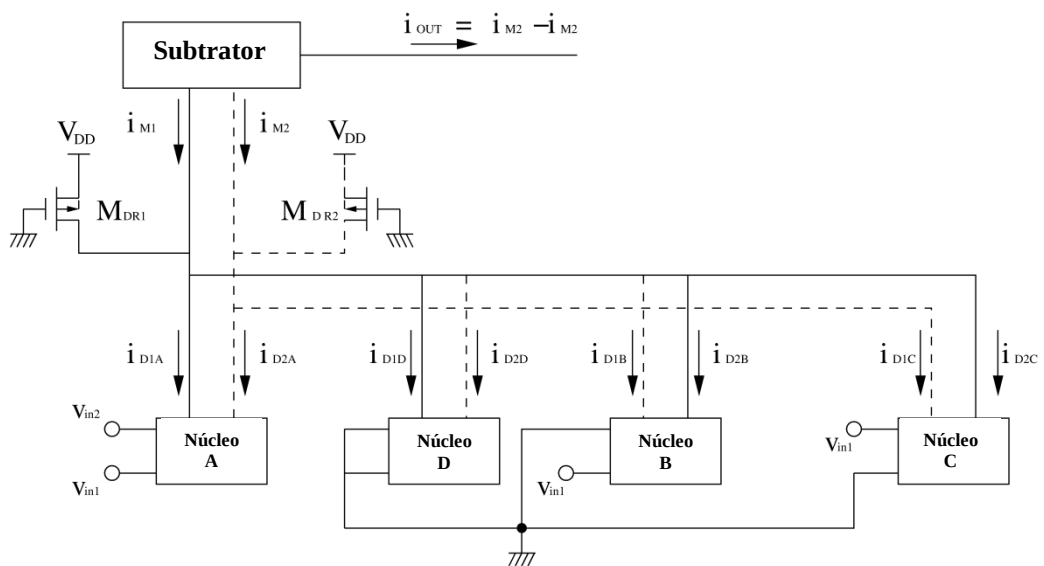


Figura 68 – Arquitetura completa do multiplicador de quatro quadrantes proposto.

5.1.2. Considerações sobre o Dimensionamento

Na maior parte das tecnologias de fabricação o efeito de corpo não é desprezível e a aproximação $n^4 \approx n^3 \approx n$, mencionada na Seção 4.1.3, é dificilmente tolerável.

Na versão da arquitetura de multiplicador aqui apresentada, com o objetivo de mitigar o impacto do efeito de corpo sobre o nível de distorção do multiplicador, uma assimetria é imposta propositadamente entre os transistores M_1 e M_2 de cada núcleo, de forma que suas razões de aspecto não são mais iguais. Portanto, (37.a) é reescrita como:

$$i_{D1} - i_{D2} = K_1 V_{P1}^2 - K_2 V_{P2}^2 = K_1 (V_{P1} - \sigma V_{P2})(V_{P1} + \sigma V_{P2}) \quad (46.a)$$

com

$$\sigma = \sqrt{\frac{K_2}{K_1}} \quad (46.b)$$

Aplicando (36.b) em (46.a), chega-se a:

$$i_{D1} - i_{D2} = \frac{K_1}{n_n^2} [v_{G1} - \sigma v_{G2} - (1 - \sigma)(V_{SS} + V_{T0n})][v_{G1} + \sigma v_{G2} - (1 + \sigma)(V_{SS} + V_{T0n})] \quad (47.a)$$

substituindo $v_{G1} = \alpha_1 \cdot (v_{in1} + v_{in2}) + V_{C1}$ e $v_{G2} = \alpha_2 \cdot (v_{in2} - v_{in1}) + V_{C2}$ em (46.a), obtém-se:

$$i_{D1} - i_{D2} = \frac{K_1}{n_n^2} [(\alpha_1 + \sigma \alpha_2) v_{in1} + (\alpha_1 - \sigma \alpha_2) v_{in2} - (1 - \sigma)(V_{SS} + V_{T0n}) + V_{C1} - \sigma V_{C2}] \times \\ \times [(\alpha_1 - \sigma \alpha_2) v_{in1} + (\alpha_1 + \sigma \alpha_2) v_{in2} - (1 + \sigma)(V_{SS} + V_{T0n}) + V_{C1} + \sigma V_{C2}] \quad (47.b)$$

em que, $\alpha_1 - \sigma \alpha_2$ deve ser zero para realizar a multiplicação em quadrante único.

De (39.b) e (44.a), podemos observar que de fato $\alpha_1 = n^{-1} \neq \alpha_2 \cong n^{-3}$. Portanto, o efeito de corpo resulta menos danoso à operação multiplicadora, definindo:

$$\sigma = \sqrt{\frac{K_2}{K_1}} \cong \frac{1}{n^2} \quad (48)$$

5.2. Resultados de Simulação e Análise de Desempenho

Nesta seção são apresentados e discutidos os resultados de simulação do desempenho da arquitetura de multiplicador proposta, a fim de identificar os seus limites de operação, vantagens e impropriedades. O circuito foi projetado para uma tecnologia CMOS de comprimento mínimo igual a 130 nm e para tensões de alimentação simétricas de 0,6 e -0,6 volts. As simulações foram realizadas por meio do *software* ELDO da plataforma Mentor Graphics®, usando o modelo BSIM® 4v4.

As dimensões do multiplicador e do subtrator estão relacionadas na Tabela 4.

5.2.1. Características de Transferência DC

Foram realizadas simulações do multiplicador proposto para levantar características DC, com a corrente de saída i_{OUT} variando contra cada uma das tensões de entrada v_{in1} e v_{in2} excursionando na faixa entre -50 mV e 50 mV, parametrizada pela tensão de entrada v_{in2} e v_{in1} , respectivamente, também variando de -50 mV a 50 mV, com passos de 10 mV.

A Figura 69, $i_{OUT} \times v_{in1}$, e a Figura 70, $i_{OUT} \times v_{in2}$, ilustram as características de transferência DC do multiplicador, para o circuito completo, incluindo o subtrator modificado e as fontes de corrente auxiliares. Pode-se perceber que o *offset* de corrente é praticamente imperceptível, as curvas são aproximadamente retilíneas e a assimetria entre os quadrantes só é significativa para os valores extremos das tensões de entrada, condição em que a linearidade começa a degradar.

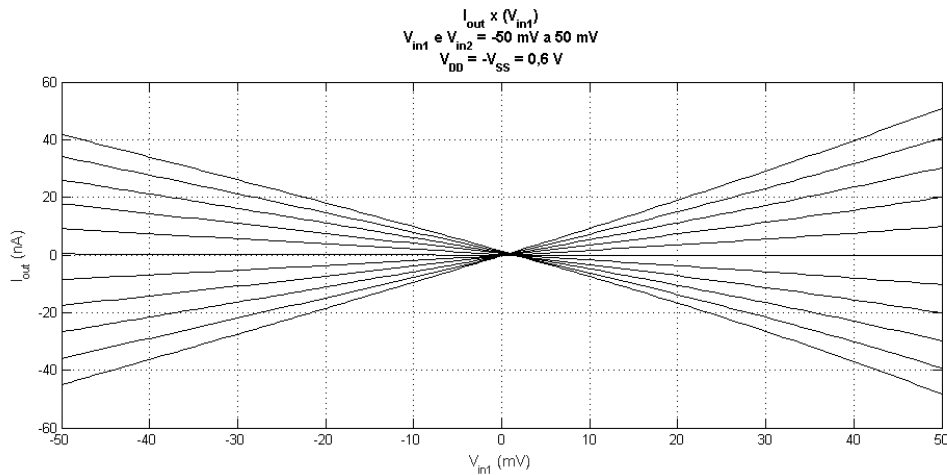


Figura 69 – Características de transferência DC do multiplicador melhorado: i_{out} vs. v_{in1} , com v_{in2} variando de -50 mV a 50 mV com passos de 10 mV; circuito completo, incluindo o subtrator.

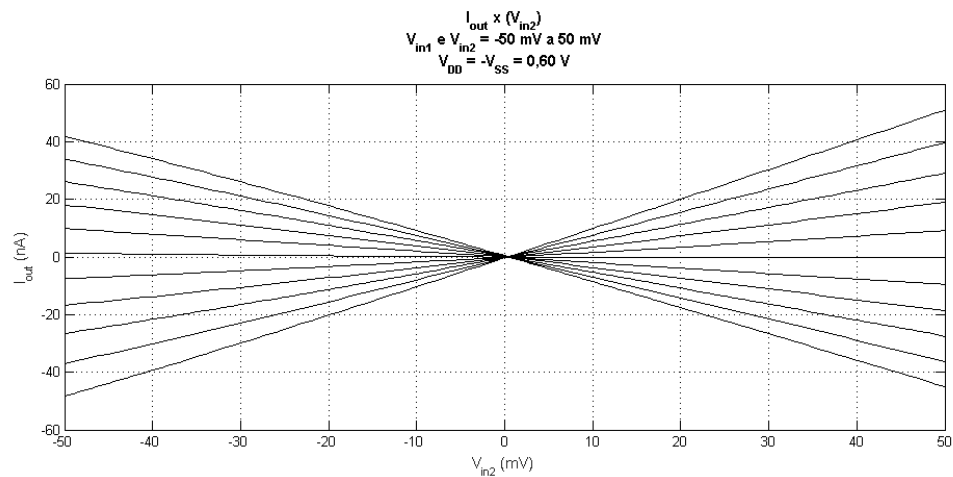


Figura 70 – Características de transferência DC do multiplicador melhorado: i_{out} vs. v_{in2} , com v_{in1} variando de -50 mV a 50 mV com passos de 10 mV.

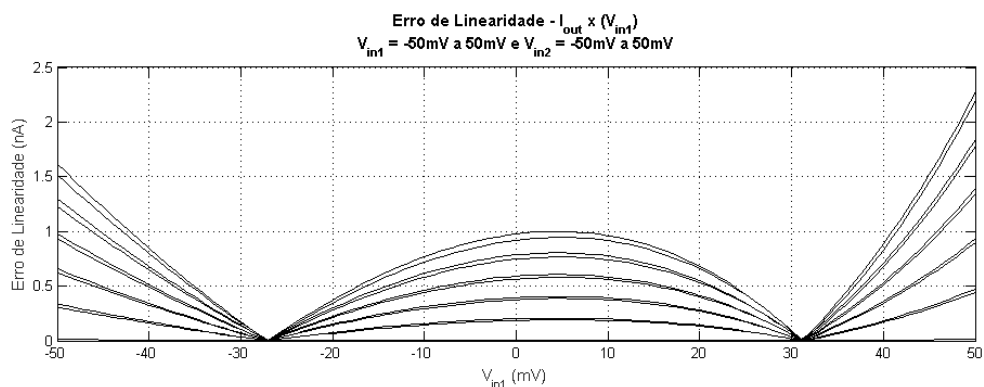


Figura 71 – Erro de Linearidade Relativo às Características DC da Figura 33.

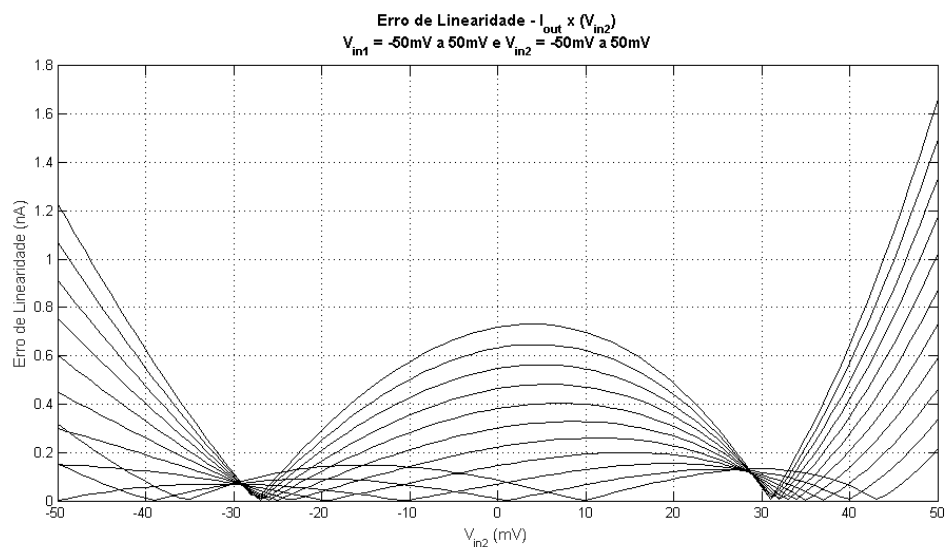


Figura 72 – Erro de Linearidade Relativo às Características DC da Figura 33.

A Figura 73 apresenta a variação da distorção harmônica total simulada (THD) do circuito completo com diferentes amplitudes de um sinal senoidal de 100 Hz aplicado a uma das entradas (v_{in2}), enquanto um valor constante é aplicado à outra entrada (v_{in1}).

Os resultados de simulação são apresentados na Figura 73, e foram obtidos para as condições padrão: $V_{DD} = -V_{SS} = 0,6$ V, temperatura de 27 °C e parâmetros típicos da tecnologia. Outras características de desempenho estão resumidas na Tabela 5.

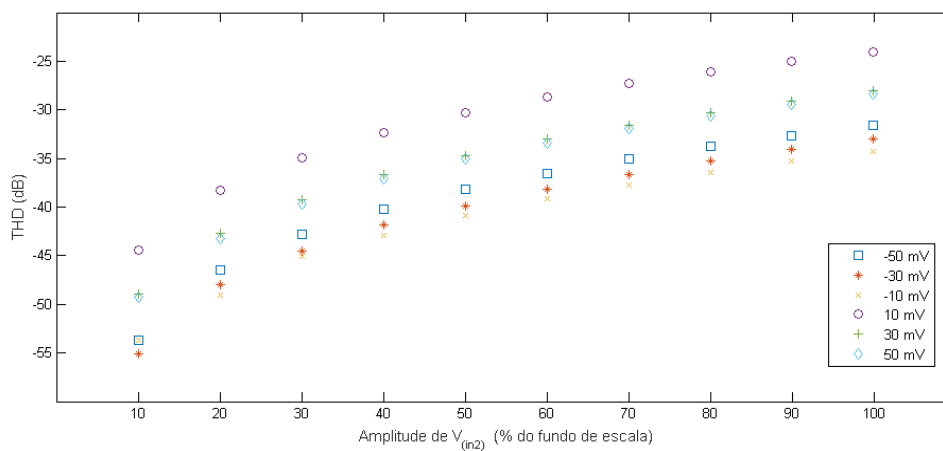


Figura 73 – Distorção Harmônica Total do multiplicador: v_{in2} senoidal (100 Hz) e v_{in1} constante nos valores de -50 mV a 50 mV com passos de 20 mV. Fundo de escala de v_{in2} : 50 mV.

5.2.2. Banda de Passagem

Foram realizadas duas simulações AC sobre o Multiplicador Proposto, com o objetivo de determinar sua banda de passagem:

- (i) Simulação com a tensão de entrada v_{in1} estabelecida como variável AC e a tensão v_{in2} fixada no valor constante de -50 mV, 0 V e 50 mV. O diagrama de Bode de magnitude do ganho i_{OUT}/v_{in1} é apresentado na Figura 74, em que é possível determinar as bandas de 3,6 kHz, 39,4 kHz e 1,5 kHz, para v_{in2} igual a -50 mV, 0 V e 50 mV, respectivamente. Tais bandas correspondem às faixas de frequências dentro das quais a variação da magnitude dos ganhos é igual ou inferior a 3 dB.
- (ii) Simulação com a tensão de entrada v_{in2} estabelecida como variável AC e a tensão v_{in1} fixada no valor constante de -50 mV, 0 V e 50 mV. O diagrama de Bode de magnitude do ganho i_{OUT}/v_{in2} é apresentado na Figura 75, em que é possível determinar as bandas de 759,0 Hz, 309,0 kHz e 1,5 kHz, para v_{in1} igual a -50 mV, 0 V e 50 mV, respectivamente. Tais bandas correspondem às faixas de frequências dentro das quais a variação da magnitude dos ganhos é igual ou inferior a 3 dB.

Observa-se em cada um destes diagramas de Bode a ocorrência de um zero em frequência muito próxima ou até inferior ao do pólo de mais baixa frequência.

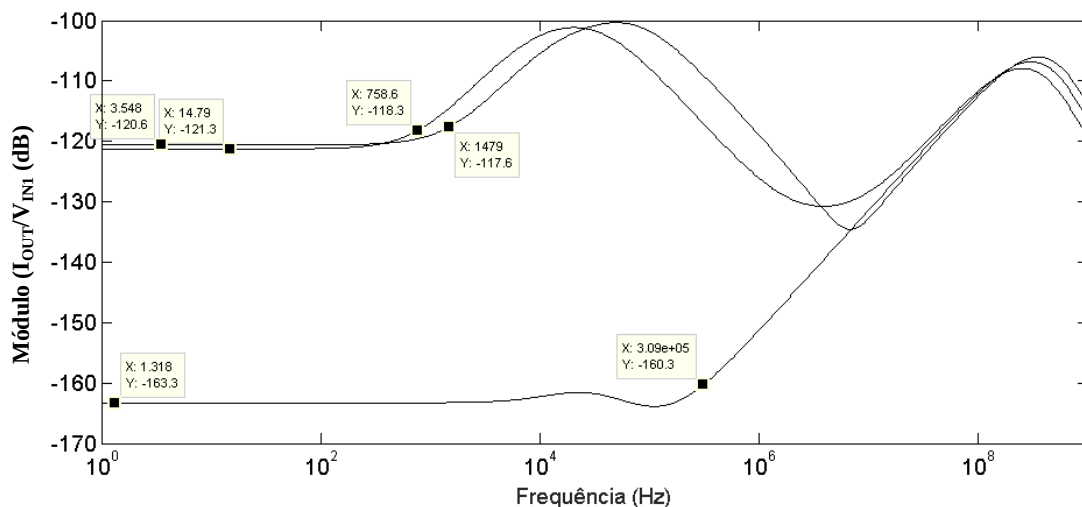


Figura 74 – Diagrama de Bode de Magnitude do Ganho i_{OUT}/v_{IN1} com v_{IN2} constante.

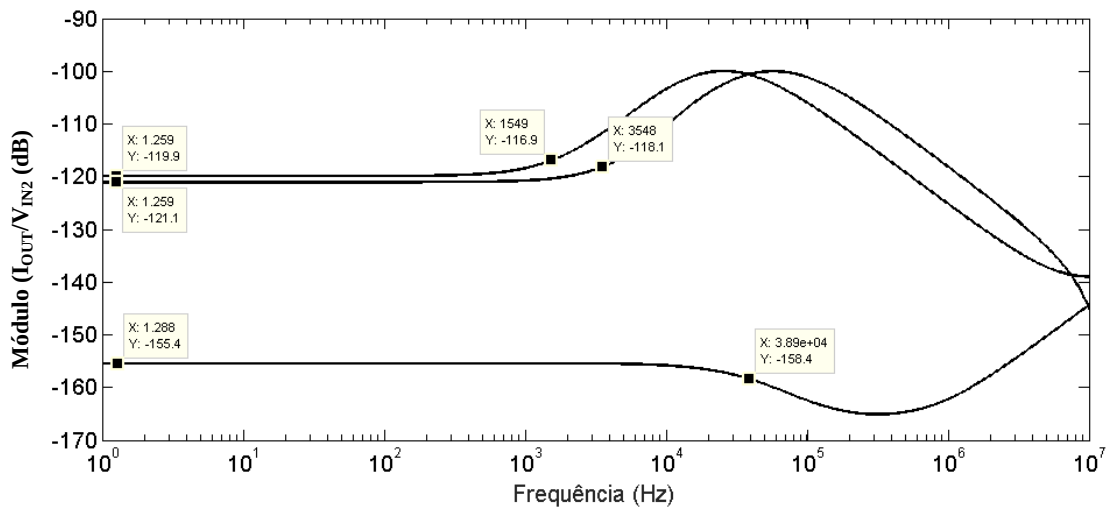


Figura 75 – Diagrama de Bode de Magnitude do Ganho i_{OUT}/v_{IN2} com v_{IN1} constante.

5.2.3. Simulação no Domínio do Tempo

Foi realizada uma simulação no domínio do tempo da corrente de saída i_{OUT} , aplicando-se às duas entradas sinais senoidais de tensão com amplitudes iguais a 20 mV e com frequências de 100 Hz (entrada v_{in1}) e 1,0 kHz (entrada v_{in2}). O resultado é ilustrado na Figura 76.

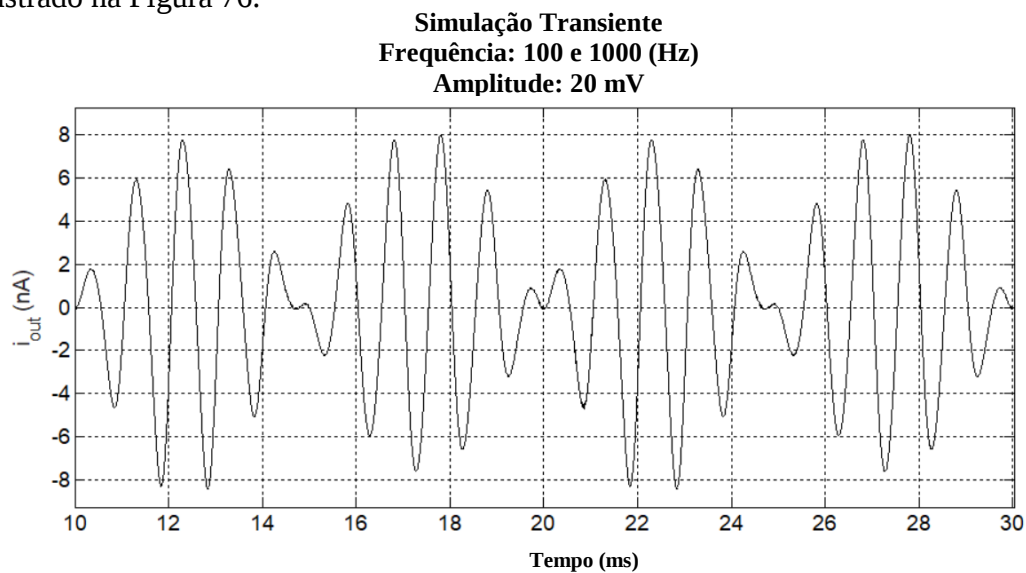


Figura 76 – Forma de onda da corrente de saída com entradas senoidais de 100 Hz e 1,0 kHz e amplitude de 20 mV.

5.2.4. Características de Transferência DC com Variação de Tensão de Alimentação

As características de transferência DC do multiplicador também foram simuladas considerando variações nas tensões de alimentação.

Da Figura 77 à Figura 80 são ilustrados os resultados de simulação obtidos para tensões de alimentação simétricas ($V_{DD} = -V_{SS}$) de $\pm 0,4$ V, $\pm 0,45$ V, $\pm 0,5$ V e $\pm 0,55$ V. Como realizado no caso das tensões de alimentação padrão, para cada caso foi simulada a resposta do circuito completo, incluindo o subtrator modificado e as fontes de corrente auxiliares.

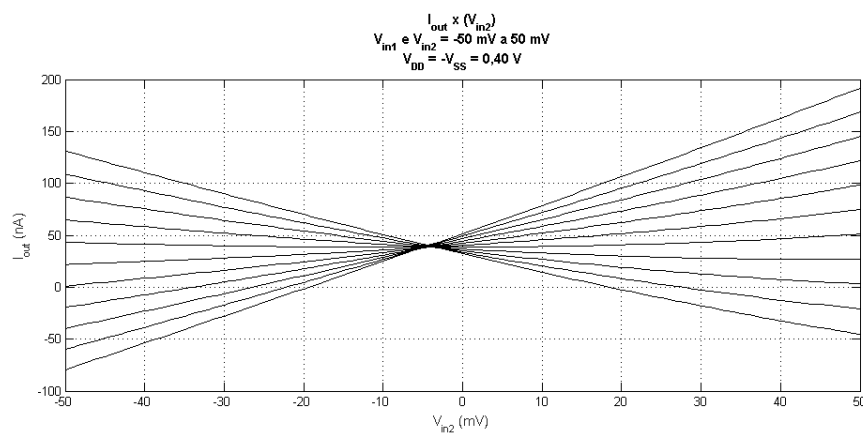


Figura 77 – Características de transferência DC do multiplicador para tensões de alimentação de $\pm 0,4$ V:

i_{out} vs. v_{in2} , com v_{in1} variando de -50 mV a 50 mV com passos de 10 mV.

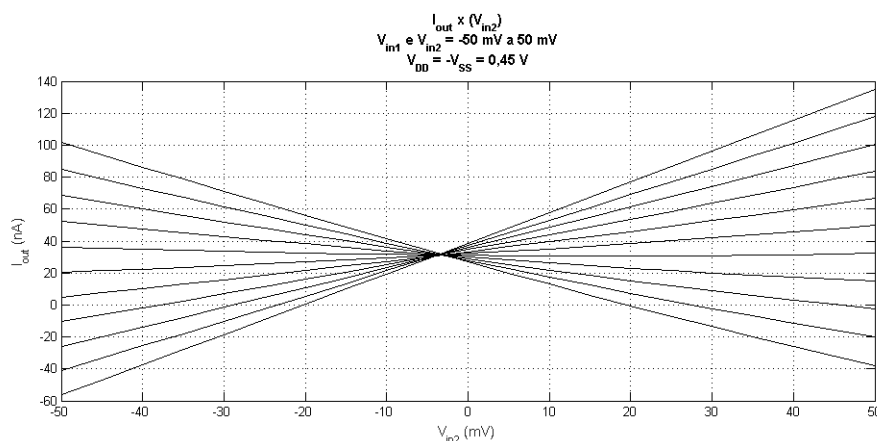


Figura 78 – Características de transferência DC do multiplicador para tensões de alimentação de $\pm 0,45$ V:

i_{out} vs. v_{in2} , com v_{in1} variando de -50 mV a 50 mV com passos de 10 mV.

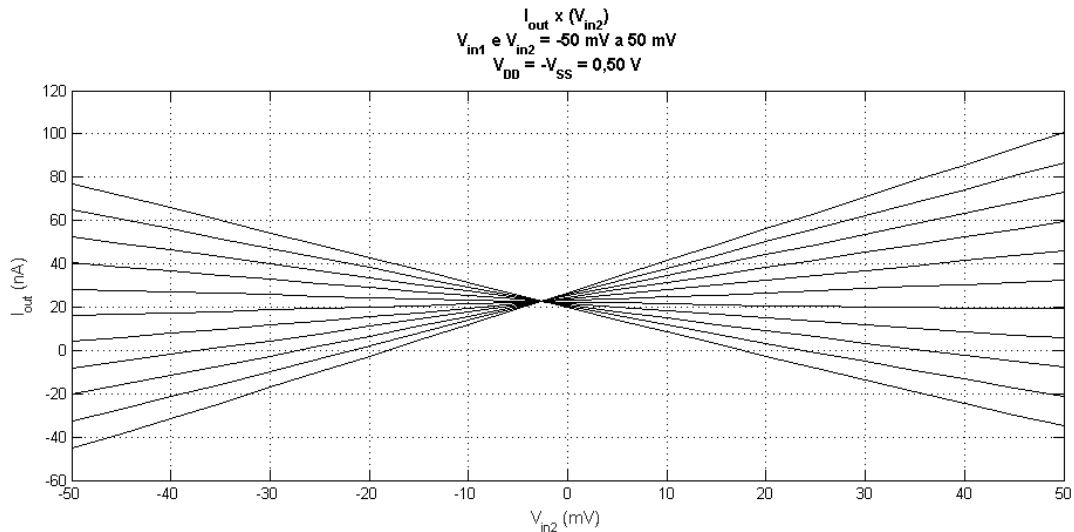


Figura 79 – Características de transferência DC do multiplicador para tensões de alimentação de $\pm 0,5 \text{ V}$:

i_{out} vs. v_{in2} , com v_{in1} variando de -50 mV a 50 mV com passos de 10 mV .

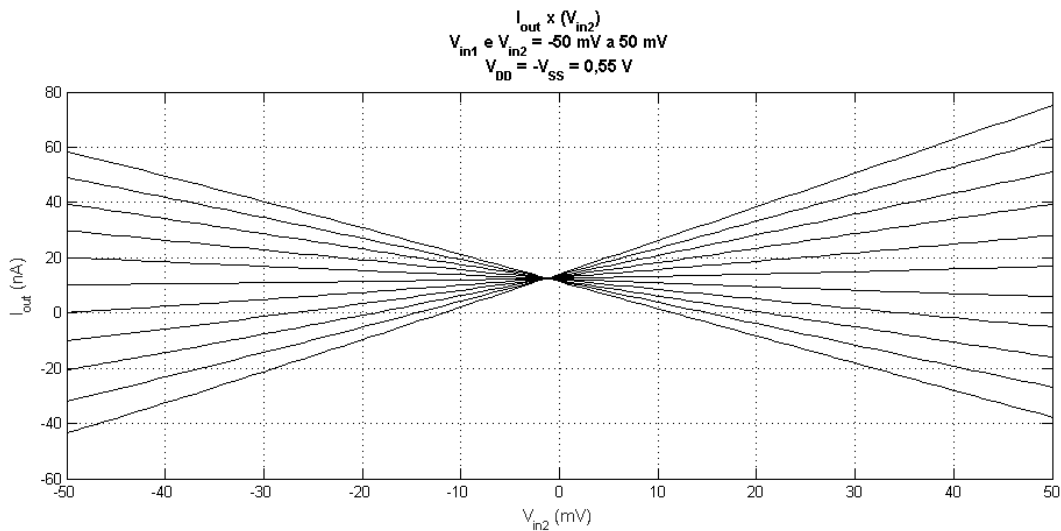


Figura 80 – Características de transferência DC do multiplicador para tensões de alimentação de $\pm 0,55 \text{ V}$:

i_{out} vs. v_{in2} , com v_{in1} variando de -50 mV a 50 mV com passos de 10 mV .

Da Figura 77 à Figura 80 depreende-se que, com os melhoramentos introduzidos na arquitetura (espelhos WSLV *cascode* na entrada do subtrator e fontes de corrente auxiliares) o multiplicador de quatro quadrantes apresentou menor sensibilidade à variação das tensões de alimentação simétricas, mesmo com uma redução de 33,3% em relação aos seus valores padrão. Percebe-se que a linearidade das características DC é preservada, a variação das tensões de alimentação afetando principalmente o *offset* de corrente de saída.

5.2.5. Características de Transferência DC com Variação de Temperatura

As características de transferência DC do multiplicador foram simuladas considerando variações na temperatura. Os resultados para a temperatura de -5°C são apresentados na Figura 81, para 0°C , na Figura 82 e para 40°C , na Figura 83. Pode-se notar que a temperatura acima do valor padrão de 27°C afeta pouco o nível de distorção das características, acentuando, contudo, o *offset* de corrente. As temperaturas abaixo do valor padrão, contudo, degradam sensivelmente as características no que concerne à linearidade, assimetria e deslocamento de corrente.

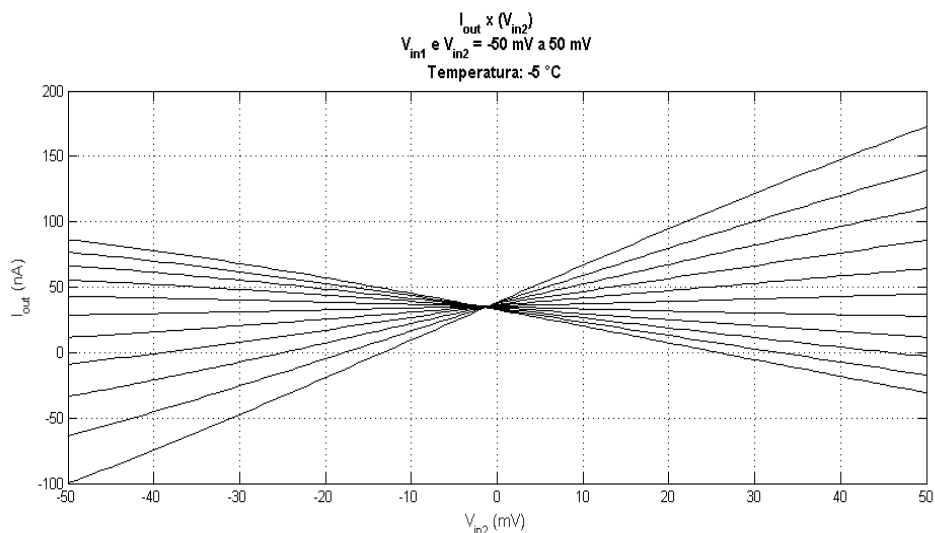


Figura 81 – Características de transferência DC do multiplicador para temperatura de -5°C : i_{out} vs. V_{in2} , com V_{in1} variando de -50 mV a 50 mV com passos de 10 mV.

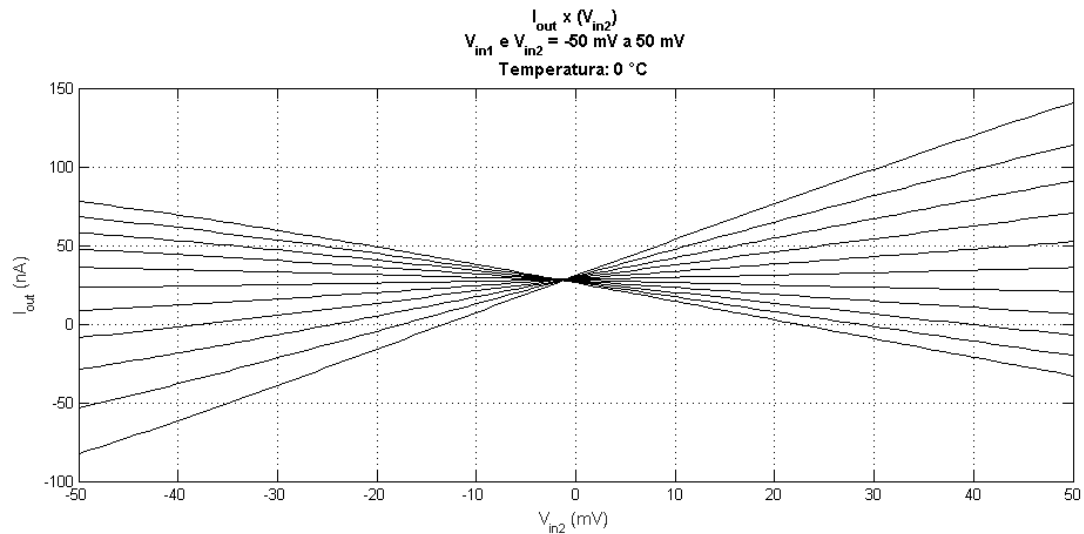


Figura 82 – Características de transferência DC do multiplicador para temperatura de 0 °C: i_{out} vs. v_{in2} , com v_{in1} variando de -50 mV a 50 mV com passos de 10 mV.

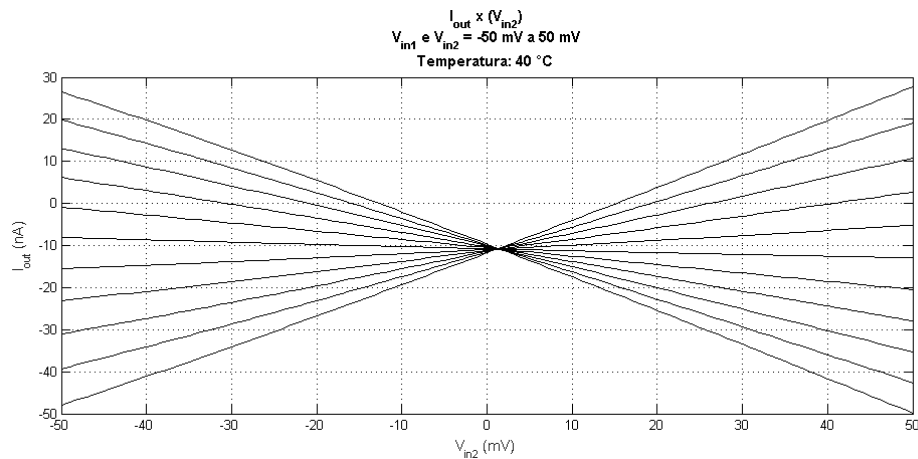


Figura 83 – Características de transferência DC do multiplicador para temperatura de 40 °C: i_{out} vs. v_{in2} , com v_{in1} variando de -50 mV a 50 mV com passos de 10 mV.

5.2.6. Características de Transferência DC com Variações de Processo

Simulações DC da característica de transferência foram realizadas utilizando o Método de Monte Carlo para considerar variações de processo, com 20 variações que geraram 44 curvas, e de acordo com padrão do *design kit* da tecnologia utilizada. Foram levantadas características DC da corrente de saída i_{OUT} contra a tensão de entrada v_{in1} para os dois valores extremos da faixa de v_{in2} , e i_{OUT} contra a tensão de entrada v_{in2} para

os dois valores extremos da faixa de v_{in1} . Os resultados são apresentados na Figura 84 e Figura 85, considerando 44 amostras.

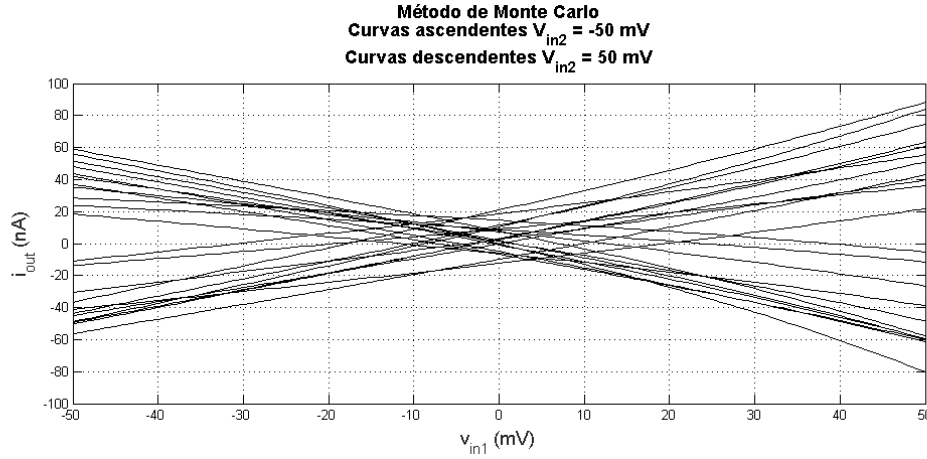


Figura 84 – Características de transferência DC com variações de processo utilizando o Método de Monte Carlo, i_{OUT} x v_{in1} com variações de v_{in2} nos extremos: -50 mV e 50 mV.

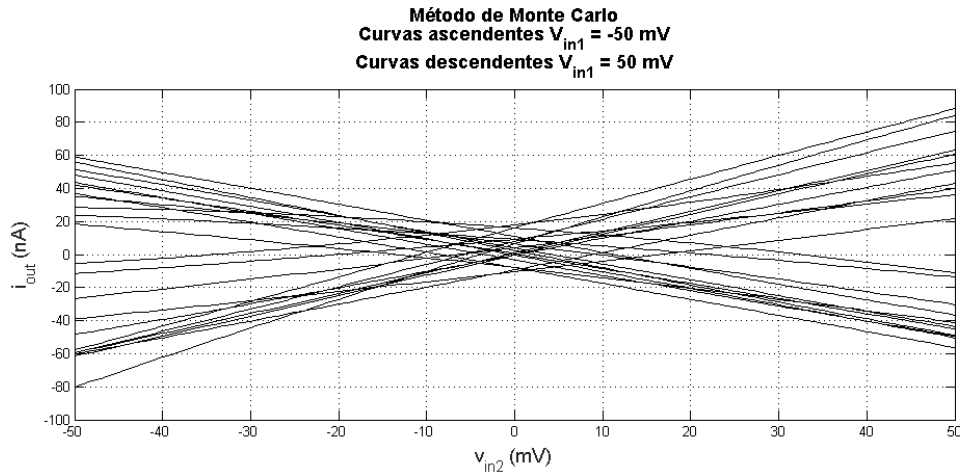


Figura 85 – Características de transferência DC com variações de processo utilizando o Método de Monte Carlo, i_{OUT} x v_{in2} com variações de v_{in1} nos extremos: -50 mV e 50 mV.

5.2.7. Potência DC

A partir da simulação do ponto de operação do circuito, com $v_{in1} = v_{in2} = 0$, foram determinadas as correntes fornecidas pelas duas fontes de polarização: $I_{(VDD)} = 143,60 \mu A$ e $I_{(VSS)} = 143,59 \mu A$. Com estes valores foi possível estimar a Potência DC do circuito: $P_{DC} = V_{DD} \cdot I_{(VDD)} + V_{SS} \cdot I_{(VSS)} = 172,32 \mu W$.

5.2.8. Considerações sobre Área

Na Tabela 4 são apresentadas as dimensões (*largura W e comprimento L do canal*), as razões de aspecto (*W/L*) e as áreas ativas (*W.L*) de todos os transistores utilizados no circuito do multiplicador analógico proposto, discriminados nas Figuras 49, 50, e 60. A área ativa total resultou $162,69 \mu\text{m}^2$.

Tabela 4 – Dimensões dos Transistores e Área Ativa.

Bloco	Tipo do Transistor	Nome do Transistor	W (µm)	L (µm)	Área Ativa (µm²)	Razão de Aspecto W/L
Núcleo do Multiplicador	N	M1	0,40	0,55	0,22	0,73
	N	M2	0,60	2,20	1,32	0,27
	N	M3	0,20	0,50	0,10	0,40
	N	M4	0,20	0,50	0,10	0,40
	P	M5	1,64	0,50	0,82	3,28
	N	M6	0,30	0,50	0,15	0,60
	P	M7	1,64	0,50	0,82	3,28
	N	M8	0,30	0,50	0,15	0,60
	N	M9	0,20	5,00	1,00	0,04
	N	M10	0,20	0,30	0,06	0,67
	P	M11	0,30	5,00	1,50	0,06
	P	M12	5,00	0,50	2,50	10,00
Subtrator	P	MP1	15,20	0,34	5,17	44,71
	P	MP2	15,20	0,34	5,17	44,71
	P	MP3	15,20	0,34	5,17	44,71
	P	MP4	15,20	0,34	5,17	44,71
	P	MP5	15,20	0,32	4,86	47,50
	P	MP6	15,20	0,32	4,86	47,50
	P	MP7	15,20	0,32	4,86	47,50
	P	MP7	15,20	0,32	4,86	47,50
	N	MN1	13,00	0,38	2,86	59,09
	N	MN2	13,00	0,38	2,86	59,09
	N	MN3	13,00	0,22	4,94	34,21
	N	MN4	13,00	0,22	4,94	34,21
Fontes de Corrente	P	MDR1	18,00	2,00	36,00	9,00
	P	MDR2	18,00	2,00	36,00	9,00
1 Núcleo = 8,74 µm²		Fontes de Corrente = 72 µm²		Subtrator = 55,73 µm²		
Área dos quatro núcleos multiplicadores = 34,96 µm²						
Área Ativa Total (µm²)						162,69 µm²

5.2.9. Leiaute do Circuito

Na Figura 77 apresenta-se o leiaute do circuito proposto, concebido através do *software Pyxis Layout*[®] da plataforma Mentor Graphics[®]. A área total foi calculada a partir das informações dos comprimentos horizontal 67,10 μm e vertical 22,09 μm , perfazendo 0.00148 mm^2 .

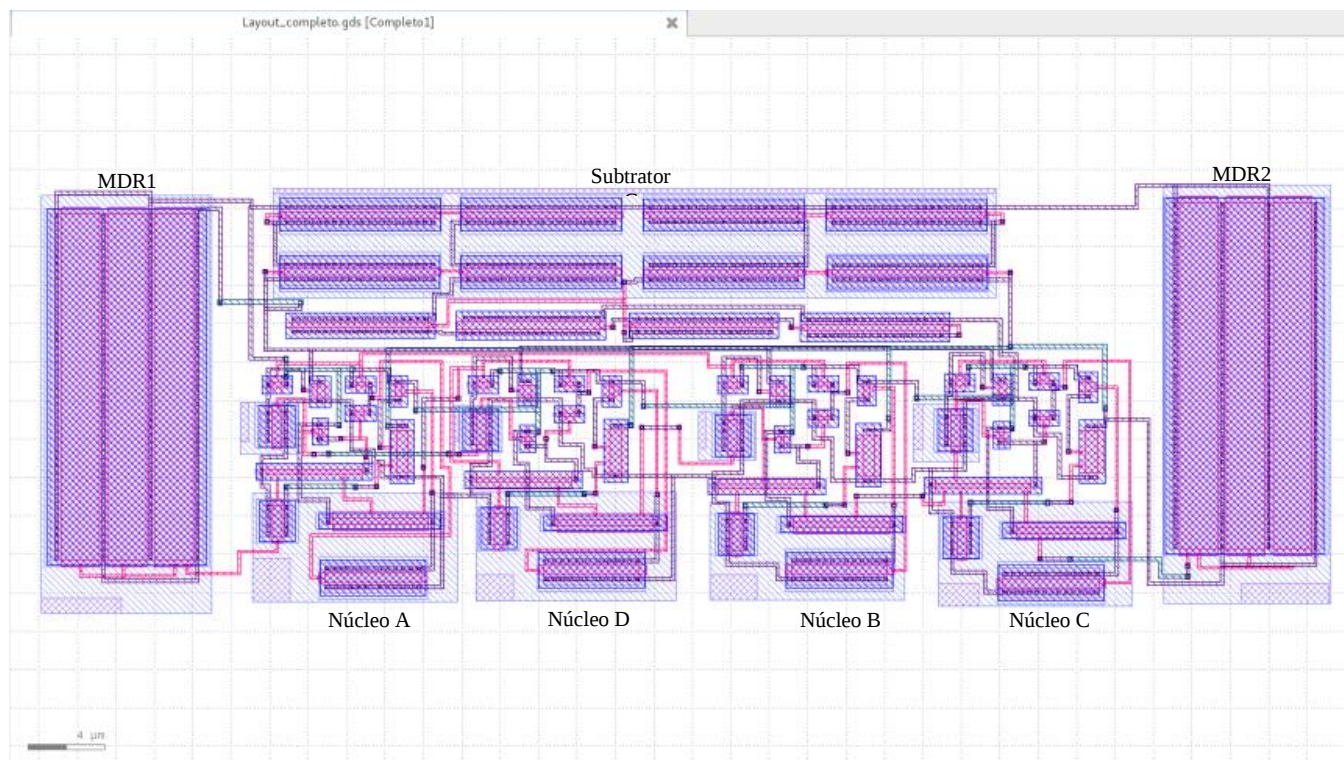


Figura 86 – Leiaute do multiplicador analógico completo.

5.3. Considerações Finais

Neste capítulo a arquitetura multiplicadora analógica CMOS de quatro quadrantes, desprovida de geradores de referências tensão, descrita no Capítulo 4, foi aprimorada, mantendo suas propriedades gerais.

A área do circuito foi significativamente reduzida e a operação em condições padrão apresentou desempenho satisfatório graças ao emprego de um subtrator com espelhos de elevada condutância de entrada e reduzida queda de tensão na entrada. A adição de fontes de corrente também permitiu dimensionar o circuito subtrator com maior facilidade. A excursão da corrente de saída foi ampliada para aproximadamente ± 60 nA e a sensibilidade em relação à variação da tensão de alimentação foi também melhorada.

Vale mencionar que as fontes de corrente simples introduzidas nas duas entradas do subtrator devem gerar correntes perfeitamente iguais para que o resultado da subtração corresponda de fato à diferença entre as correntes dos núcleos multiplicadores, dois a dois. Entretanto, sua baixa regulação pode ser responsável por significativos *offsets* de corrente na saída do subtrator, especialmente se as condições de operação se desviam do padrão. O desafio é conseguir aplicar fontes de elevada regulação que prescindam de blocos geradores de tensão de referência.

6. ANÁLISE COMPARATIVA ENTRE OS MULTIPLICADORES ANALÓGICOS CMOS

Para fins de comparação, a Tabela 5 sintetiza algumas características de desempenho das arquiteturas de multiplicadores propostas neste trabalho e de duas outras arquiteturas de multiplicadores analógicos CMOS, também concebidas por pesquisadores do Laboratório de Concepção de Circuitos Integrados (LCCI) na Universidade Federal da Bahia (UFBA). Os cinco circuitos foram projetados e simulados em tecnologia de fabricação semelhantes (CMOS 130 nm), com tensões de alimentação iguais e com o mesmo objetivo: atuar como sinapses em CNN, dedicadas a funções de processamento de imagens.

Tabela 5 – Síntese das Características de Desempenho dos Multiplicadores.

Fonte: (SANTANA, 2013), (CARDOSO; SCHNEIDER; SANTANA, 2018), (SOUSA, 2019a,b)

PARÂMETROS DE DESEMPENHO		PROPOSTO Capítulo 5	PROPOSTO Capítulo 4 (SOUSA, 2019b)	PROPOSTO Capítulo 3 (SOUSA, 2019a)	CARDOSO, et al., 2018	SANTANA, 2013
Faixa de Variação na Entrada	v_{IN} (mV)	-50 a 50	-50 a 50	-100 a 100 -500 a -300	-20 a 20	-15 a 15
	i_{IN} (nA)	—	—	—	-200 a 200	-160 a 160
Faixa de Variação na Saída	i_{OUT} (nA)	-60 a 60	-8.0 a 8.0	-100 a 100	-100 a 100	-200 a 200
Área Ativa† (μm^2)		162,69	346,40	40,25	703,00	764,00
Potência DC (μW)		172	60	23	15	20
Largura de Banda		1,55 kHz ^b 1,48 kHz ^a	1.6 kHz ^b	13,2 kHz ^a 9,1 kHz ^b	4,0 MHz	1,4 MHz
THD (dB) ^c		< -24.0	< -25.4	< - 32	< - 32	< - 34
^a em relação à entrada v_{in1} com v_{in2} no fundo de escala ^b em relação à entrada v_{in2} com v_{in1} no fundo de escala ^c considerando senoidal o sinal que representa os pixels, com o outro no fundo de escala				† somatório de todos os produtos $W \cdot L$ Para todos os circuitos: $V_{DD} = -V_{SS} = 0,60 \text{ V}$		

Convém ressaltar que os trabalhos de Santana (2013) e Cardoso (2018), precursores e motivadores do presente trabalho, descrevem circuitos multiplicadores

com características de desempenho muito boas para a aplicação a que se propõem. Contudo, ambos operam com uma entrada em corrente (para representação do peso sináptico) e outra em tensão (para representação do pixel), o que demanda a utilização de conversores tensão-corrente para reduzir a complexidade na programação dos coeficientes. Esta particularidade se apresentou como um desafio em nosso trabalho, no sentido de alterar a estratégia de concepção do multiplicador de forma a incluir duas entradas em tensão e, assim, facilitar a programação dos coeficientes por meio de potenciais. Uma outra motivação para o trabalho aqui apresentado foi a necessidade de estender a faixa de variação dos sinais de entrada que representam os pixels, que em Santana (2013) é de ± 15 mV e em Cardoso (2018), de ± 20 mV. No multiplicador descrito no Capítulo 3, esta faixa foi estendida para ± 100 mV e nos multiplicadores descritos nos Capítulos 4 e 5, para ± 50 mV. A extensão da faixa permite melhor discriminar os sinais de ruído.

Em cada uma das propostas de multiplicador analógico apresentadas neste trabalho, houve um grande empenho em reduzir a área ativa do circuito. No multiplicador do Capítulo 3, foi alcançada a menor área ativa: $40,25 \mu\text{m}^2$, que representa uma redução de 94,3% em relação à área ativa do multiplicador de Cardoso (2018). Os multiplicadores dos Capítulos 4 e 5, por sua vez, lograram redução de 50,7% e de 76,9% na área ativa em relação ao trabalho de Cardoso (2018).

Em contrapartida, outras características de desempenho foram prejudicadas, como é o caso da largura de banda, que foi sensivelmente reduzida em todas as topologias propostas em relação aos trabalhos de Santana (2013) e Cardoso (2018), especialmente no multiplicador do Capítulo 5. Embora seja possível melhorar a característica dos multiplicadores em frequência utilizando a técnica de compensação Miller, as larguras de banda exibidas na Tabela 5 são suficientes para a aplicação a que se destinam tais arquiteturas. Por outro lado, a introdução de capacitores de compensação poderia aumentar excessivamente a área do circuito.

Observou-se também um aumento da potência estática nas duas últimas arquiteturas propostas (Capítulos 4 e 5), o que se explica pela abordagem escolhida, que requer transistores operando em inversão forte, enquanto em Santana (2013) e Cardoso (2018) há dispositivos operando em inversão moderada, com níveis de correntes mais baixos.

7. CONCLUSÃO

No Capítulo 3 desta tese foi descrita uma proposta de arquitetura de circuito multiplicador analógico, com saída em corrente e as duas entradas em tensão, que se destaca por ser extremamente compacta e por consumir pouca energia. O erro de linearidade e a distorção harmônica foram considerados satisfatórios para condições normais de utilização, ou seja, tensões de alimentação $V_{DD} = -V_{SS} = 0,6$ V, temperatura de 27 °C e parâmetros típicos da tecnologia. A faixa de variação útil dos sinais de tensão de entrada é de pelo menos 200 mV pico-a-pico, compatível com os níveis gerados pelos circuitos de sensoramento. A banda de frequências não é muito extensa, porém é suficiente para a aplicação a que a arquitetura se propõe. Cumpre notar que a entrada v_{IN1} , que apresentou um desempenho melhor no que concerne à distorção, foi escolhida para os sinais representativos dos pixels e a entrada v_{IN2} , para os sinais representativos dos pesos sinápticos. No caso destes últimos, os requisitos de distorção são menos rigorosos, uma vez que, para a realização de uma determinada função de processamento de imagens por uma CNN, os valores dos coeficientes podem ser estabelecidos dentro de uma faixa. Os níveis de distorção harmônica mantiveram-se abaixo de -20 dB para redução da tensão de alimentação até 0,45 volts para toda a faixa de variação da entrada v_{IN1} e até 0,55 volts para toda a faixa de variação da entrada v_{IN2} ; também ficaram abaixo de -20 dB para variações de temperatura entre -40 °C a 100 °C para toda a faixa de variação da entrada v_{IN1} e entre 0 °C e 100 °C volts para toda a faixa de variação da entrada v_{IN2} . O desempenho também mostrou-se satisfatório face variações no processo. A grande economia em área de silício é a maior vantagem desta arquitetura, levando em consideração a aplicação em uma rede de alta densidade, como uma CNN. Entretanto, para que os transistores operem nas regiões adequadas, é requerido um nível DC para a entrada v_{IN2} , representativa dos pesos sinápticos, o que, além de possivelmente dificultar sua programação, pode acentuar a sensibilidade do circuito em relação à variação das tensões de alimentação.

Por esta razão, a arquitetura proposta no Capítulo 4 e aprimorada no Capítulo 5 consiste de um multiplicador analógico de quatro quadrantes com saída em corrente e com ambos sinais de tensão de entrada variando em torno de zero em uma faixa de 100 mV pico-a-pico. A arquitetura se destaca por ser totalmente desprovida de redes geradoras de tensões de referência, graças aos métodos adotados para a aplicação das

tensões de entrada. Não tendo havido alteração na topologia do subtrator de corrente utilizado no esquema de cancelamento, em relação ao multiplicador do Capítulo 3, o multiplicador do Capítulo 4 apresentou grandes dificuldades no seu dimensionamento. Além disto, embora a operação dos núcleos multiplicadores tivesse se mostrado bastante satisfatória quando combinada com um subtrator ideal, mesmo considerando redução da tensão de alimentação e variação da temperatura, a interação com o subtrator cascode degradou visivelmente a linearidade das características DC. Além disto, o circuito demandou um importante aumento da área ativa se comparado com o do Capítulo 3 (cerca de 8,6 vezes).

Assim, no Capítulo 5 foram envidados esforços no melhoramento da arquitetura do Capítulo 4, mantendo a característica de não empregar geradores de referência de tensão e preservando a excursão de 100 mV pico-a-pico dos sinais de entrada. Além de se introduzir uma assimetria para compensar o efeito de corpo nos transistores principais dos núcleos multiplicadores, foi adotada uma arquitetura de subtrator que requer menor queda de tensão na entrada, deixando uma maior folga de tensão para a operação dos núcleos. Além disto, a inserção de fontes de corrente simples nos nós de entrada do subtrator permitiu utilizar transistores com menores razões de aspecto neste último, facilitando os ajustes no seu dimensionamento. A arquitetura melhorada apresentou uma redução de área ativa por mais da metade em relação à do Capítulo 4, mantendo-se cerca de quatro vezes maior que a área ativa do multiplicador do Capítulo 3, e apresentou menor sensibilidade em relação às variações de tensão de alimentação, exceto pelo *offset* da corrente de saída. Presume-se que, na aplicação como sinapses de CNN, seja possível compensar este *offset*, até certos limites, por meio da entrada correspondente ao limiar. Entretanto, são desejáveis esforços no sentido de sanar este problema no próprio circuito multiplicador. Outras desvantagens são a potência estática que cresceu 3,7 vezes em relação à do multiplicador do Capítulo 3 e a largura de banda bastante modesta, mas ainda adequada para a aplicação almejada. A confecção do leiaute do circuito do Capítulo 5 proporciona uma visão mais realista da área ocupada e é o primeiro passo para a fabricação do circuito integrado em um futuro próximo.

No Capítulo 6 foi apresentada uma análise comparativa das arquiteturas propostas entre si e com dois circuitos multiplicadores concebidos pelo grupo de pesquisa do LCCI – UFBA para a mesma finalidade. Desta comparação, concluiu-se que a maior vantagem das arquiteturas propostas, além da possibilidade de operação

com duas entradas em modo tensão com maior faixa de excursão, é a economia de área, ocorrendo em contrapartida alguns prejuízos no desempenho que variam de uma arquitetura para a outra. Cumpre notar que não foram realizadas comparações com outras arquiteturas de multiplicadores pois, como se pode constatar pela revisão bibliográfica apresentada no item 2.1.5 deste trabalho, as tecnologias de fabricação são diferentes, as aplicações-fins são diversas e as análises são flagrantemente incompletas na maior parte dos trabalhos sobre multiplicadores publicados nas últimas duas décadas.

Acrescente-se que os circuitos apresentados nas publicações revisadas no item 2.1.5 não são descritos completamente, alguns blocos sendo omitidos ou substituídos por elementos ideais

7.1. Sugestões para Trabalhos Futuros

Como continuação deste trabalho de pesquisa, podemos enumerar:

- (i) Aplicação de técnicas para ampliação da largura de banda das arquiteturas de multiplicadores analógicos apresentadas, especialmente a do Capítulo 5, desde que não haja grande comprometimento da área do circuito.
- (ii) Concepção de rede para calibração manual ou automática do *offset* de corrente na saída do multiplicador do Capítulo 5, ou implementação de melhoramentos adicionais do bloco subtrator, com a finalidade de eliminar ou atenuar e estabilizar este *offset*.
- (iii) Confecção de leiautes dos multiplicadores propostos para encomendar a fabricação dos circuitos, visando sua validação experimental.
- (iv) Reprojetar os demais blocos da CNN de Santana (2013) para adaptação aos multiplicadores propostos e simulação da CNN em funções de processamento de imagem utilizando pixels com variação na faixa do multiplicador utilizado.

7.2. Divulgação da Pesquisa

No decorrer do desenvolvimento deste trabalho e resultante de estágios desta pesquisa foram publicados os seguintes artigos:

Relacionados diretamente ao trabalho – Autoria:

1. SOUSA, A. J. S.; SANTANA, E. P.; CUNHA, A. I. A. “A Very Compact CMOS Analog Multiplier for Application in CNN Synapses” In: LASCAS 2019 - Latin American Symposium on Circuits and Systems, 2019, Armenia, Colômbia.
2. SOUSA, A. J. S.; ANDRADE, F. S.; SANTOS, H. C.; GONCALVES, G.; PEREIRA, M. D.; SANTANA, E. P.; CUNHA, A. I. A. “CMOS Analog Four-Quadrant Multiplier Free of Voltage Reference Generators” In: 32nd SBCCI – Symposium on Circuits and Systems Design, 2019, São Paulo-SP.

Participações em Co-Autoria:

3. ANDRADE, F. S.; SANTANA, E. P.; CUNHA, A. I. A.; SIMAS FILHO, E. F.; GONCALVES, G.; SOUSA, A. J. S. “CNN Learning for Image Processing Center of Mass versus Genetic Algorithms” In: LASCAS 2019 10th Latin American Symposium on Circuits & Systems, 2019, Armenia, Colômbia.
4. GONCALVES, G.; PEREIRA FILHO, M. H. O.; ANDRADE, F. S.; SANTANA, E. P.; SOUSA, A. J. S. “Evaluation of Distortion Level in Analog Multipliers through DC Analysis Only” In: LASCAS 2019 10th Latin American Symposium on Circuits & Systems, 2019, Armenia, Colômbia.
5. FERNANDES, A. A.; ANDRADE, F. S.; SOUSA, A. J. S.; SANTANA, E. P.; PEREIRA, M. D.; CUNHA, A. I. A. “Low Saturation Onset MOS Transistor: an Equivalent Network” In: SBMicro 2019 – 4th Symposium on Microelectronics Technology and Devices, 2019, São Paulo-SP.
6. GONCALVES, G.; ANDRADE, F. S.; PEREIRA FILHO, M. H. O.; SOUSA, A. J. S.; SANTANA, E. P.; CUNHA, A. I. A. “Using Two-Dimensional DC Characterization to Improve Distortion Level of Analog Multipliers” In: INSCIT 2019 - 4th Symposium on Instrumentation Systems, Circuits and Transducers, 2019, São Paulo-SP.

Observação 1: O artigo intitulado “Analog Four-Quadrant Multiplier Free of Voltage Reference Generators” foi submetido à revista *Journal of Integrated Circuits and Systems – JICS*, tendo como autores: Antonio José Sobrinho de Sousa, Fabian Souza de Andrade, Matheus Artur Macedo Bomfim, Alípio Souza Silva, Hildeloi Cunha dos Santos, Edson Pinto Santana, Robson Nunes de Lima, Ana Isabela Araújo Cunha.

Observação 2: Em 20/12/2019 foi recebida por SOUSA, A. J. S. um convite para submissão do artigo “CMOS Analog Four-Quadrant Multiplier Free of Voltage Reference Generators” com resultados experimentais atualizados na revista *IEEE Design & Test Magazine*, conforme e-mail “Email 20122019 SBCCI2019 Invitation to submit an updated version of your article to IEEE Design and Test Magazine” apostado no Anexo I.

REFERÊNCIAS BIBLIOGRÁFICAS

- AGGARWAL, B., GUPTA, M., GUPTA, A.K., "A comparative study of various current mirror configurations: Topologies and characteristics", *Microelectronics Journal*, Vol 53, Pages 134-155, 2016.
- ALI KHANI, A. and A. AHMADI, "A novel current-mode four-quadrant CMOS analog multiplier/divider," *International Journal of Electronics and Communications (AEU)* , vol. 68, pp. 581–586, 2012.
- ALOUI, I., HASSEN, N. and K. BESBES, " $\pm 0.75V$ Four Quadrant Analog Multiplier in Current Mode" 2018 15th International Multi-Conference on Systems, Signals & Devices (SSD), Hammamet, 2018, pp. 1045-1050.
- ANDRADE, F. S., "Filtragem de Imagens em Escala de Cinza por Meio de Rede Neuronal Celular Analógica em Tecnologia CMOS". Dissertação de Mestrado, Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal da Bahia, junho de 2013.
- ANDRADE, F. S.; SOUZA, Y. O. G.; SANTANA, E. P.; CUNHA, A. I. A. "Image Filtering in a CMOS Analog CNN" *Proceedings of the 2015 IEEE 6th Latin American Symposium on Circuits and Systems*, pp. 1-4, 2015.
- ARSLAN, E. "Self-Biasing High Precision CMOS Current Subtractor for Current-Mode Circuits," *Advances in Electrical and Computer Engineering*, vol.13, no.4, pp.19-24, 2013,
- BABANEZHAD, J. N.; TEMES, G. C.; "A 20-V four-quadrant CMOS analog multiplier" *IEEE J. Solid-State Circuits*, vol. SC-20, pp. 1158–1168, dezembro de 1985.
- BAHARMAST, S. J. A. A. and S. MOWLAVI, "A new current mode high speed four quadrant cmos analog multiplier," in *Proc. 24th Iranian Conference on Electrical Engineering (ICEE'16)*, May 2016, pp. 1371–1376, 2016.
- BANSAL N., and PANDEY, R., "A Novel Current Subtractor Based on Modified Wilson Current Mirror Using PMOS Transistors," 2016 International Conference on Micro-Electronics and Telecommunication Engineering (ICMETE), Ghaziabad, 2016, pp. 444-449.
- BEYRAGHI, N. and A. KHOEI, "CMOS design of a low power and high precision four-quadrant analog multiplier," *International Journal of Electronics and Communications (AEU)* , pp. 400–407, 2015.
- BOONCHU, B. "Low-Voltage Low-Power Sub-Threshold CMOS Four-Quadrant Analogue Multiplier," 2018 International Electrical Engineering Congress (iEECON), Krabi, Thailand, 2018, pp. 1-4.
- CARDOSO, F.M., SCHNEIDER, M. C., E. P. SANTANA, "CMOS Analog Multiplier with High Rejection of Power Supply Ripple". In: 2018 IEEE 9th Latin American Symposium on Circuits and Systems (LASCAS); On: Puerto Vallarta, Jalisco–Mexico; 25–28 Feb, 2018.
- CARMONA-GÁLÁN, R.; JIMENEZ-GARRIDO, F.; DOMINGUEZ-CASTRO, R.; ESPEJO, S.; ROSKA, T.; REKECZKY, C.; PETRÁS, I.; RODRÍGUEZ-VÁZQUEZ, A. "A Bio-Inspired Two-Layer Mixed-Signal Flexible Programmable Chip for Early Vision." *IEEE Transactions on Neural Networks*, n. 14, p. 1313–1336, 2003.
- CHUA, L. O. AND L. YANG, "Cellular neural networks: theory," *IEEE Transactions on Circuits and Systems*, vol. 35, no. 10, pp. 1257–1272, Oct 1988.
- CHUA, L. O.; T., ROSKA, "Cellular Neural Networks and Visual Computing: Foundations and Applications". Cambridge: Cambridge, MA, USA, 2002.
- COLLI, G. and MONTECCHI, F., "Low voltage low power CMOS fourquadrant analog multiplier for neural network applications" in *Proc. IEEE Int. Symp. Circuits and Syst.*, vol. 1, pp. 496–499, May 1996.
- CUNHA, A. I. A. M. C. SCHNEIDER, and C. GALUP-MONTORO, "An MOS transistor model for analog circuit design," *IEEE Journal of Solid-State Circuits*, vol. 33, no. 10, pp. 1510–1519, Oct 1998.

- ENZ, C. C., F. KRUMMENACHER and E. A. VITTOZ, "An analytical MOS transistor model valid in all regions of operation and dedicated to low voltage and low-current applications," Analog Integrated Circuits and Signal Processing, vol. 8, pp. 83–114, 1995.
- ESPEJO, S.; CARMONA, R.; DOMÍNGUEZ-CASTRO, S.; RODRÍGUEZ-VÁZQUEZ, A. "A VLSI-oriented continuous-time CNN model", International Journal of Circuit Theory and Applications, v. 24, n. 3, p. 341–356, 1996.
- FRANCO, Sergio; "Projetos de circuitos analógicos : discretos e integrados", Editora AMGH, São Paulo-SP, 2016.
- GABBOUJ, H., HASSEN, B. N. and BESBES, K., "Comparative study and design of new low voltage high performance current mirrors," 2008 3rd International Conference on Design and Technology of Integrated Systems in Nanoscale Era, , pp. 1-6, Tozeur, 2008.
- HAN, G.; SÁNCHEZ-SINENCIO, E.; "CMOS Transconductance Multipliers: A Tutorial". In: 2014 IEEE Transactions on Circuits and Systems—II: Analog And Digital Signal Processing, vol. 45, pp. 1550–1563, N°. 12, dezembro de 1998.
- HASAN, S. M. R. "A Novel Wide-Swing Wide-Bandwidth Scalable Low-Voltage Analog CMOS Multiplier for Communication Signal Processing." TENCON IEEE Region 10 Conference. Melbourne, Austrália, 2005.
- HEGT, J. A., LEENAERTS, D. M. W. and WILMANS, R.T. "A novel compact architecture for a programmable full-range CNN in 0.5 μm CMOS technology". In Cellular Neural Networks and Their Applications Proceedings, 1998 Fifth IEEE International Workshop on Cellular Neural Networks and their Applications. London: [s.n.], pages 288 –293, apr 1998.
- HUANG, Z.; INOUE, Y.; YU, H. and ZHANG, Q., "A Wide Dynamic Range Four-Quadrant CMOS Analog Multiplier Using Active Feedback." APCCAS - IEEE Asia Pacific Conference on Circuits and Systems. Singapura, 2006.
- IBM - International Business Machines Corporation. *Design Kit and Technology Training CMOS8RF (CMRF8SF) V1700*. New York-NY-USA. 2010.
- ITAKURA, T. and CZARNUL, Z., "High Output-Resistance CMOS Current Mirrors for Low-Voltage Applications." (1997).
- JOORDENS, G. H. M., HEGT, J. A., . LEENAERTS, D. M. W, "A high performance low voltage switched-current multiplier" in Proc. IEEE Int. Symp. Circuits and Syst., pp. 1856–1859 Apr. 1995.
- KIM, Y.; PARK, S.; "Four-quadrant CMOS analogue multiplier" Electron. Lett., vol. 28, pp. 649–650, março de 1992.
- KIMURA, K.; "Analysis of 'An MOS four-quadrant analog multiplier using simple two-input squaring circuits with source followers" IEEE Trans. Circuits Syst. I, vol. 41, pp. 72–75, janeiro de 1994.
- KUMNGERN, M. and J. CHANWUTITUM, "Versatile dual-mode class-ab four quadrant analog multiplier," International Journal of Electronics and Communication Engineering, vol. 2, no. 8, pp. 1733–1740, 2008.
- LIU, S.; HWANG, Y.; "CMOS four-quadrant multiplier using bias offset cross coupled pairs" Electron. Lett., vol. 29, pp. 1737–1738, setembro de 1993.
- LIU, S.; HWANG, Y.; "CMOS squarer and four-quadrant multiplier" IEEE Trans. Circuits Syst. I, vol. 42, pp. 119–122, Fevereiro 1995.
- MACHADO, Marcelo B., "Multiplicador Analógico CMOS Baseado na Relação Transcondutância $\times$ Corrente" Florianópolis, Dissertação (Mestrado em Engenharia Elétrica) – Laboratório de Circuitos Integrados, Centro Tecnológico, Universidade Federal de Santa Catarina, 2007.
- MAHER, M. A. C.; DEWEERTH, S. P.; MAHOWALD, M. A. and MEAD, C. A., "Implementing Neural Architectures Using Analog VLSI Circuits", IEEE Trans. On Circuits and Systems, vol. 36, no. 5, pp. 643–652, May 1989.
- MAHMOUD, S. A. "Low Voltage Low Power Wide Range Fully Differential CMOS Four-Quadrant Analog Multiplier", in 2009 52nd International Midwest Symposium on Circuits and Systems, pp. 130-133, Sept. 2009.

- MARTINS, J. C.; SOUSA, L. A. *"Bioelectronic Vision: Retinal Models, Evaluation Metrics and System Design."* Singapore: World Scientific Publishing Co. Pte. Ltda., v. 3, 2009.
- MARYAN, M. M.; AZHARI, S. J. and HAJIPOUR, M. R., "A simple low-power high-speed CMOS four-quadrant current multiplier" 2016 24th Iranian Conference on Electrical Engineering (ICEE), Shiraz, pp. 1471-1474, 2016.
- MAUNDY, B. and ARONHIME, P. "Useful multipliers for low-voltage applications," 2002 IEEE International Symposium on Circuits and Systems. Proceedings (Cat. No.02CH37353), Phoenix-Scottsdale, AZ, USA, 2002, pp. I-I.
- PELUSO, V., STEYAERT, M. S. J. and SANSEN, W., "A 1.5-V-100-/spl mu/W /spl Delta//spl Sigma/modulator with 12-b dynamic range using the switched-opamp technique," in *IEEE Journal of Solid-State Circuits*, vol. 32, no. 7, pp. 943-952, July 1997.
- POPA, C. "Synthesis of CMOS multiplier structures using multifunctional circuits," 2014 37th International Convention on Information and Communication Technology, Electronics and Microelectronics (MIPRO), , pp. 60-63, Opatija, 2014.
- QIN, S. C. and GEIGER, R. L., "A 5 V CMOS analog multiplier" *IEEE J. Solid-State Circuits*, vol. SC-22, pp. 1143-1146, Dec. 1987.
- RAJPUT, S. S., VAJPAYEE, P. and SHARMA, G. K. "1V high performance current mirror for low voltage analog and mixed signal applications in submicron regime," *TENCON 2009 - 2009 IEEE Region 10 Conference*, Singapore, 2009, pp. 1-4.
- RAMIREZ-ANGULO, J., CARVAJAL, R. G. and TORRALBA, A., "Low supply voltage high-performance CMOS current mirror with low input and output voltage requirements," in *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 51, no. 3, pp. 124-129, March 2004.
- REYHANI-MASOLEH, A. e HASAN, M.A... "Low complexity word-level sequential normal basis multipliers". *Computers, IEEE Transactions on*. 54. 98- 110. 10.1109/TC.2005.29, 2005.
- RODRIGUEZ-VAZQUEZ, A., ESPEJO, S., DOMINGUEZ-CASTRON, R., HUERTAS, J., and SANCHEZ-SINENCIO, E., "Current-mode techniques for the implementation of continuous-and discrete-time cellular neural networks". in *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, *IEEE Transactions on*, 40(3):132-146, March 1993,
- SAATLO, A. N.; AMIRI, A.; ASADPOUR, L; "A New CMOS Four-quadrant Analog Multiplier with Differential Output" In: 2015 International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design (SMACD); Istambul, Turquia; 7 a 9 Sept , 2015.
- SACKINGER, E., GUGGENBUHL, W. "A high swing, high impedance MOS cascade circuit" *IEEE J. Solid State*, Vol. 25, pp. 289-298, Feb. 1990.
- SAKURAI, S.; ISMAIL, M.; "High frequency wide range CMOS analog multiplier" *Electron. Lett.*, vol. 28, pp. 2228-2229, novembro de 1992.
- SANTANA, E. P. R. C. S. FREIRE, and A. I. A. CUNHA, "A Compact Low-Power CMOS Analog FSR Model-Based CNN", *Journal of Integrated Circuits and Systems*, vol.7, no. 1, pp. 72, 2012d.
- SANTANA, E. P., "Circuitos Analógicos em Tecnologia CMOS para Implementação de Próteses Retinianas". Tese de Doutorado, Programa de Pós-Graduação em Engenharia Elétrica da Universidade Federal da Bahia, junho de 2013.
- SANTANA, E. P., FREIRE, R. C. S. e CUNHA, A. I. A. "A CMOS Analog Four-Quadrant Multiplier for CNN Synapses", aceito para publicação em *Proceedings of 8th International Caribbean Conference on Devices, Circuits and Systems – ICCDCS'2012*, Playa del Carmen, Mexico, 14 a 17 de março de 2012b.
- SANTANA, E. P., FREIRE, R. C. S. e CUNHA, A. I. A. "A Compact Low-Power CMOS Analog FSR Model-Based CNN", aceito para publicação em *Proceedings of 3rd IEEE Latin American Symposium on Circuits and Systems - LASCAS'2012*, Playa del Carmen, Mexico, 29 de fevereiro a 2 de março de 2012a.

- SANTANA, E. P., FREIRE, R. C. S. e CUNHA, A. I. A. “A Compact Low-Power CMOS Analog FSR Model-Based CNN”, *Journal of Integrated Circuits and Systems*, sept, 2012c.
- SAWIGUN, C; DEMOSTHENOUS, A e PAL, D. A Low-Voltage, Low-Power, High-Linearity CMOS Four-Quadrant Analog Multiplier. *Circuit Theory and Design*, 2007.ECCTD 2007.18th European Conference on Seville, Espanha, 2007.
- SONG, H.; KIM, C.; “An MOS four-quadrant analog multiplier using simple two-input squaring circuits with source followers” *IEEE J. Solid-State Circuits*, vol. 25, pp. 841–848, junho de 1990.
- SOUSA, A. J. S.; ANDRADE, F. S.; SANTOS, H. C.; GONCALVES, G.; PEREIRA, M. D.; SANTANA, E. P.; CUNHA, A. I. A. CMOS Analog Four-Quadrant Multiplier Free of Voltage Reference Generators In: 32nd SBCCI – Symposium on Circuits and Systems Design, São Paulo-SP, 2019b.
- SOUSA, A. J. S.; SANTANA, E. P.; CUNHA, A. I. A. A Very Compact CMOS Analog Multiplier for Application in CNN Synapses In: LASCAS 2019 - Latin American Symposium on Circuits and Systems, Armenia, Colômbia, 2019a.
- TANNO, K.; ISHIZUKA, O.; ZHENG, T.. “Four-quadrant CMOS current-mode multiplier independent of device parameters.” *Circuits and Systems II: Analog and Digital Signal Processing*, *IEEE Transactions on*. 47. 473 – 477: 2000.
- TOMBRAN-TINK, J.; BARNSTABLE, C. J.; RIZZO III, J. F. (Eds.). “*Visual Prosthesis and Ophtalmic Devices: New Hope in Sight*”. Totowa: Humana Press, New Jersey, 2007.
- TORRANCE, R. R. VISWANATHAN, T. R. AND HANSON, J. V. “CMOS Voltage to Current Transducers”, *IEEE Transactions on Circuits and Systems*, Vol. CAS-32, NO. 11, November 1985.
- WANG, P., ZHANG, X. and JIN, D. “A Novel OTA for Implementing Programmable CNN”. In *IEEE Proceedings of International Conference on Solid-State and Integrated Circuit Technology*, pages 2076–2078, Shangai, China, 2006.
- WANG, Z., “A four-transistor four-quadrant analog multiplier using MOS transistors operating in the saturation region” *IEEE Trans. Instrum. Meas.*, vol. 42, pp. 75–77, Feb, 1993.
- ZAGHLOUL, K. A., BOAHEN, K., “Optic nerve signals in a neuromorphic chip I: Outer and inner retina models”, *IEEE Trans. Biomed. Eng.*, vol. 51, no. 4, pp. 657–666, Apr. 2004.
- ZAGHLOUL, K. A., BOAHEN, K., “Optic nerve signals in a neuromorphic chip II: Testing and results”, *IEEE Trans. Biomed. Eng.*, vol. 51, no. 4, pp. 667–675, Apr. 2004.