



**UNIVERSIDADE FEDERAL DA BAHIA  
ESCOLA POLITÉCNICA DA UFBA  
DEPARTAMENTO DE ENGENHARIA ELÉTRICA**

**DISTORÇÃO EM MULTIPLICADORES  
ANALÓGICOS: ANÁLISE COMPARATIVA DE  
MÉTODOS AC E DC**

Autora: Gabriele Costa Gonçalves  
Orientadora: Prof<sup>a</sup> Dr<sup>a</sup> Ana Isabela Araújo Cunha

SALVADOR  
2020

**GABRIELE COSTA GONÇALVES**

**DISTORÇÃO EM MULTIPLICADORES  
ANALÓGICOS: ANÁLISE COMPARATIVA DE  
MÉTODOS AC E DC**

Tese de Doutorado submetida ao  
Programa de Pós-Graduação em  
Engenharia Elétrica da Universidade  
Federal da Bahia como parte dos  
requisitos necessários para obtenção do  
grau de Doutora em Engenharia Elétrica.

Ana Isabela Araújo Cunha  
(Orientadora)

SALVADOR – BA  
Fevereiro de 2020

Gonçalves, Gabriele

Distorção em multiplicadores analógicos: Análise Comparativa de métodos AC e DC / Gabriele Gonçalves. -- Salvador, 2020.  
114 f.

Orientadora: Ana Isabela Cunha.

Tese (Doutorado - Engenharia Elétrica) -- Universidade Federal da Bahia, Escola Politécnica, 2020.

1. distorção. 2. multiplicador analógico. 3. função não-linear integral. 4. distorção harmônica total. I. Cunha, Ana Isabela. II. Título.

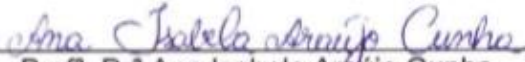
Gabriele Costa Gonçalves

***"Distorção em Multiplicadores Analógicos: Análise Comparativa de Métodos AC e DC"***

Tese apresentada à Universidade Federal da Bahia, como parte das exigências do Programa de Pós-Graduação em Engenharia Elétrica, para a obtenção do título de Doutor.

APROVADA em: 17 de Fevereiro de 2020.

**BANCA EXAMINADORA**

  
Prof.<sup>a</sup>. Dr.<sup>a</sup> Ana Isabela Araújo Cunha  
Orientadora/UFBA

  
Prof. Dr. Tito Luís Maia Santos  
UFBA

  
Prof. Dr. Carlos Eduardo Viana Nunes  
UFBA

  
Prof. Dr. Sebastian Yuri Cavalcanti Catunda  
UFRN

  
Prof. Dr. Raimundo Carlos Silvério Freire  
UFCG

## **AGRADECIMENTOS**

Primeiramente gostaria de agradecer à minha estimada orientadora e amiga, Prof.<sup>a</sup> Ana Isabela, por todo o conhecimento ensinado, pela dedicação, por sua amizade, sinceridade, pelos puxões de orelha, por ter sido presente em todas as etapas do meu trabalho, o meu muito obrigada porque sem a senhora nada disso seria possível.

Aos professores Edson, Maicon e Carlos, por estarem sempre disponíveis para ajudar nas medições e pelas explicações esclarecedoras.

Aos meus queridos colegas do LCCI, Fernando, Lucas D'Eça, Fabian e Hildeloi, pelos momentos de descontração, de colaboração e de conhecimentos compartilhados.

À minha estimada família, Gilmar, Rosa e Grazi, por estarem presentes durante a minha caminhada e pelas palavras de amor e carinho.

Ao meu querido noivo Paulo Roberto, por ser sempre tão compreensivo, carinhoso, amoroso e prestativo.

À Deus por iluminar os meus passos, estar sempre presente na minha vida e por permitir a finalização dessa pesquisa.

E finalmente a todos que ajudaram diretamente ou indiretamente na conclusão do meu trabalho.

## LISTA DE ILUSTRAÇÕES

|                                                                                                                                                                                                   |    |
|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----|
| Figura 2.1: Configuração Básica de um multiplicador.....                                                                                                                                          | 24 |
| Figura 2.2: Operação do multiplicador utilizando transcondutor programável.....                                                                                                                   | 27 |
| Figura 2.3: Dispositivo não linear.....                                                                                                                                                           | 28 |
| Figura 2.4: Esquema de cancelamento baseado em núcleos de multiplicadores de um quadrante.....                                                                                                    | 29 |
| Figura 2.5: Esquema de cancelamento baseado em núcleos quadradores....                                                                                                                            | 29 |
| Figura 2.6: Métodos de injeção de sinal em tensão.....                                                                                                                                            | 30 |
| Figura 2.7: Representação da superfície característica de transferência de um multiplicador analógico ideal (paraboloide hiperbólico), para o caso de constante de multiplicação igual a 0,1..... | 43 |
| Figura 2.8: Rede neuronal celular.....                                                                                                                                                            | 49 |
| Figura 2.9: Diagrama de blocos da célula padrão.....                                                                                                                                              | 50 |
| Figura 2.10: Diagrama de blocos para a célula do tipo FSR .....                                                                                                                                   | 51 |
| Figura 3.1: Multiplicador proposto em (SAWIGUN; DEMOSTHENOUS e PAL, 2007).....                                                                                                                    | 53 |
| Figura 3.2: Multiplicador de quatro quadrantes proposto em (CARDOSO; SHNEIDER e SANTANA, 2018).....                                                                                               | 54 |
| Figura 3.3: Multiplicador de quatro quadrantes em modo corrente proposto em (TANNO; ISHIZUKA e TANG).....                                                                                         | 55 |
| Figura 3.4: Multiplicador de quatro quadrantes em modo corrente proposto em (MAHMOUD, 2009).....                                                                                                  | 56 |
| Figura 3.5: Acessório de teste paramétrico U2941A da Agilent.....                                                                                                                                 | 57 |
| Figura 3.6: Diagrama de blocos da configuração para medição das superfícies DC $V_{CHi}$ é a tensão do canal $CHi$ , com $i = 1, 2, 3$ .....                                                      | 58 |
| Figura 3.7: Algoritmo do código de controle da SMU pelo computador.....                                                                                                                           | 60 |
| Figura 3.8: Osciloscópio da Keysight Technologies MSO7104B.....                                                                                                                                   | 62 |

|                                                                                                                                                                                      |    |
|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----|
| Figura 3.9: Determinação da THD.....                                                                                                                                                 | 63 |
| Figura 3.10: Determinação da THD <sub>2in</sub> .....                                                                                                                                | 63 |
| Figura 4.1: Superfícies de transferência do multiplicador de Cardoso.....                                                                                                            | 67 |
| Figura 4.2: Superfícies de transferência do multiplicador de Mahmoud.....                                                                                                            | 68 |
| Figura 4.3: Superfícies de transferência do multiplicador de Sawigun.....                                                                                                            | 68 |
| Figura 4.4: Superfícies de transferência do multiplicador de Tanno.....                                                                                                              | 69 |
| Figura 4.5: THD do multiplicador de Cardoso.....                                                                                                                                     | 70 |
| Figura 4.6: THD <sub>2in</sub> do multiplicador de Cardoso.....                                                                                                                      | 71 |
| Figura 4.7: 2D-INLF do multiplicador de Cardoso.....                                                                                                                                 | 71 |
| Figura 4.8: THD do multiplicador de Mahmoud.....                                                                                                                                     | 72 |
| Figura 4.9: THD <sub>2in</sub> do multiplicador de Mahmoud.....                                                                                                                      | 72 |
| Figura 4.10: 2D-INLF do multiplicador de Mahmoud.....                                                                                                                                | 73 |
| Figura 4.11: THD do multiplicador de Sawigun.....                                                                                                                                    | 73 |
| Figura 4.12: THD <sub>2in</sub> do multiplicador de Sawigun.....                                                                                                                     | 74 |
| Figura 4.13: 2D-INLF do multiplicador de Sawigun.....                                                                                                                                | 74 |
| Figura 4.14: THD do multiplicador de Tanno.....                                                                                                                                      | 75 |
| Figura 4.15: THD <sub>2in</sub> do multiplicador de Tanno.....                                                                                                                       | 75 |
| Figura 4.16: 2D-INLF do multiplicador de Tanno.....                                                                                                                                  | 76 |
| Figura 5.1: Distribuição da tensão de saída do multiplicador Sawigun para 1000 combinações aleatórias de $K_1$ a $K_{12}$ em distribuição normal com desvio padrão de 1%.....        | 84 |
| Figura 5.2: Distribuição da tensão de saída do multiplicador Sawigun para 1000 combinações aleatórias de $V_{T01}$ a $V_{T012}$ em distribuição normal com desvio padrão de 10%..... | 84 |
| Figura 5.3: Distribuição da tensão de saída do multiplicador Sawigun para 1000 combinações aleatórias de $n_1$ a $n_{12}$ em distribuição normal com desvio padrão de 1%.....        | 85 |

|                                                                                                                                                                                      |    |
|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----|
| Figura 5.4: Distribuição da tensão de saída do multiplicador Sawigun para 1000 combinações aleatórias de $R$ a $R'$ em distribuição normal com desvio padrão de 10%.....             | 85 |
| Figura 5.5: Distribuição da tensão de saída do multiplicador Mahmoud para 1000 combinações aleatórias de $K_1$ a $K_{12}$ em distribuição normal com desvio padrão de 1%.....        | 86 |
| Figura 5.6: Distribuição da tensão de saída do multiplicador Mahmoud para 1000 combinações aleatórias de $V_{T01}$ a $V_{T016}$ em distribuição normal com desvio padrão de 10%..... | 86 |
| Figura 5.7: Distribuição da tensão de saída do multiplicador Mahmoud para 1000 combinações aleatórias de $n_1$ a $n_{16}$ em distribuição normal com desvio padrão de 1%.....        | 87 |
| Figura 5.8: Distribuição da tensão de saída do multiplicador Mahmoud para 1000 combinações aleatórias de $R$ a $R'$ em distribuição normal com desvio padrão de 10%.....             | 87 |
| Figura 5.9: Comparação entre a superfícies de transferência do ideal (azul) e a superfície de transferência aproximada (vermelha) do Multiplicador Sawigun.....                      | 89 |
| Figura 5.10: Comparação entre a superfícies de transferência do ideal (azul) e a superfície de transferência aproximada (vermelha) do Multiplicador Mahmoud.....                     | 89 |
| Figura 6.1: Imagem de entrada (Função detecção de bordas binária).....                                                                                                               | 94 |
| Figura 6.2: Imagem de saída da CNN teórica operando como detector de borda binária, nos casos do multiplicador ideal e não ideal para a imagem de entrada da Figura 6.1.....         | 94 |
| Figura 6.3: Imagem de entrada (Função detecção de bordas em escala preto e cinza).....                                                                                               | 95 |

|                                                                                                                                                                                                    |    |
|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----|
| Figura 6.4: Imagem de saída da CNN teórica operando como detector de<br>borda em escala preto e cinza, nos casos do multiplicador ideal e não ideal<br>para a imagem de entrada da Figura 6.3..... | 95 |
| Figura 6.5: Imagens de entrada para a função de quina .....                                                                                                                                        | 96 |
| Figura 6.6: Imagem de saída da CNN teórica na operação de detecção de<br>quina, nos casos do multiplicador ideal e não ideal para a imagem de entrada<br>da Figura 6.5(a).....                     | 7  |
| Figura 6.6: Imagem de saída da CNN teórica na operação de detecção de<br>quina, nos casos do multiplicador ideal e não ideal para a imagem de entrada<br>da Figura 6.5(b).....                     | 97 |

## LISTA DE TABELAS

|                                                                                                                                                               |    |
|---------------------------------------------------------------------------------------------------------------------------------------------------------------|----|
| Tabela 2.1: Multiplicadores x Figuras de mérito.....                                                                                                          | 37 |
| Tabela 2.2: Amplitudes das componentes de frequências da saída do multiplicador com distorção de 5ª ordem – caso de entrada senoidal e entrada constante..... | 46 |
| Tabela 2.3: Amplitudes das componentes de frequências da saída do multiplicador com distorção de 5ª ordem – caso de duas entradas senoidais.....              | 47 |
| Tabela 3.1: Resumo das metodologias x multiplicadores.....                                                                                                    | 65 |
| Tabela 4.1: Coeficientes de distorção dos multiplicadores testados.....                                                                                       | 66 |
| Tabela 4.2: Erros na Aproximação das Superfícies de Transferência dos Multiplicadores.....                                                                    | 69 |
| Tabela 5.1: Expressões dos coeficientes de distorção do multiplicador de Sawigun.....                                                                         | 81 |
| Tabela 5.2: Expressões dos coeficientes de distorção do multiplicador de Mahmoud.....                                                                         | 83 |
| Tabela 5.3: Contribuição dos coeficientes de distorção para o sinal de saída – Multiplicadores de Sawigun e Mahmoud.....                                      | 88 |

## LISTA DE ABREVIATURAS

RMS - *Root Mean Square*

DC - *Direct Current*

AC - *Alternating Current*

THD - *Total Harmonic Distortion*

$IM_n$  - *Intermodulation Distortion of order  $n$*

INLF - *Integral Non-Linear Function*

2D-INLF - *Two Dimensional Integral Non-Linear Function*

CNN - *Cellular Neural Network*

CMOS - *Complementary Metal Oxide Semiconductor*

MOS - *Metal Oxide Semiconductor*

MOSFET - *Metal Oxide Semiconductor Field Effect Transistor*

TBJ - *Transistor Bipolar de Junção*

FET - *Field Effect Transistor*

GPDK – *Generic Process Design Kit*

VSLI - *Very Large Scale Integration*

$HD_n$  - *Harmonic Distortion of order  $n$*

$IP_n$  - *Intercept Points of order  $n$*

$IP_2$ - *Second Intercept Points*

$IP_3$  - *Third Intercept Points*

$HD_2$  - *Second Harmonic Distortion*

$HD_3$  - *Third Harmonic Distortion*

IFM - *Integral Function Method*

NP - Número de pontos

FSR - *Full Signal Range*

SMU - *Source Measure Unit*

SCPI - *Standard Commands for Programmable Instruments*

## LISTA DE SÍMBOLOS

$K$  - constante de multiplicação (ganho)

$Z$  - saída do multiplicador

$A_{\text{máx}}$  - máxima amplitude

$A_{\text{min}}$  - mínima amplitude

$DR$  - *Dynamic Range*

$Gm1$  - transcondutância bipolar

$V_t$  - tensão térmica

$k_B$  - constante de Boltzmann

$T$  - temperatura absoluta

$x$  e  $y$  - entradas do multiplicador

$a$  e  $b$  - números inteiros

$A_1$  e  $A_2$  - amplitudes diferentes

$A_{a,b}$  - amplitude da componente do sinal de saída

$a_{mn}$  - coeficientes de distorção ( $m$  e  $n$  inteiros não negativos)

$C_1$  - amplitude da componente na frequência fundamental na saída

$C_n$  - amplitude da  $n$ -ésima harmônica

$f_1$  e  $f_2$  - frequências diferentes

$v_{1\text{min}}$ ,  $v_{1\text{max}}$ ,  $v_{2\text{min}}$  e  $v_{2\text{max}}$  - limites de variações das tensões nas entradas do multiplicador

## RESUMO

Este trabalho apresenta uma comparação teórica entre três critérios distintos para avaliação da distorção harmônica em multiplicadores analógicos: a função não linear integral de duas dimensões e a distorção harmônica total de duas entradas, ambas propostas por nosso grupo de pesquisa do Laboratório de Concepção de Circuitos Integrados (LCCI) da Universidade Federal da Bahia, e a distorção harmônica total simples convencional. Metodologias são propostas para determinar estas figuras de mérito utilizando caracterização DC. Além da determinação direta da função não linear integral de duas dimensões, os coeficientes de distorção calculados para ajustar a superfície de transferência DC são utilizados para estimar as distorções harmônicas totais para entrada simples ou dupla. Resultados de simulação e experimentais obtidos para quatro diferentes topologias de multiplicadores analógicos em tecnologia CMOS demonstram que figuras de mérito determinadas seja por análise AC ou por análise DC podem ser consistentes. Também ilustramos como tirar vantagem da análise de distorção de multiplicadores analógicos por meio de caracterização DC para estabelecer diretrizes de projeto e de implementação do circuito a fim de minimizar a distorção. Com este propósito, dois multiplicadores analógicos em tecnologia CMOS em modo tensão são analisados teoricamente para relacionar os coeficientes de distorção de suas superfícies de transferência DC aos parâmetros tecnológicos e à geometria dos transistores.

Palavras-Chaves: distorção; multiplicador analógico; função não-linear integral; distorção harmônica total.

## ABSTRACT

This work presents a theoretical comparison between three distinct criteria for evaluating distortion of analog multipliers: the two-dimensional integral nonlinear function and the double input total harmonic distortion, both proposed by our research group in *Laboratório de Conceção de Circuitos Integrados (LCCI)* at *Universidade Federal da Bahia (UFBA)*, and the conventional single input total harmonic distortion. Methodologies are proposed to determine these figures of merit using DC characterization. Besides the direct determination of two-dimensional integral nonlinear function, the distortion coefficients calculated to fit the DC transfer surface are used to estimate the total harmonic distortions for single and double input. Simulation and experimental results obtained from four different topologies of CMOS analog multipliers demonstrate that the figures of merit determined either by AC or DC analysis may be consistent. We also illustrate how to take advantage of the distortion analysis of analog multipliers through DC characterization to establish design and implementation guidelines for the circuit with the aim of minimizing distortion. For this purpose, two CMOS voltage-mode analog multipliers are theoretically analyzed to relate the distortion coefficients of their DC transfer surfaces to the technology parameters and to the geometry of the transistors.

Keywords: distortion; analog multiplier; integral nonlinear function; total harmonic distortion.

# SUMÁRIO

|                                                                                                  |           |
|--------------------------------------------------------------------------------------------------|-----------|
| <b>1. CAPÍTULO 1 – INTRODUÇÃO.....</b>                                                           | <b>17</b> |
| 1.1. Contextualização do problema .....                                                          | 17        |
| 1.2. Objetivos .....                                                                             | 21        |
| 1.3. Organização da tese.....                                                                    | 22        |
| <b>2. CAPÍTULO 2 - FUNDAMENTAÇÃO TEÓRICA .....</b>                                               | <b>23</b> |
| 2.1. Multiplicadores analógicos em Tecnologia CMOS .....                                         | 23        |
| 2.1.1 Modos de operações e topologias de circuitos .....                                         | 27        |
| 2.1.1.1 Resumo.....                                                                              | 37        |
| 2.2. Critérios e Métodos para Análise de Distorção .....                                         | 38        |
| 2.2.1 Critérios Clássicos para Análise de Distorção .....                                        | 38        |
| 2.2.2 Distorção Harmônica Total com Sinais Senoidais nas Duas Entradas–THD <sub>2in</sub> .....  | 40        |
| 2.2.3 Método da Função Integral-IFM.....                                                         | 42        |
| 2.2.3.1 Função Não Linear Integral-INFL.....                                                     | 42        |
| 2.2.3.2 Função Não Linear Integral em Duas Dimensões -2D-INLF.....                               | 42        |
| 2.3. Expressões Teóricas das Figuras de Distorção em termos dos Coeficientes de Distorção .....  | 44        |
| 2.4. Princípios de uma CNN teórica.....                                                          | 48        |
| 2.4.1 Célula do tipo FSR.....                                                                    | 51        |
| <b>3. CAPÍTULO 3 – METODOLOGIAS PARA ANÁLISE DE DISTORÇÃO EM MULTIPLICADORES .....</b>           | <b>52</b> |
| 3.1. Dispositivos Testados.....                                                                  | 52        |
| 3.2. Descrição do Método Experimental da 2D-INLF .....                                           | 56        |
| 3.2.1 Método experimental.....                                                                   | 56        |
| 3.2.2 Método por simulação.....                                                                  | 59        |
| 3.2.3 Método pela superfície ajustada.....                                                       | 59        |
| 3.3. Descrição dos Métodos para Determinação da THD e da THD <sub>2in</sub> .....                | 61        |
| 3.3.1 Método experimental por Análise AC.....                                                    | 62        |
| 3.3.2 Método por simulação.....                                                                  | 64        |
| 3.3.3 Método por análise DC.....                                                                 | 64        |
| 3.4. Resumo.....                                                                                 | 65        |
| <b>4. CAPÍTULO 4 - RESULTADOS EXPERIMENTAIS E DE SIMULAÇÃO .....</b>                             | <b>66</b> |
| 4.1. Coeficientes de Distorção.....                                                              | 66        |
| 4.2. Resultados Experimentais e de Simulação .....                                               | 69        |
| 4.3. Discussão.....                                                                              | 76        |
| <b>5. CAPÍTULO 5 – RELAÇÃO ENTRE A DISTORÇÃO E LIMITAÇÕES NOS DISPOSITIVOS E CIRCUITOS .....</b> | <b>78</b> |

|           |                                                                       |            |
|-----------|-----------------------------------------------------------------------|------------|
| 5.1.      | Considerações Preliminares .....                                      | 78         |
| 5.2.      | Multiplicador de Sawigun .....                                        | 79         |
| 5.3.      | Multiplicador de Mahmoud.....                                         | 81         |
| 5.4.      | Variação dos parâmetros .....                                         | 83         |
|           | 5.4.1 Multiplicador de Sawigun.....                                   | 84         |
|           | 5.4.2 Multiplicador de Mahmoud.....                                   | 85         |
| 5.5.      | Contribuição dos coeficientes de distorção para o sinal de saída..... | 88         |
| <b>6.</b> | <b>CAPÍTULO 6 - DISTORÇÃO NA OPERAÇÃO DE UMA CNN .....</b>            | <b>93</b>  |
| <b>7.</b> | <b>CAPÍTULO 7 - CONCLUSÃO .....</b>                                   | <b>98</b>  |
|           | <b>REFERÊNCIAS BIBLIOGRÁFICAS .....</b>                               | <b>101</b> |
|           | <b>APÊNDICE A .....</b>                                               | <b>106</b> |
|           | <b>APÊNDICE B .....</b>                                               | <b>107</b> |
|           | <b>APÊNDICE C .....</b>                                               | <b>109</b> |
|           | <b>APÊNDICE D .....</b>                                               | <b>110</b> |
|           | <b>APÊNDICE E .....</b>                                               | <b>112</b> |

# CAPÍTULO 1

## INTRODUÇÃO

### 1.1. Contextualização do Problema

Multiplicadores analógicos são processadores de sinais analógicos de pelo menos duas entradas e uma saída, com importantes aplicações em instrumentação e em sistemas de comunicações. Em geral se apresentam nas formas de um, dois ou quatro quadrantes, dependendo de quais sinais de entrada podem assumir valores positivos ou negativos.

A vasta aplicabilidade dos multiplicadores analógicos como blocos de construção de circuitos eletrônicos para processamento e comunicação de sinais analógicos é incontestável (HAN e SANCHEZ, 1998) (CARDOSO et al, 2018). Entre outros papéis, eles atuam como moduladores, dobradores de frequência e elementos de sinapse em redes neuronais analógicas. Nos sistemas de instrumentação é possível também incluir multiplicadores analógicos em suas implementações, como por exemplos, em wattímetros, detectores de fase, densitômetros e medidores de vazão (ANALOG DEVICES, 1978).

Na prática, por causa de aspectos associados à sua implementação, os multiplicadores exibem características de transferência com distorção. Limitando-se às aplicações em baixas e médias frequências dos multiplicadores analógicos, é possível identificar diversos exemplos em que o nível de distorção introduzido pelo multiplicador pode ser crítico. No campo do processamento analógico de sinais, podem ser citados:

- (i) Conversores RMS (valor eficaz) para DC (valor constante) (ANALOG DEVICES, 1978): nesta aplicação, os sinais de entrada  $v_{in}$  e saída  $v_{out}$  do circuito se relacionam segundo a equação  $(v_{in} + v_{out})(v_{in} - v_{out}) = \tau \cdot (dv_{out}/dt)$ , sendo  $\tau$  uma constante de tempo. Nesta expressão, o termo da esquerda é obtido por meio de um multiplicador analógico. Espera-se que no regime permanente ou para variações lentas de  $v_{out}$ , a equação resulte na igualdade aproximada entre o valor médio de  $v_{in}^2$  e o valor  $v_{out}^2$ , sendo  $v_{out}$ , pois, uma aproximação para a raiz média quadrática (valor rms) de  $v_{in}$ . Entretanto, a acurácia desta aproximação depende do cancelamento de termos na equação do sistema, o que pode não ser atingido de forma satisfatória em virtude de distorção presente na operação do multiplicador.

- (ii) Dobradores de frequência (ANALOG DEVICES, 1978): neste caso, o multiplicador é configurado para operar como quadrador (o mesmo sinal é aplicado às duas entradas). Ao se aplicar um tom à entrada do dobrador, o resultado é constituído de um valor constante, que pode ser bloqueado capacitivamente, e um tom uma oitava acima, conforme a equação ideal:  $\sin^2(\omega t) = [1 - \cos(2\omega t)]/2$ . Contudo, a presença de distorção na operação do multiplicador deve fazer aparecer outros tons, em frequências múltiplas da frequência do sinal de entrada. Por exemplo, suponha-se que a relação de transferência real do multiplicador tenha a forma:  $z = K_1 x \cdot y + K_2 x^2 y$ , onde  $x$  e  $y$  são os sinais de entrada,  $z$  é o sinal de saída,  $K_1$  é o ganho do multiplicador e  $K_2$  é um coeficiente de distorção. Neste caso, a operação como quadrador dá origem a senóides nas frequências  $\omega$ ,  $2\omega$  e  $3\omega$ .
- (iii) Redes neuronais celulares (CNN, do inglês: *cellular neural networks*) analógicas (SANTANA et al, 2012): trata-se de uma classe de circuitos analógicos densos, muito adequados ao processamento analógico de imagens. Estas redes consistem de matrizes retangulares de células circuitais, onde cada célula compreende vários blocos multiplicadores que realizam o produto dos sinais de entrada e de saída da própria célula em questão e de células vizinhas por coeficientes de ponderação, os chamados operadores sinápticos. Os valores destes coeficientes definem a função que será realizada pela rede sobre a imagem (detecção de bordas, projeção de sombras, filtragens diversas, entre tantas outras). Para exemplificar, uma rede de dimensões 64 x 64 e com vizinhança de raio unitário (cada uma das 64<sup>2</sup> células relacionando-se com oito vizinhas e com ela mesma), o número de multiplicadores pode chegar a 77824. A operação ligeiramente distorcida destes numerosos multiplicadores pode ter um efeito cumulativo e degradar de forma dramática o processamento executado pela rede sobre a imagem.

Estes exemplos ilustram intuitivamente como limitações presentes na operação dos multiplicadores podem afetar a função global do circuito e o quanto é importante estimar o nível de distorção dos multiplicadores como parte de sua avaliação de desempenho.

Nos multiplicadores a distorção geralmente é devida a não idealidades na operação de dispositivos eletrônicos, bem como na topologia do circuito. O esquema de cancelamento aplicado com o objetivo de suprimir os sinais indesejáveis à multiplicação está fortemente condicionado a um perfeito casamento entre as características dos dispositivos. A dependência das tensões de alimentação e da temperatura também pode afetar o nível de distorção. Devido a todas essas razões, figuras de mérito, significativas, confiáveis e completas para avaliar a distorção em multiplicadores analógicos são essenciais.

No entanto, a natureza de duas entradas dos multiplicadores analógicos e as especificações da faixa de variação do sinal, tornam difícil determinar com precisão o nível de distorção. O erro de linearidade (também conhecido por não linearidade) percentual em relação ao fundo de escala é um parâmetro DC calculado separadamente para cada entrada do multiplicador, considerando a outra fixa em um valor constante (ANALOG DEVICES, 1977) (ANALOG DEVICES, 2012). Também é amplamente adotado pelos projetistas de circuitos analógicos para comparar o desempenho de diferentes arquiteturas dos multiplicadores analógicos (ALIKHANI e AHMADI, 2012) (TANNO et al, 2000), assim como a THD (distorção harmônica total, do inglês: *Total Harmonic Distortion*) (CARDOSO et al, 2018) (ALIKHANI e AHMADI, 2012) (SAWIGUN e PAL, 2007). A THD e a  $IM_n$  (intermodulação de enésima ordem) são figuras de mérito clássicas, que avaliam o nível de distorção em circuitos dos quais se espera um comportamento linear. São normalmente calculadas a partir de análises AC a fim de identificar componentes de frequências estranhas à resposta ideal do circuito. Isto pode ser realizado tanto por análise espectral do sinal, aplicada diretamente, quanto por análise de Fourier aplicada a formas de onda de amplitudes significativas (grandes sinais variando no domínio do tempo). Em multiplicadores, estas figuras de mérito são levantadas para cada entrada com a outra fixada num valor constante, normalmente correspondente ao valor absoluto do fundo de escala especificado para o circuito.

Outro critério baseado em análise AC para avaliar o comportamento das distorções presentes em multiplicadores ou, de um modo geral, circuitos com duas entradas, consiste na  $THD_{2in}$ , método proposto por (GONÇALVES, 2015) (LACERDA et al, 2009), que, ao contrário da THD simples, considera as variações em ambas as entradas do multiplicador simultaneamente.

Dentre os critérios baseados em caracterização DC, além do já mencionado erro de linearidade, podemos citar a INLF (função não linear integral, do inglês: *integral*

*nonlinear function*) (CERDEIRA et al., 2001) (GARCÍA-SÁNCHEZ et al., 2002) (SALAZAR et al, 2007) (CERDEIRA et al, 2004), para circuitos de entrada simples, e a 2D-INLF (função não linear integral de duas dimensões), método proposto por (GONÇALVES, 2015, 2016) (LACERDA et al, 2009), que permite avaliar a influência simultânea das duas entradas do multiplicador.

Foi argumentado em (GONÇALVES, 2015, 2016) que métodos experimentais baseados em análise AC para levantamento direto de figuras de mérito tradicionais demandam a medição de sinais de tensão por instrumentos como o analisador de espectros ou o osciloscópio. No caso de circuitos com saída em corrente, um conversor corrente-tensão deve ser inserido em sua saída, introduzindo sua própria distorção e, portanto, modificando os valores de distorção harmônica ou intermodulação gerados exclusivamente pelo circuito a ser analisado.

Em (GONÇALVES, 2015, 2016), é discutida também a incompletude da análise de distorção por critérios que levam em consideração apenas uma entrada simples, como é o caso do erro de linearidade, obtido por análise DC, ou a THD simples e a intermodulação, obtidas por análise AC. Foi destacado que a operação simultânea das duas entradas incorporam elementos de distorção não apresentados quando a análise é realizada admitindo variação em apenas uma entrada, enquanto a outra é fixada num valor constante, em geral o valor absoluto do fundo de escala. Isto, frequentemente leva a um nível subestimado de distorção.

Por estas razões, o critério da 2D-INLF, cuja validação experimental na quantificação do grau de distorção de multiplicadores analógicos foi objeto de (GONÇALVES, 2015, 2016), desponta como um método confiável e operacional. Além disto, requer uma caracterização DC tridimensional para sua determinação, caracterização esta que permite o levantamento dos coeficientes de distorção dos multiplicadores, com os quais é possível estimar outras figuras de mérito, inclusive as baseadas em análise AC, procedimento este que é objeto da pesquisa aqui relatada.

De fato, a determinação dos coeficientes de distorção, a partir do ajuste de uma função polinomial de duas entradas à característica DC tridimensional do multiplicador, é um expediente versátil, pois permite também, mediante uma análise do circuito com o uso de modelos teóricos para os dispositivos, identificar a contribuição para a distorção de limitações da arquitetura e de não idealidades dos dispositivos eletrônicos constituintes do multiplicador. Outros sim, utilizando estes coeficientes é possível avaliar o impacto

do nível de distorção em aplicações práticas de multiplicadores, como é o caso das sinapses de redes neurais celulares (CNN).

## 1.2 Objetivos

O objetivo principal deste trabalho de pesquisa é realizar um estudo comparativo sobre a utilização dos critérios da 2D-INLF,  $THD_{2in}$  e THD na avaliação do nível de distorção em multiplicadores analógicos, por meio de análises AC e DC. Em (GONÇALVES et al, 2016) são apresentados argumentos sólidos de que a determinação dos coeficientes de distorção por meio da análise DC é suficiente para fornecer um cenário representativo das limitações do circuito devidas à distorção, permitindo dessa forma uma boa estimativa tanto para as figuras de mérito DC como AC. Esses coeficientes de distorção são extraídos por meio das superfícies características de transferência DC medidas ou simuladas.

Os objetivos específicos deste trabalho são:

- i. Dar continuidade à validação do critério da 2D-INLF por comparação com os métodos tradicionais, utilizando dados experimentais e obtidos por simulação. Em (GONÇALVES 2015), o levantamento experimental da THD e da  $THD_{2in}$  nos dispositivos sob teste, multiplicadores analógicos integrados de alta precisão, não logrou sucesso em virtude da inadequação dos equipamentos disponíveis.
- ii. Demonstrar a confiabilidade dos valores das figuras THD e  $THD_{2in}$ , estimados pela aplicação de coeficientes de distorção, levantados a partir de características DC tridimensionais (sinal de saída versus dois sinais de entrada), sendo estas figuras tradicionalmente determinadas por análise AC.
- iii. Aplicação dos critérios da 2D-INLF, da THD simples e da  $THD_{2in}$  em dados obtidos por simulação de um multiplicador projetado especificamente para utilização como sinapses de CNN, para comparação.
- iv. Relacionar os coeficientes de distorção com parâmetros de circuito e de modelagem dos dispositivos para avaliar a contribuição destes

na distorção de dois exemplos de multiplicadores, visando estabelecer diretrizes de projeto que possam mitigar o problema.

- v. Avaliar o impacto da distorção dos multiplicadores nas operações de processamento de imagens por uma CNN, em alguns exemplos de funções.

### 1.3 Organização da tese

No capítulo 1 apresentou-se a contextualização, a justificava para o desenvolvimento do presente trabalho e os seus objetivos e ainda foram introduzidos conceitos para auxiliar na construção e delimitação do tema proposto para a pesquisa. O capítulo 2 descreve os fundamentos teóricos sobre os multiplicadores, os métodos e critérios para avaliação de distorção, relações teóricas das figuras de distorção em termos de coeficientes de distorção e os princípios de uma rede celular neuronal (CNN). No capítulo 3 descrevem-se os circuitos multiplicadores testados, assim como as metodologias aplicada aos mesmos para determinação da THD, da  $THD_{2in}$  e da 2D-INLF. No capítulo 4 são apresentados os resultados experimentais e de simulação para as figuras de mérito THD,  $THD_{2in}$  e 2D-INLF. No capítulo 5 são apresentadas as relações entre a distorção dos multiplicadores e as limitações nos dispositivos e circuitos que os realizam. No capítulo 6 são apresentados os resultados obtidos na operação de processamento de imagem de uma CNN implementada teoricamente em um código executável no *software* MATLAB, no caso de as sinapses apresentarem certo nível de distorção. para o processamento de imagem. E, por fim, no capítulo 7 é apresentada a conclusão.

## CAPÍTULO 2

### FUNDAMENTAÇÃO TEÓRICA

#### 2.1 Multiplicadores Analógicos em Tecnologia CMOS

A multiplicação analógica em tempo real de dois sinais é um dos processos de operação mais importantes em processamento de sinais analógicos. Os multiplicadores não só são utilizados como blocos de construção computacional, mas também como elementos de programação em sistemas como filtros, redes neuronais, misturadores, moduladores e sistemas de comunicação (HAN e SÁNCHEZ, 1998).

Os multiplicadores analógicos são blocos de circuitos cujo sinal de saída consiste no produto entre os sinais aplicados nas duas entradas, sinais estes que podem variar no tempo.

Apesar dos multiplicadores a transistor bipolar de junção de alto desempenho estarem disponíveis há bastante tempo, a implementação de multiplicadores fabricados na tecnologia CMOS (do inglês: *Complementary Metal-Oxide-Semiconductor*) ainda é um pouco desafiadora, especialmente para projetos de circuitos de baixa tensão e baixa potência. Apesar do grande número de artigos que propõem novas estruturas de multiplicadores com a tecnologia *Metal-Oxide-Semiconductor* (MOS), eles podem ser mais ou menos alocados em poucas categorias. (HAN e SÁNCHEZ, 1998)

Os multiplicadores analógicos a MOSFET em geral demandam menores tensões de alimentação que seus congêneres a TBJ. Além disto são compatíveis com a tecnologia CMOS, adequada para a fabricação de circuitos ditos de modo misto, ou seja, com a porção analógica e digital na mesma pastilha.

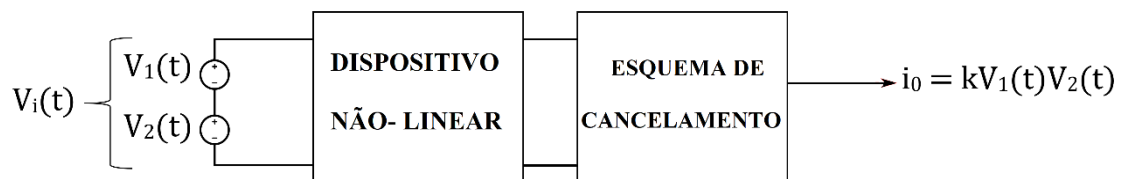
O produto linear de um multiplicador com dois sinais de entrada  $x$  e  $y$  apresenta uma saída igual a  $z = K.x.y$ , em que:  $K$  é a constante de multiplicação com dimensão adequada. Os multiplicadores podem ser caracterizados como: de um quadrante ( $x$  e  $y$  são unipolares, ou seja, os dois sinais de entrada devem ser não negativos), de dois quadrantes (ou  $x$  ou  $y$  pode ser bipolar, ou seja, apenas um dos sinais pode ser positivo ou negativo) e de quatro quadrantes (ambos,  $x$  e  $y$ , podem ser bipolares). Em geral, a multiplicação de 2 ou 4 quadrantes é obtida pela conexão de estágios de 1 quadrante.

Os multiplicadores são sistemas não-lineares que apresentam algumas limitações, como, por exemplo, o ruído e a largura de banda não otimizados. Exemplos de aplicações

de multiplicadores em que as especificações de ruído e banda são determinantes são os moduladores e os misturadores. (HAN e SÁNCHEZ, 1998)

A ideia básica da implementação de um multiplicador pode ser observada na Figura 2.1, em que dois sinais  $v_1(t)$  e  $v_2(t)$  são aplicados a um dispositivo não linear, que pode ser caracterizado por uma função polinomial. Esta função gera termos como:  $v_1^2(t)$ ,  $v_2^2(t)$ ,  $v_1^3(t)$ ,  $v_2^3(t)$ ,  $v_1(t)v_2^2(t)$  e muitos outros termos estranhos ao termo desejado  $v_1(t)v_2(t)$ . Para cancelar os componentes indesejados é criado um esquema de cancelamento (HAN e SÁNCHEZ, 1998).

Figura 2.1 – Configuração básica de um multiplicador



Fonte: [HAN e SÁNCHEZ, 1998]

Em trabalhos técnicos, científicos e didáticos, as principais características de desempenho analisadas em multiplicadores são:

- i. Linearidade em relação a cada entrada: as características no plano de duas dimensões da saída( $z$ ) *versus* uma das entradas ( $x$  ou  $y$ ), assumindo que a outra entrada ( $y$  ou  $x$ ) é constante, devem ter um bom grau de linearidade, que pode ser avaliado pelo erro médio quadrático ou outro critério. Por exemplo, em folhas de especificações de multiplicadores analógicos, o “erro de linearidade”, também conhecido como “não linearidade”, é calculado como a máxima diferença entre as saídas real ( $z_{real}$ ) e teórica, com uma das entradas constante, dividida pelo fundo de escala ( $z_{m\acute{a}x}$ ) e expressa em porcentagem, conforme a equação 2.1:

$$NL(\%) = 100 \frac{\max(z_{real} - K.x.y)}{z_{m\acute{a}x}} \quad (2.1)$$

em que,  $NL$  é a não linearidade e  $K$  é a constante de multiplicação

- ii. Distorção Harmônica Total: é o somatório das contribuições em potência das componentes de frequências indesejadas presentes no sinal de saída

dividido pelas contribuições das componentes desejadas. Tradicionalmente, é computada para uma entrada constante, estando, pois, relacionada a não-linearidade. Sua expressão matemática será apresentada no item 2.2.1;

- iii. Faixa dinâmica nas entradas: consiste na razão entre a máxima amplitude ( $A_{m\acute{a}x}$ ) à entrada, limitada pela não linearidade do circuito, e a amplitude mínima ( $A_{min}$ ), limitada pelo ruído:

$$DR = \frac{A_{m\acute{a}x}}{A_{min}} \quad (2.2)$$

em que, DR = *Dynamic Range*

- iv. Largura de banda de frequências;
- v. Mínima tensão de alimentação;
- vi. Potência;
- vii. Área;
- viii. Sensibilidade às variações de processo e ao descasamento de características dos componentes;
- ix. Imunidade ao ruído.

Um multiplicador pode ser realizado utilizando componentes de transcondutância programável. A Figura 2.2(a) considera um amplificador de transcondutância conceitual, no qual a corrente de saída é dada por:

$$i_o = G_{m1}V_1 \quad (2.2a)$$

em que o ganho de transcondutância  $G_{m1}$  é função da corrente de polarização  $I_{bias1}$ :

$$G_{m1} = G_{m1}(I_{bias1}) \quad (2.2b)$$

Para o transcondutor bipolar,  $G_{m1}$  é calculado por:

$$G_{m1} = \frac{I_{bias1}}{2V_t} \quad (2.2c)$$

em que  $V_t$  é a tensão térmica ( $k_B T/q$ ), sendo  $k_B$  é a constante de Boltzmann,  $T$  é temperatura absoluta e  $q$  é o valor absoluto da carga eletrônica.

A Figura 2.2 (b) ilustra o caso em que um sinal pequeno  $i_2$  é adicionado à corrente de polarização  $I_{bias1}$ . Este sinal de corrente é gerado a partir do sinal de tensão de entrada  $v_2(t)$ , por meio de um segundo amplificador de transcondutância, tal que  $i_2(t) = G_{m2} \cdot v_2(t)$ . Então, de acordo com a Figura 2.2 (c), a corrente de saída ( $i_o$ ) fica:

$$i_o(t) = G_{m1} v_1 = \frac{I_{bias1} + G_{m2} \cdot v_2(t)}{2V_t} v_1(t) \quad (2.3a)$$

Substituindo  $G_{m2} = \frac{I_{bias2}}{2V_t}$ :

$$i_o(t) = \frac{G_{m2} \cdot v_1(t) \cdot v_2(t)}{2V_t} + \frac{I_{bias1}}{2V_t} v_1(t) = \frac{I_{bias2} \cdot v_1(t) \cdot v_2(t)}{2V_t \cdot 2V_t} + \frac{I_{bias1} \cdot v_1(t)}{2V_t} \quad (2.3 b)$$

Ou, simplificando a notação:

$$i_o(t) = k_1 \cdot v_1(t) \cdot v_2(t) + k_2 \cdot v_1(t) \quad (2.3c)$$

em que  $k_1 = \frac{I_{bias2}}{4V_t^2}$  e  $k_2 = G_{m1} = \frac{I_{bias1}}{2V_t}$ .

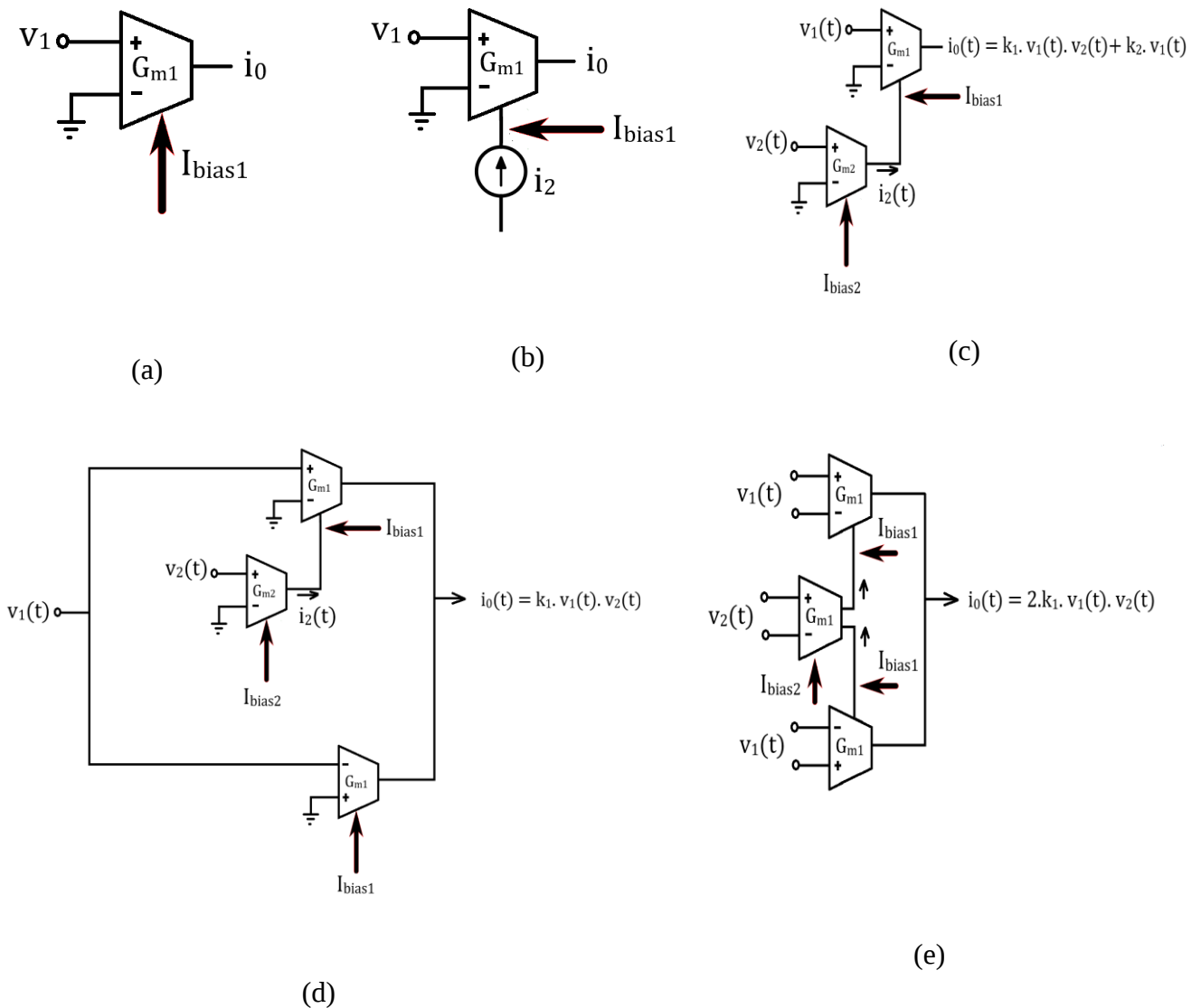
Portanto,  $i_o(t)$  representa a multiplicação de dois sinais  $v_1(t)$  e  $v_2(t)$  e uma componente indesejada  $k_2 v_1(t)$ . Esta componente pode ser eliminada, conforme a ilustração da Figura 2.2(d), na qual a corrente de saída de um terceiro amplificador de transcondutância, com ganho  $G_{m1}$  e sinal de entrada  $v_1(t)$ , é subtraído da saída. Entretanto, a melhor opção de cancelamento é alcançada quando o transcondutor de ganho  $G_{m2}$  é do tipo diferencial na entrada e na saída, enquanto os dois transcondutores de ganho  $G_{m1}$  são utilizados na forma diferencial para os sinais de entrada  $v_1$  e  $v_2$ , conforme ilustrado na Figura 2.2 (e). Neste caso,  $i_o(t)$  torna-se:

$$i_o(t) = 2k_1 \cdot v_1(t) \cdot v_2(t) \quad (2.4)$$

Este é o princípio básico de operação da Célula de Gilbert (*Gilbert Cell*) (HAN e SÁNCHEZ, 1998). O circuito da Célula de Gilbert pode ser obtido substituindo os transcondutores ilustrados na Figura 2.2(e) por pares diferenciais de Transistores Bipolares de Junção (TBJ).

Um problema que os projetistas encontram com frequência é como selecionar a melhor arquitetura de multiplicador para as aplicações por eles visadas. Normalmente, as propostas de multiplicadores apresentadas em trabalhos científicos não são em geral comparadas com outras, o que dificulta esta escolha, como reportado em (HAN e SÁNCHEZ, 1998), mas ainda constatado em publicações mais recentes.

Figura 2.2 – Operação do multiplicador utilizando transcondutor programável



Fonte: [HAN e SÁNCHEZ, 1998]

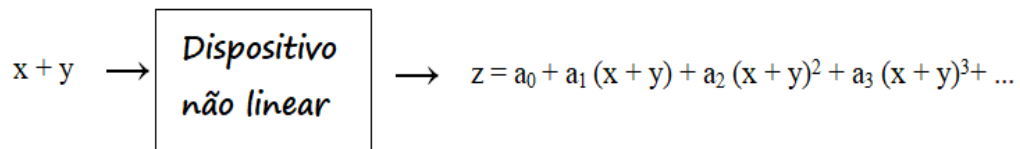
### 2.1.1 Modos de operações e topologias de circuitos

Segundo (HAN e SÁNCHEZ, 1998), os multiplicadores podem ser divididos em dois grupos com base na região de operação dos dispositivos empregados. Deve-se enfatizar que a topologia do núcleo fundamental do multiplicador é a mesma para muitos dos multiplicadores. A classificação dos multiplicadores é feita de acordo com diferentes critérios, como região de operação do transistor, esquemas de cancelamento e método de injeção de sinal (HAN e SÁNCHEZ, 1998). Esta classificação continua atual, de acordo com a revisão bibliográfica levada a efeito no presente trabalho.

Os princípios que regem a operação de multiplicadores analógicos são:

- i. Por dispositivo não linear: em que, conforme a ilustração da Figura 2.3 o termo desejado na saída está embutido no termo de 2ª ordem:  $a_2(x + y)^2 = a_2.x^2 + 2.a_2x.y + a_2y^2$ .

Figura 2.3 – Dispositivo não linear



A combinação de estruturas como esta e um esquema de cancelamento garante a eliminação dos termos indesejados;

- ii. Por transcondutância programável (Célula de Gilbert).

Esquemas de cancelamento: são utilizados em combinação com núcleos de multiplicadores com duas finalidades:

- a. Eliminação das componentes indesejadas naturalmente geradas pelos núcleos multiplicadores que seguem os princípios de operação por dispositivo não linear ou por transcondutância programável.
- b. Realização da multiplicação em quatro quadrantes: como normalmente é necessário acrescentar sinais de polarização aos sinais que devem ser multiplicados para aplicá-los a um núcleo multiplicador de um quadrante, podem-se combinar as saídas de quatro núcleos de um quadrante em um esquema de cancelamento para eliminar termos oriundos destes sinais de polarização.

De acordo com (HAN e SÁNCHEZ, 1998), dois métodos de cancelamento são identificados:

- Método de cancelamento baseado em núcleos de multiplicadores de um quadrante, ilustrado na Figura 2.4:

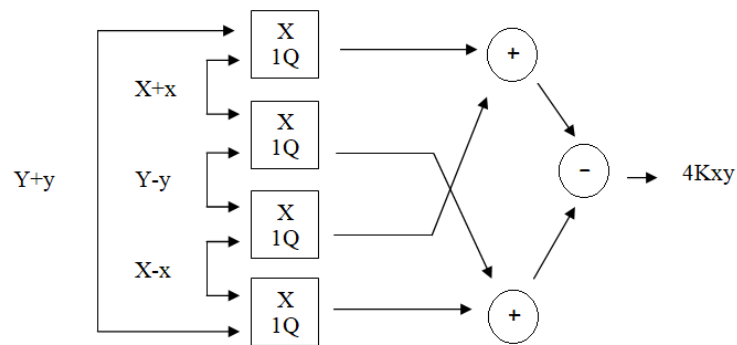
Neste caso:

$$z = K(X+x)(Y+y) + K(X-x)(Y-y) - K(X-x)(Y+y) - K(X+x)(Y-y) \quad (2.5.a)$$

$$z = K[XY + xy + Xy + Yx + XY + xy - Xy - Yx] + \\ -K[XY - xy + Xy - Yx + XY - xy - Xy - Yx] \\ z = K[2XY + 2xy] - K[2XY - 2xy] = 4Kxy \quad (2.5.b)$$

Note-se que as componentes de polarização são eliminadas.

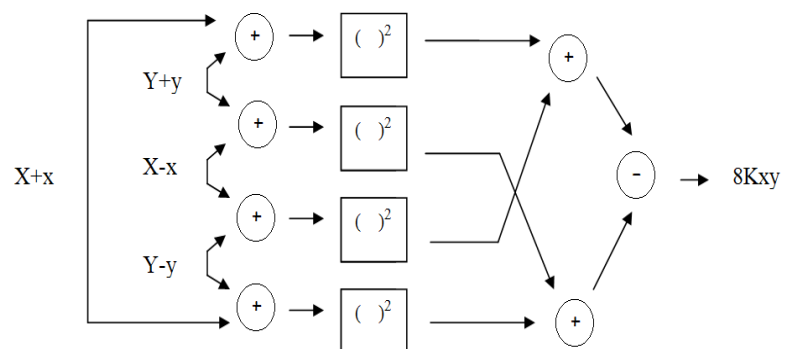
Figura 2.4 – Esquema de cancelamento baseado em núcleos multiplicadores de um quadrante



Fonte: [HAN e SÁNCHEZ, 1998]

- Esquema baseado em núcleos quadradores, ilustrado na Figura 2.5.

Figura 2.5 – Esquema de cancelamento baseado em núcleos quadradores



Fonte: [HAN e SÁNCHEZ, 1998]

Neste caso:

$$z = K (X + x + Y + y)^2 + K (X - x + Y - y)^2 + \\ -K (X - x + Y + y)^2 + K (X + x + Y - y)^2 \quad (2.6.a)$$

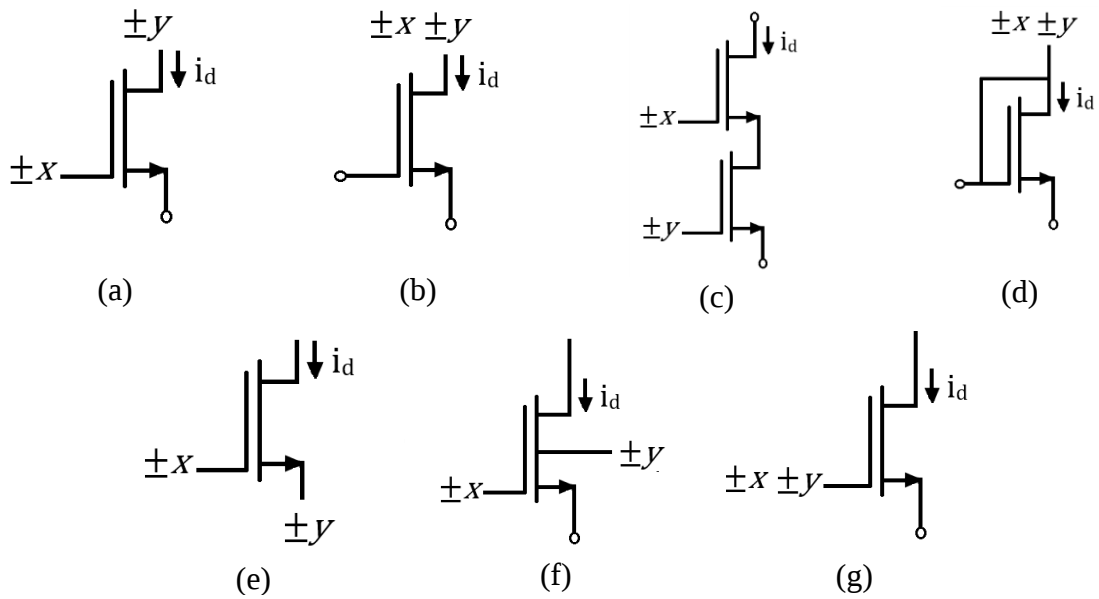
$$z = K [X^2 + 2Xx + x^2 + 2XY + 2xy + 2Yx - 2Xy + Y^2 + 2Yy + y^2] + \\ + K [X^2 - 2Xx + x^2 + 2XY + 2xy - 2Yx - 2Xy + Y^2 - 2Yy + y^2] + \\ -K [X^2 - 2Xx + x^2 + 2XY - 2xy - 2Yx + 2Xy + Y^2 - 2Yy + y^2] + \\ -K [X^2 + 2Xx + x^2 + 2XY - 2xy + 2Yx - 2Xy + Y^2 - 2Yy + y^2] \quad (2.6.b)$$

$$z = K [2X^2 + 2x^2 + 4XY + 4xy + 2Y^2 + 2y^2] + \\ -K [2X^2 + 2x^2 + 4XY + 4xy + 2Y^2 + 2y^2] = 8Kxy \quad (2.6.c)$$

As topologias ilustradas na Figura 2.4 e na Figura 2.5 efetuam a multiplicação e simultaneamente o cancelamento de todos os componentes de alta ordem e de modo comum.

A Figura 2.6 ilustra os métodos de aplicação dos dois sinais de entrada ( $x$  e  $y$ ) no caso de se utilizar um MOSFET. O pequeno círculo no terminal do transistor representa a tensão de polarização fixa, e  $x$  e  $y$  são sinais de tensão variáveis no tempo. O primeiro, dos três métodos são utilizados para transistores operando em sua região linear e os outros dois são para transistores operando em saturação.

Figura 2.6 – Metodos de injeção de sinal em tensão



Os multiplicadores podem operar com entradas em modo tensão, em modo tensão-corrente ou em modo corrente e diversas podem ser as implementações de suas arquiteturas. Com o intuito de proporcionar uma visão geral de como os multiplicadores analógicos em tecnologia CMOS são inovados em diversos trabalhos, segue uma breve compilação de algumas publicações científicas na área. Os critérios utilizados para avaliar distorção, quando for o caso, são também indicados:

- Em (HASAN, 2005) um novo multiplicador de quatro quadrantes em tecnologia CMOS de  $0,18\ \mu\text{m}$  é proposto, com projeto escalável, faixa de variação do sinal grande e ampla largura de banda, permitindo aplicações numerosas em processamento de sinais de comunicação. O multiplicador opera em uma faixa de tensão ajustável para tensão de alimentação entre  $3,3\ \text{V}$  e  $1\ \text{V}$ , com a faixa dinâmica da entrada máxima de  $500\ \text{mV}$ , no caso de tensão de alimentação de  $3,3\ \text{V}$ . Apresenta um valor de THD típico em torno de  $-56\ \text{dB}$ .
- Em (HUANG et al, 2006) uma estrutura nova de circuito para multiplicador analógico de quatro quadrantes em tecnologia CMOS é apresentada, em que a técnica de realimentação ativa é utilizada para se obter alta linearidade e uma ampla faixa dinâmica de entrada. Os resultados simulados mostram que o multiplicador proposto pode oferecer uma faixa dinâmica de entrada de  $\pm 1,8\ \text{V}$ , e para a tensão de alimentação de  $\pm 2,5\ \text{V}$ , sendo esses valores muito maiores do que nos multiplicadores analógicos em tecnologia CMOS convencionais. Para analisar o nível de distorção no circuito foi utilizada uma das figuras de mérito clássicas, a THD.
- Em (AL-ABSI et al, 2012) é proposto um novo multiplicador analógico CMOS em modo corrente. O projeto é baseado na operação do MOSFET na região de sublimar, para reduzir a dissipação de potência a um mínimo. O multiplicador proposto trabalha com tensões DC de alimentação de  $\pm 0,75\ \text{V}$ . O nível de distorção no circuito é analisado por meio da THD, a qual é  $0,7\ \%$  e o erro de linearidade máximo é de  $0,3\ \%$ .
- Em (SANTANA et al, 2012) uma nova arquitetura de multiplicador analógico de quatro quadrantes em tecnologia CMOS IBM  $0,13\ \mu\text{m}$  é apresentada, com tensões de alimentação de  $\pm 0,6\ \text{V}$ . Ele é baseado no comportamento do MOSFET na região linear (dispositivo de entrada),

podendo todos os dispositivos operar de inversão fraca a forte. O multiplicador proposto possui uma entrada em tensão e a outra em corrente e a saída em corrente. A Distorção Harmônica Total (THD) foi avaliada por meio de simulação, tendo-se observado valores inferiores a aproximadamente  $-43$  dB (0,7%) para toda a gama de tensões de entrada, mantendo-se constante a corrente de entrada, e valores inferiores a  $-34$  dB (2%) para todo o intervalo de correntes de entrada, mantendo-se constante a tensão de entrada. O multiplicador proposto é adequado para implementação de sinapses compactas para CNN e os resultados obtidos por simulação exibiram baixo consumo de energia e baixa distorção.

- Em (SAATLO et al, 2015), um novo multiplicador de quatro quadrantes baseado em uma nova configuração simétrica, projetado em tecnologia CMOS é proposto. O circuito é adequado para aplicações de baixa potência e baixa tensão. Comparado com alguns trabalhos análogos publicados, as faixas dinâmicas de entrada e saída do circuito são melhoradas pelo fato de que os dispositivos operam na região de saturação, mas não em inversão fraca. Uma grande vantagem desse circuito é a alta precisão. A sua tensão de alimentação é de 1,5 V, a faixa de variação da entrada é de  $\pm 400$  mV, a potência total é de 44  $\mu$ W e a não-linearidade é abaixo de 1,5%.
- Em (SATAPATHY et al, 2015) um somador de tensão de cinco transistores, consistindo de um seguidor de tensão do tipo *flipped*, projetado para trabalhar com uma baixa tensão de alimentação, é utilizado como bloco de construção principal no projeto do multiplicador analógico. Quatro dessas células foram usadas para polarização e processamento dos sinais. Este multiplicador foi projetado usando a tecnologia CMOS GPDK de 90 nm, assumindo tensão de alimentação de 1 V. No pior caso, o multiplicador apresenta 178  $\mu$ W de potência e trabalha satisfatoriamente até 454,56 MHz com menos de 1,5% de distorção harmônica total (THD).
- Em (BAHARMAST et al, 2016) multiplicadores analógicos em tecnologia CMOS em modo corrente são brevemente revisados e categorizados e um novo multiplicador analógico de quatro quadrantes é proposto. A nova estrutura do circuito é baseada em laços translineares (do inglês: *translinear loops*) e é empregada em três novos circuitos quadradores

compactos. As vantagens do circuito proposto são: estrutura mais simples, baixa potência (89,2  $\mu\text{W}$ ), baixa THD (1,01%), grande largura de banda (840 MHz) e resistência de entrada independente da corrente de entrada.

- Em (RENGE et al, 2016) é apresentado um multiplicador de quatro quadrantes em modo corrente, constituído de quatro circuitos quadradores, que, de acordo com os autores, consistem de espelhos de corrente operando a uma tensão de alimentação de 2 V. No projeto do circuito proposto, todos os transistores das células quadradoras estão operando na região de saturação. A potência do multiplicador é de 146,48  $\mu\text{W}$ . Os parâmetros utilizados para a otimização do desempenho do multiplicador proposto são: elevada faixa do sinal de entrada, baixa tensão de alimentação e baixa potência. Nenhuma análise para avaliar a distorção no multiplicador foi apresentada.
- Em (TIJARE e DAKHOLE, 2017) foram relatadas duas diferentes implementações de circuitos multiplicadores analógicos de quatro quadrantes em tecnologia CMOS, ambas em modo corrente. Quadradores de corrente e laços translineares são blocos básicos nestas estruturas, que são embasadas por equações matemáticas e são de fácil realização. As estruturas dos multiplicadores propostos foram projetadas em tecnologia CMOS de 180 nm com tensões de alimentação de 1,8 V e 1,2 V. Elas apresentam, respectivamente, larguras de banda de 493 MHz e 75 MHz e potências de 146,78  $\mu\text{W}$  e 36,08  $\mu\text{W}$ . Nenhuma análise para avaliar a distorção no multiplicador foi apresentada.
- Em (BAXEVANAKIS e SOTIRIADIS, 2017) é apresentado um multiplicador de quatro quadrantes em tecnologia CMOS, visando servir como bloco autônomo para processamento de sinais de baixa frequência. O principal propósito do circuito é reduzir o ruído na saída por meio de um *chopper* de estabilização, enquanto a operação do multiplicador é baseada no princípio translinear. A técnica de *chopper* de estabilização tem sido bastante utilizada em amplificadores para suprir o *offset* DC e reduzir o ruído de baixas frequências. Foi utilizada a linearidade para avaliar a distorção do multiplicador.
- Em (ALTHOMALI, 2017) é proposto um novo multiplicador EPDM (“*Exponential Pulse Decay Modulation Technique*”) baseado na técnica

de carga dinâmica. A estrutura alternativa de multiplicador EPDM proposta neste trabalho utiliza resistores emulados pela dupla configuração diferencial MOS (do inglês: *double MOS differential configuration*). Estes resistores ativos compreendem dispositivos casados polarizados na região triodo e possibilitam um aumento da linearidade de saída. A técnica proposta remove as influências das tensões substrato-fonte e dreno-fonte sobre a resistência do circuito, levando em consideração os efeitos da modulação do comprimento do canal. Este novo multiplicador é adequado para várias arquiteturas de redes neurais analógicas VLSI. Nenhuma análise para avaliar a distorção no multiplicador foi apresentada.

- Em (ALLOUI et al, 2018), reporta-se que, devido ao uso recorrente dos multiplicadores analógicos em processamento de sinais analógicos, muitos estudos foram realizados e desenvolvidos para se obter multiplicadores de alto desempenho. Esse artigo apresenta um multiplicador analógico de quatro quadrantes em modo corrente, sendo ele baseado nas características da lei quadrática do transistor MOS em região de saturação. As características do circuito multiplicador proposto são analisadas por meio do simulador ELDO, com a tecnologia CMOS de 0,18  $\mu\text{m}$  e com uma tensão de alimentação de  $\pm 0,75\text{ V}$ . Os resultados do multiplicador analógico mostram que a potência máxima é de 0,8 mW e a THD é de 1,2 % em 1 MHz.
- Em (PAWARANGKOON e SAWIGUN, 2018) é apresentado um multiplicador de quatro quadrantes de baixas potência e tensão. A estrutura proposta, utiliza seis transistores e duas fontes de corrente para formar uma conexão de acoplamento cruzado de quatro células exponenciais excitadas pelo terminal de substrato. O circuito é simulado no CADENCE e utiliza a tecnologia CMOS de 0,35  $\mu\text{m}$ , com potência de 480 nW e tensão de alimentação de 0,8 V. Os componentes harmônicos indesejados localizam-se 54,77 dB abaixo das componentes fundamentais.
- Em (CRACAN et al, 2018), apresenta-se uma estrutura baseada em um transistor MOS polarizado em inversão fraca que pode ser utilizada para construir multiplicadores analógicos, divisores, entre outras aplicações. O circuito proposto, produz na saída uma corrente proporcional à tensão

porta-fonte ( $V_{GS}$ ), que possui, inversamente uma dependência logarítmica da corrente de dreno, a qual é configurada como a corrente de entrada. As operações lineares no domínio logarítmico correspondem a exponenciação, multiplicação ou divisão no domínio antilogarítmico. Nenhuma análise para avaliar a distorção no multiplicador foi identificada.

- Segundo (KANAPYANOV e KRESTINSKY, 2018), circuitos multiplicadores analógicos em tecnologia CMOS convencionais, utilizados em diferentes arquiteturas, apresentam problemas de linearidade, baixa velocidade de processamento, baixa precisão, grande área e alto consumo de energia. Uma das soluções possíveis para superar esses problemas é utilizar componentes memristivos no projeto dos multiplicadores analógicos, sendo essa a solução proposta pelo artigo. O objetivo do trabalho é comparar a potência e as características gerais dos circuitos multiplicadores que contêm os componentes memristivos com os circuitos multiplicadores convencionais. O circuito proposto é projetado usando tecnologia TSMC CMOS de 180 nm e as simulações foram realizadas no SPICE. Para analisar o nível de distorção no circuito, foi utilizada uma das figuras de mérito clássicas, a THD.
- Em (BOONCHU, 2018) é apresentado um multiplicador analógico de quatro quadrantes, com baixa tensão e baixa potência. O projeto é baseado num amplificador de tensão em tecnologia CMOS operando no regime de sub-limiar e num somador de tensão. O circuito, projetado em tecnologia CMOS de 0,18  $\mu\text{m}$  pode operar com faixa de tensão de  $\pm 25$  mV nas duas entradas, com distorção harmônica de 1.3 %, tensão de alimentação de 0,8 V, consumo de potência de 0,78  $\mu\text{W}$  e largura de banda de 650 kHz.
- Em (SOUSA et al, 2019) o artigo apresenta uma arquitetura de um multiplicador analógico em tecnologia CMOS para aplicações como sinapses em redes neuronais celulares analógicas. O circuito, é composto de duas entradas em modo tensão e uma saída em modo corrente. As características de desempenho simuladas foram obtidas do projeto de circuito em tecnologia CMOS de 130 nm e incluem: tensão de entrada de  $\pm 100$  mV, potência estática de 23  $\mu\text{W}$ , uma máxima THD de -32dB e banda larga de -3 dB de 51,2 kHz.

- Em (VLASSIS et al, 2019) o artigo apresenta projetos de um quadrador de corrente e de um multiplicador de quatro quadrantes em tecnologia CMOS de  $0,18\ \mu\text{m}$ , capazes de operar com tensão de alimentação ultra baixa de  $0,5\ \text{V}$  e com potência estática muito baixa. No projeto, os dispositivos operam em inversão fraca. A largura de banda é de  $0,1\ \text{MHz}$  para os dois circuitos (quadrador e multiplicador). A distorção total harmônica (THD) no multiplicador é de  $-36\ \text{dB}$  em  $50\ \text{kHz}$ ,  $-34\ \text{dB}$  em  $80\ \text{kHz}$  e  $-32\ \text{dB}$  em  $100\ \text{kHz}$ .
- Em (DANESH et al, 2019) é proposto um circuito multiplicador analógico de quatro quadrantes em modo corrente com uma ampla faixa dinâmica, que utiliza o princípio translinear. O multiplicador proposto é projetado na tecnologia CMOS de  $65\ \text{nm}$  com os transistores operando em inversão fraca. A potência do multiplicador é de  $0,48\ \mu\text{W}$ , aferida por simulação. Ele suporta tensões na entrada de  $\pm 200\ \text{nA}$  enquanto opera com uma tensão de alimentação de  $0,8\ \text{V}$  e a THD média é de  $1,12\ \%$ .
- Em (KONGPOON, 2019) é descrito um multiplicador de corrente classe AB que apresenta boa linearidade, ganho de conversão linearmente ajustável e robustez. O multiplicador proposto é simulado utilizando a tecnologia CMOS AMS de  $0,35\ \mu\text{m}$ . Para analisar o nível de distorção no circuito, foi utilizada umas das figuras de mérito clássicas, a THD.

### 2.1.1.1 Resumo

A tabela 2.1 relaciona os artigos apresentados anteriormente com as figuras de méritos utilizadas para analisar a distorção nos circuitos multiplicadores.

Tabela 2.1 – Multiplicadores x Figuras de mérito

| <b><u>Artigo</u></b>           | <b><u>Figura de mérito</u></b> |
|--------------------------------|--------------------------------|
| HASAN, 2005                    | THD                            |
| HUANG et al, 2006              | THD                            |
| AL-ABSI et al, 2012            | THD e erro de linearidade      |
| SANTANA et al, 2012            | THD                            |
| SAATLO et al, 2015             | Não linearidade                |
| SATAPATHY et al, 2015          | THD                            |
| BAHARMAST et al, 2016          | THD                            |
| RENGE et al, 2016              | Nenhuma                        |
| TIJARE e DAKHOLE, 2017         | Nenhuma                        |
| BAXEVANAKIS e SOTIRIADIS, 2017 | Linearidade                    |
| ALTHOMALI, 2017                | Nenhuma                        |
| ALOUI et al, 2018              | THD                            |
| PAWARANGKOON e SAWIGUN, 2018   | Análise espectral              |
| CRACAN et al, 2018             | Nenhuma                        |
| KANAPYANOV e KRESTINSK, 2018   | THD                            |
| BOONCHU, 2018                  | THD                            |
| SOUSA et al, 2019              | THD                            |
| VLASSIS et al, 2019            | THD                            |
| DANESH et al, 2019             | THD                            |
| KONGPOON, 2019                 | THD                            |

## 2.2 Critérios e Métodos para Análise de Distorção

### 2.2.1 Critérios Clássicos para Análise de Distorção

A análise de distorção é um requisito obrigatório para avaliar o desempenho geral de grande parte dos circuitos analógicos. É também muito importante para circuitos integrados analógicos e mistos que utilizam a tecnologia CMOS (LACERDA et al., 2009) (ANDRADE, 2011) (SOUSA, 2010)

As figuras de mérito clássicas mais empregadas para estimar as não linearidades de um circuito são: a THD, que compreende a  $HD_n$  (distorção harmônica de enésima ordem), e a  $IM_n$  (intermodulação de enésima ordem) à qual está associado o  $IP_n$  (ponto de intermodulação de enésima ordem) (CERDEIRA et al, 2004). Uma das características desses métodos é a necessidade de realizar as medições por meio de análise espectral (ou seja, utilizando um analisador de espectros). Alternativamente, podem-se fazer medições no domínio do tempo e o posterior tratamento dos dados por análise de Fourier (LACERDA et al., 2009) (CERDEIRA et al, 2004) (ANDRADE, 2011).

A distorção de enésima ordem ( $HD_n$ ) é definida como:

$$HD_n = \frac{|C_n|}{|C_1|}, \quad (2.7)$$

onde  $C_1$  é a amplitude da componente na frequência fundamental na saída e  $C_n$  é a amplitude da enésima harmônica também na saída (CERDEIRA; ALEMÁN; ESTRADA, 2004) (ANDRADE, 2011).

A THD considera a contribuição das potências de todas as componentes harmônicas na distorção do sinal de saída, sendo calculada pela seguinte equação, na qual aparece também sua relação com a  $HD_n$ :

$$THD = \frac{\sqrt{\sum_{i=2}^{\infty} |C_i|^2}}{|C_1|} = \sqrt{\sum_{n=2}^{\infty} HD_n^2} \quad (2.8)$$

Na prática é considerado um número finito de harmônicas para o cálculo da THD, o que é razoável, uma vez que as componentes de frequências muito altas são filtradas pelo próprio sistema de banda limitada.

Com a inclusão da componente DC do sinal de saída  $C_0$ , introduzida pela característica não-linear do circuito, a definição da distorção harmônica total se modifica para (CERDEIRA; ALEMÁN; ESTRADA, 2004) (ANDRADE, 2011) (SOUSA, 2010):

$$THD_0 = \sqrt{\frac{|C_0|^2 + \sum_{i=2}^{\infty} |C_i|^2}{|C_1|^2}} \quad (2.9)$$

A intermodulação é largamente utilizada em análise de potência, amplificadores RF (radiofrequências) (PEDERSON; MAYARAM, 1991) (VAN DER HEIJDEN, 2002) e em sistemas de comunicações. É particularmente adequada para sistemas de banda estreita, para os quais as componentes harmônicas dos sinais situam-se na banda de rejeição e, por esta razão, são bastante atenuadas. Tais sistemas são considerados de distorção fraca. Contudo, quando a soma de dois ou mais sinais senoidais (tons) de frequências próximas é aplicada a uma mesma entrada de um circuito não linear de banda estreita, surgem componentes em frequências compreendidas dentro da banda de passagem. Nesse caso, o espectro de frequências do sinal de saída contém as frequências fundamentais, as harmônicas (múltiplas das fundamentais) e combinações lineares das mesmas. São as componentes nas frequências correspondentes às diferenças entre as fundamentais e entre as harmônicas que podem se inscrever na banda de passagem do sistema. Na definição de  $IM_n$ , são considerados dois sinais de entrada de frequências angulares  $\omega_1$  e  $\omega_2$  e amplitudes  $A_1$  e  $A_2$ . Existem relações fixas entre  $IM_n$  e  $HD_n$ , válidas para uma larga faixa da amplitude do sinal de entrada (CERDEIRA; ALEMÁN; ESTRADA, 2004) (ANDRADE, 2011):

- i. A intermodulação de segunda ordem, considerando as componentes de frequências  $\omega_1 \pm \omega_2$  na saída, é dada por:

$$IM_2 = 2.HD_2 \quad (2.10)$$

- ii. A intermodulação de terceira ordem utilizada para amplificadores de banda larga, considerando as componentes de frequências  $\omega_1 \pm 2\omega_2$  e  $\omega_2 \pm 2\omega_1$  na saída e admitindo  $A_1$  e  $A_2$  pequenas e iguais, é dada por:

$$IM_3 = 3.HD_3 \quad (2.11)$$

- iii. A intermodulação de terceira ordem utilizada para receptores, admitindo a amplitude  $A_1$  pequena e a amplitude do sinal de interferência  $A_2$  grande, para as componentes de frequências  $\omega_1 \pm 2\omega_2$ , é dada por:

$$IM'_3 = 3.HD_3 \left( \frac{A_2}{A_1} \right)^2 \quad (2.12a)$$

Por outro lado, para as componentes de frequências  $\omega_2 \pm 2\omega_1$ , é dada por:

$$IM''_3 = 3.HD_3 \left( \frac{A_2}{A_1} \right) \quad (2.12b)$$

O conceito de  $IP_n$ , outro parâmetro ou figura para analisar a distorção, é frequentemente utilizado em amplificadores ou circuitos de comunicação analógicos (PEDERSON; MAYARAM, 1991). Em geral está associado à  $IM_n$ . Consiste no ponto de intersecção entre as extrapolações das partes retilíneas das curvas que representam a potência de saída da componente em uma das frequências de entrada e a potência da enésima componente de intermodulação, traçadas contra a potência de entrada da componente em uma das frequências de entrada, ambas em escalas logarítmicas. Portanto, é um ponto com coordenadas do tipo potência de saída e potência de entrada. O mais utilizado é o  $IP_3$ . Quando traduzido em termos de amplitudes de tensões (supostas iguais entre os dois tons de entrada), o ponto de intersecção de enésima ordem é designado  $VIP_n$  (CERDEIRA et al, 2004).

### 2.2.2 Distorção Harmônica Total com Sinais Senoidais nas Duas Entradas – $THD_{2in}$

As análises realizadas pela figura de mérito clássica da THD consistem em aplicar um sinal senoidal em apenas uma das entradas do multiplicador, a outra sendo mantida constante, logo, avalia-se tão somente o nível de linearidade da resposta dos circuitos a uma das entradas separadamente. É razoável supor que para analisar o grau de distorção de um multiplicador analógico de forma mais confiável e segura, deva-se considerar variações nos dois sinais de entrada ao mesmo tempo (GONÇALVES, 2015) (LACERDA et al, 2009)

A equação que descreve a operação de um multiplicador ideal é:

$$Z_{ideal} = K.x.y \quad (2.13)$$

onde  $Z_{ideal}$  é o sinal de saída ideal,  $x$  e  $y$  são os sinais de entrada e  $K$  é a constante de multiplicação (ganho).

Na presença de não idealidades, o sinal de saída  $z$  de um multiplicador de duas entradas pode ser expandido em série de potências (LACERDA et al, 2009) (ANDRADE, 2011):

$$z = \sum_{m=1}^{m \rightarrow \infty} \left[ \frac{1}{m!} \sum_{r=0}^m \binom{m}{r} \frac{\partial^m z}{\partial x^r \partial y^{m-r}} x^r y^{m-r} \right] \quad (2.14)$$

Aplicando-se tons diferentes,  $f_1$  e  $f_2$ , nas duas entradas do multiplicador ideal, devem resultar na saída apenas duas componentes de frequências: uma na soma das frequências,  $f_1 + f_2$ , e outra na diferença entre as frequências,  $f_1 - f_2$ . Havendo distorção, outras combinações lineares desses dois tons devem aparecer na saída:  $a.f_1 + b.f_2$ , sendo  $a$  e  $b$  números inteiros, tais que se  $|a| = 1$ ,  $|b| \neq 1$  e vice-versa, e de tal modo que cada combinação resulte em um número real não negativo (GONÇALVES, 2015).

O número de componentes de frequências  $a.f_1 + b.f_2$  que podem aparecer dentro da banda do multiplicador pode ser muito grande, tornando o processo de detecção por análise espectral difícil e fastidioso (LACERDA et al., 2009). Por exemplo, consideremos o caso em que o multiplicador tenha uma banda de passagem de 1 MHz e as frequências dos sinais de entrada sejam:  $f_1 = 2$  kHz e  $f_2 = 13$  kHz. Neste caso, o número de componentes presentes na banda do multiplicador pode chegar a 1000, sendo que nem todas apresentam potência significativa o bastante para serem discriminadas do ruído, mas não se pode saber *a priori* quantas e quais.

De acordo com (GONÇALVES 2015), a definição da distorção harmônica total considerando sinais senoidais nas duas entradas de um multiplicador analógico, então designada  $THD_{2in}$ , é dada por:

$$THD_{2in} = \sqrt{\frac{\sum_a^{\pm\infty} \sum_b^{\pm\infty} A_{a,b}^2}{A_{1,1}^2 + A_{-1,1}^2}} \quad (2.15)$$

em que  $A_{a,b}$  é a amplitude da componente do sinal de saída na frequência  $a.f_1 + b.f_2$ , excluindo-se a frequência zero. Note-se que  $A_{1,1}$  e  $A_{-1,-1}$  são as amplitudes das únicas componentes presentes na saída do multiplicador ideal.

## **2.2.3 Métodos da Função Integral - IFM**

### **2.2.3.1 Função Não Linear Integral - INLF**

Um critério mais recente para avaliação da linearidade é a INLF (CERDEIRA et al, 2001), (CERDEIRA et al, 2004), utilizada em vários trabalhos, seja para o caso de dispositivos ou de circuitos. Pelo fato de a INLF ser obtida diretamente das características DC dos elementos sob teste, este critério dispensa os procedimentos de análise espectral direta ou de análise temporal seguida da aplicação de análise de Fourier, ambos comprometidos pelas limitações em frequência dos instrumentos de medida e pela presença de ruído do sinal AC. Particularmente, a análise espectral ainda está sujeita à interferência humana, pois demanda a busca de todas as componentes de frequência de potência significativa na resposta AC do circuito, o que depende da percepção subjetiva na discriminação entre sinal e ruído.

A INLF é obtida a partir de integração da característica DC de um circuito e pode ser aplicada a dispositivos e a circuitos, tanto em modo de corrente como em modo tensão.

### **2.2.3.2 Função Não Linear Integral em Duas Dimensões – 2D-INLF**

O método da 2D-INLF, contribuição de (GONÇALVES, 2015)(LACERDA et al, 2009)(GONÇALVES et al, 2016)(GONÇALVES et al, 2019), é uma extensão do conceito da INLF para sistemas de duas entradas, que envolve a variação dos sinais nestas duas entradas simultaneamente, realizando uma avaliação mais abrangente das não linearidades do circuito (LACERDA et al, 2009). É definida particularmente para o caso de circuitos multiplicadores analógicos, embora possa ser definida para outros sistemas de duas entradas dos quais se conheça a função de transferência ideal.

Diferentemente da INLF, na 2D-INLF, uma integral dupla é realizada ao longo de uma superfície, sendo que cada entrada é representada em um eixo do sistema de coordenadas. A superfície de transferência ideal no caso de multiplicadores é dada

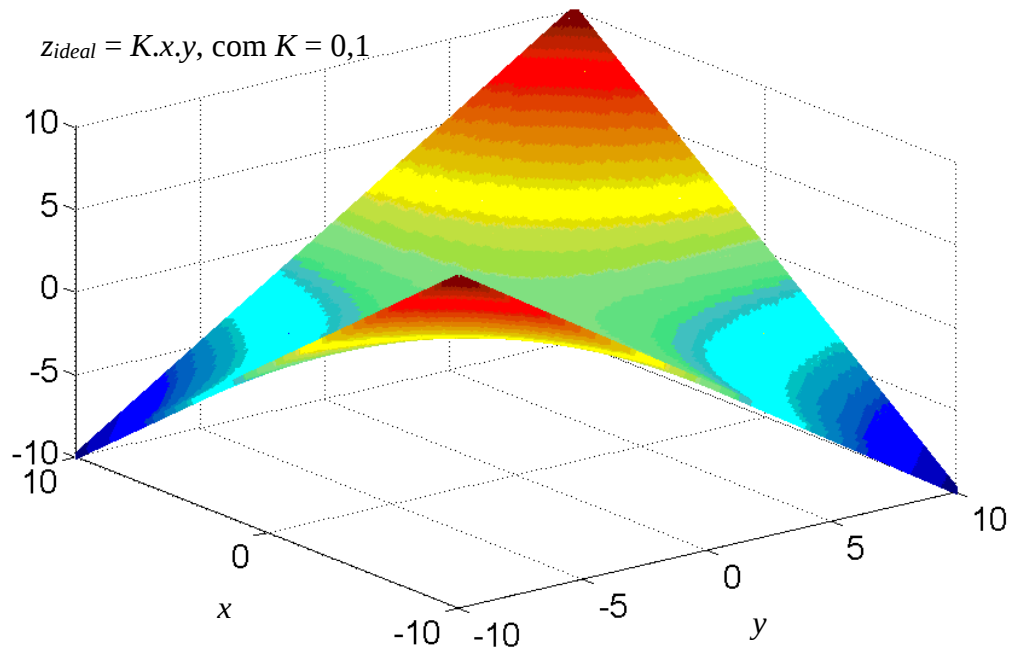
analiticamente por (2.13). Esta superfície tem a forma de um parabolóide hiperbólico, conforme a ilustração da Figura 2.19

A definição da função não-linear integral em duas dimensões (2D-INLF) para o caso de multiplicadores de um quadrante é, na forma normalizada:

$$2D-INFL = \frac{\int_0^{y_{max}} \int_0^{x_{max}} |z - K.x.y|.dx.dy}{\int_0^{y_{max}} \int_0^{x_{max}} K.x.y.dx.dy} \quad (2.16)$$

Em (2.16),  $x_{max}$  e  $y_{max}$  são os limites superiores dos sinais de entrada e  $z$  é o sinal de saída real do multiplicador (ANDRADE, 2011).

Figura 2.7– Representação da superfície característica de transferência de um multiplicador analógico ideal (parabolóide hiperbólico), para o caso de constante de multiplicação igual a 0,1.



Fonte: [GONÇALVES, 2015].

De acordo com (2.16), medições DC devem fornecer a superfície experimental em função dos sinais aplicados a ambas as entradas. Esta superfície experimental deve ser decrementada da superfície do parabolóide hiperbólico que representa a operação do

multiplicador ideal. O valor absoluto desta diferença é então duplamente integrado em relação aos valores dos sinais de entrada e normalizado em relação ao volume compreendido entre a superfície ideal e o plano  $x$ - $y$ , gerando desta forma a 2D-INLF. (GONÇALVES, 2015, 2016)

A definição da 2D-INLF apresentada em (GONÇALVES, 2015, 2016) é ligeiramente diferente daquela apresentada em (LACERDA et al., 2009), na qual é determinado o valor absoluto do volume entre as superfícies experimental e ideal (integral dupla da diferença entre as superfícies). Este volume pode resultar positivo ou negativo, conforme a superfície experimental se situe acima ou abaixo da superfície ideal. Isto poderia gerar pontos de inflexão da função módulo, portanto, um comportamento visivelmente não monotônico da 2D-INLF. A estratégia aqui proposta de realizar a integração do valor absoluto da diferença entre as superfícies permite suavizar a variação da 2D-INLF com as amplitudes na entrada. Isto ocorre porque a integração atua como um filtro sobre as inflexões da função módulo.

Além disto, a definição em (2.16) pode ser facilmente estendida para multiplicadores de quatro quadrantes, sem necessidade de translação da origem do sistema como efetuado em (LACERDA et al., 2009), resultando em:

$$2D-INFL = \frac{\int_{y_{\min}}^{y_{\max}} \int_{x_{\min}}^{x_{\max}} |z - K.x.y|.dx.dy}{\int_{y_{\min}}^{y_{\max}} \int_{x_{\min}}^{x_{\max}} |K.x.y|.dx.dy}, \quad (2.17)$$

onde  $x_{\min}$  e  $y_{\min}$  são os valores mínimos dos sinais de entrada, que podem ser negativos.

### 2.3 Expressões Teóricas das Figuras de Distorção em termos dos Coeficientes de Distorção

As definições da THD,  $THD_{2in}$  e 2D-INLF, podem ser relacionadas com os coeficientes de distorção de um determinado circuito multiplicador analógico que apresente uma ordem de não linearidade  $N > 1$ , de modo que a saída  $z$  possa ser expressa como um somatório de potências das entradas  $x$  e  $y$ :

$$z = \sum_{n=0}^N \sum_{m=0}^{N-n} a_{mn} x^m y^n \quad (2.18.a)$$

Em (2.18.a), tratando-se de um circuito multiplicador, o termo  $a_{11}x.y$  predomina no somatório e seria o único termo presente no caso ideal.  $a_{mn}$  com  $m$  e  $n$  inteiros não simultaneamente iguais a 1 são os coeficientes de distorção e  $a_{11}$  é o ganho ideal do multiplicador.

Assumindo uma distorção de 5ª ordem na característica de transferência DC do multiplicador, (2.18.a) reduz-se a:

$$\begin{aligned} z = & a_{00} + a_{10}x + a_{01}y + a_{11}x.y + a_{20}x^2 + a_{02}y^2 + a_{21}x^2.y + a_{12}x.y^2 + a_{30}x^3 + a_{03}y^3 + \\ & + a_{22}x^2.y^2 + a_{31}x^3.y + a_{13}x.y^3 + a_{40}x^4 + a_{04}y^4 + a_{32}x^3.y^2 + a_{23}x^2.y^3 + \\ & + a_{41}x^4.y + a_{14}x.y^4 + a_{50}x^5 + a_{05}y^5 \end{aligned} \quad (2.18.b)$$

Para o cálculo da THD, considerando uma entrada constante e a outra senoidal, por exemplo  $y = I_y$  e  $x = I_x \text{sen}(\omega_x.t)$ , a saída  $z$  toma a forma:

$$\begin{aligned} z = & a_{00} + a_{01}I_y + a_{02}I_y^2 + a_{03}I_y^3 + a_{04}I_y^4 + a_{05}I_y^5 + (a_{10} + a_{11}I_y + a_{12}I_y^2 + a_{13}I_y^3 + a_{14}I_y^4)I_x \text{sen}(\omega_x.t) + \\ & + (a_{20} + a_{21}I_y + a_{22}I_y^2 + a_{23}I_y^3)I_x^2 \text{sen}^2(\omega_x.t) + (a_{30} + a_{31}I_y + a_{32}I_y^2)I_x^3 \text{sen}^3(\omega_x.t) + \\ & + (a_{40} + a_{41}I_y)I_x^4 \text{sen}^4(\omega_x.t) + a_{50}I_x^5 \text{sen}^5(\omega_x.t) \end{aligned} \quad (2.19)$$

Substituindo em (2.19) as identidades trigonométricas da Tabela A.1 do Apêndice A, obtêm-se as amplitudes relacionadas com a Tabela 2.2 para senos ou cossenos em frequências harmônicas presentes no sinal de saída  $z$ .

A THD em relação à entrada  $x$  é definida por:

$$\text{THD} = \frac{I_x \sqrt{64[a_{20} + a_{21}I_y + a_{22}I_y^2 + a_{23}I_y^3 + (a_{40} + a_{41}I_y)I_x^2]^2 + (4a_{30} + 4a_{31}I_y + 4a_{32}I_y^2 + 5a_{50}I_x^2)^2 I_x^2 + 4(a_{40} + a_{41}I_y)^2 I_x^4 + a_{50}^2 I_x^6}}{16(a_{10} + a_{11}I_y + a_{12}I_y^2 + a_{13}I_y^3 + a_{14}I_y^4) + 12(a_{30} + a_{31}I_y + a_{32}I_y^2)I_x^2 + 10a_{50}I_x^4} \quad (2.20)$$

Para o cálculo da THD<sub>2in</sub>, considerando duas entradas senoidais de frequências distintas,  $x = I_x \text{sen}(\omega_x.t)$  e  $y = I_y \text{sen}(\omega_y.t)$ , a saída  $z$  toma a forma:

$$\begin{aligned} z = & a_{00} + a_{10}I_x \text{sen}(\omega_x.t) + a_{01}I_y \text{sen}(\omega_y.t) + a_{11}I_x \text{sen}(\omega_x.t).I_y \text{sen}(\omega_y.t) + \\ & + a_{20}I_x^2 \text{sen}^2(\omega_x.t) + a_{02}I_y^2 \text{sen}^2(\omega_y.t) + a_{21}I_x^2 \text{sen}^2(\omega_x.t).I_y \text{sen}(\omega_y.t) + a_{12}I_x \text{sen}(\omega_x.t).I_y^2 \text{sen}^2(\omega_y.t) \\ & + a_{30}I_x^3 \text{sen}^3(\omega_x.t) + a_{03}I_y^3 \text{sen}^3(\omega_y.t) + a_{22}I_x^2 \text{sen}^2(\omega_x.t).I_y^2 \text{sen}^2(\omega_y.t) + \\ & + a_{31}I_x^3 \text{sen}^3(\omega_x.t).I_y \text{sen}(\omega_y.t) + a_{13}I_x \text{sen}(\omega_x.t).I_y^3 \text{sen}^3(\omega_y.t) + a_{40}I_x^4 \text{sen}^4(\omega_x.t) + a_{04}I_y^4 \text{sen}^4(\omega_y.t) + \\ & + a_{32}I_x^3 \text{sen}^3(\omega_x.t).I_y^2 \text{sen}^2(\omega_y.t) + a_{23}I_x^2 \text{sen}^2(\omega_x.t).I_y^3 \text{sen}^3(\omega_y.t) + \\ & + a_{41}I_x^4 \text{sen}^4(\omega_x.t).I_y \text{sen}(\omega_y.t) + a_{14}I_x \text{sen}(\omega_x.t).I_y^4 \text{sen}^4(\omega_y.t) + a_{50}I_x^5 \text{sen}^5(\omega_x.t) + a_{05}I_y^5 \text{sen}^5(\omega_y.t) \end{aligned} \quad (2.21)$$

Tabela 2.2 – Amplitudes das componentes de frequências da saída do multiplicador com distorção de 5ª ordem – caso de entrada senoidal e entrada constante

| Termo                     | Amplitude                                                                                                                                                                                    |
|---------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| $\text{sen}(\omega_x.t)$  | $(a_{10} + a_{11}I_y + a_{12}I_y^2 + a_{13}I_y^3 + a_{14}I_y^4)I_x +$<br>$+ (a_{30} + a_{31}I_y + a_{32}I_y^2)\frac{3}{4}I_x^3 + a_{50}\frac{5}{8}I_x^5$                                     |
| $\cos(2\omega_x.t)$       | $-(a_{20} + a_{21}I_y + a_{22}I_y^2 + a_{23}I_y^3)\frac{I_x^2}{2} +$<br>$-(a_{40} + a_{41}I_y)\frac{I_x^4}{2}$                                                                               |
| $\text{sen}(3\omega_x.t)$ | $-(a_{30} + a_{31}I_y + a_{32}I_y^2)\frac{I_x^3}{4} - a_{50}\frac{5}{16}I_x^5$                                                                                                               |
| $\cos(4\omega_x.t)$       | $(a_{40} + a_{41}I_y)I_x^4/8$                                                                                                                                                                |
| $\text{sen}(5\omega_x.t)$ | $a_{50}I_x^5/16$                                                                                                                                                                             |
| DC level                  | $a_{00} + a_{01}I_y + a_{02}I_y^2 + a_{03}I_y^3 + a_{04}I_y^4 + a_{05}I_y^5 +$<br>$+ (a_{20} + a_{21}I_y + a_{22}I_y^2 + a_{23}I_y^3)\frac{I_x^2}{2} + (a_{40} + a_{41}I_y)\frac{3}{8}I_x^4$ |

De forma análoga ao caso anterior, substituindo em (2.21) as identidades trigonométricas da Tabela A.1 do Apêndice A, obtêm-se as amplitudes relacionadas na Tabela 2.3 para senos ou cossenos em componentes de frequências do sinal de saída  $z$ .

Para o caso particular em que  $I_x = I_y = I$ , a THD<sub>2in</sub> é dada por:

$$\text{THD}_{2in} = \frac{\sqrt{\chi}}{\sqrt{8}I^2[4a_{11} + 3(a_{31} + a_{13})I]} \quad (2.22a)$$

com,

$$\begin{aligned} \chi = & 4[8a_{10}I + (4a_{12} + 6a_{30})I^3 + (3a_{32} + 3a_{14} + 5a_{50})I^5]^2 + 4[8a_{01}I + (4a_{21} + 6a_{03})I^3 + (3a_{23} + 3a_{41} + 5a_{05})I^5]^2 + \\ & + 16[2a_{20}I^2 - (a_{22} + 2a_{40})I^4]^2 + 16[2a_{02}I^2 - (a_{22} + 2a_{04})I^4]^2 + 2[4a_{21}I^3 + (3a_{23} + 4a_{41})I^5]^2 + 2[4a_{12}I^3 + (3a_{32} + 4a_{14})I^5]^2 + \\ & + [4a_{30}I^3 + (2a_{32} + 5a_{50})I^5]^2 + [4a_{03}I^3 + (2a_{23} + 5a_{05})I^5]^2 + (8a_{22}^2 + 8a_{31}^2 + 8a_{13}^2 + 4a_{40}^2 + 4a_{04}^2)I^8 + (2a_{32}^2 + 2a_{23}^2 + 2a_{41}^2 + 2a_{14}^2 + a_{50}^2 + a_{05}^2)I^{10} \end{aligned} \quad (2.22b)$$

Para avaliar a 2D-INLF deste sistema, faz-se necessário calcular a integral  $\mathcal{A}$  do módulo da diferença entre as superfícies características distorcida e ideal:

$$\begin{aligned} \mathcal{A}_1 = & \int_{y_1}^{y_2} \int_{x_1}^{x_2} \left| (a_{00} + a_{10}x + a_{01}y + a_{11}x.y + a_{20}x^2 + a_{02}y^2 + a_{21}x^2.y + a_{12}x.y^2 + a_{30}x^3 + a_{03}y^3 + \right. \\ & + a_{22}x^2.y^2 + a_{31}x^3.y + a_{13}x.y^3 + a_{40}x^4 + a_{04}y^4 + a_{32}x^3.y^2 + a_{23}x^2.y^3 + \\ & \left. + a_{41}x^4.y + a_{14}x.y^4 + a_{50}x^5 + a_{05}y^5) - Kx.y \right| dx.dy \end{aligned} \quad (2.23)$$

Tabela 2.3 – Amplitudes das componentes de frequências da saída do multiplicador com distorção de 5ª ordem – caso de duas entradas senoidais

| Termo                                 | Amplitude                                                                                                                                                   | Termo                                  | Amplitude              |
|---------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------|------------------------|
| $\text{sen}(\omega_x t)$              | $a_{10}I_x + a_{12}\frac{I_x I_y^2}{2} + a_{30}\frac{3}{4}I_x^3 + a_{32}\frac{3}{8}I_x^3 I_y^2 +$<br>$+\frac{3}{8}a_{14}I_x I_y^4 + a_{50}\frac{5}{8}I_x^5$ | $\cos[(3\omega_x + \omega_y)t]$        | $a_{31}I_x^3 I_y/8$    |
| $\text{sen}(\omega_y t)$              | $a_{01}I_y + a_{21}\frac{I_x^2 I_y}{2} + a_{03}\frac{3}{4}I_y^3 + a_{23}\frac{3}{8}I_x^2 I_y^3 +$<br>$+\frac{3}{8}a_{41}I_x^4 I_y + a_{05}\frac{5}{8}I_y^5$ | $\cos[(3\omega_y - \omega_x)t]$        | $-a_{13}I_x I_y^3/8$   |
| $\cos(2\omega_x t)$                   | $a_{20}\frac{I_x^2}{2} - a_{22}\frac{I_x^2 I_y^2}{4} - a_{40}\frac{I_x^4}{2}$                                                                               | $\cos[(3\omega_y + \omega_x)t]$        | $a_{13}I_x I_y^3/8$    |
| $\cos(2\omega_y t)$                   | $a_{02}\frac{I_y^2}{2} - a_{22}\frac{I_x^2 I_y^2}{4} - a_{04}\frac{I_y^4}{2}$                                                                               | $\cos(4\omega_x t)$                    | $a_{40}I_x^4/8$        |
| $\cos[(\omega_x - \omega_y)t]$        | $a_{11}\frac{I_x I_y}{2} + a_{31}\frac{3}{8}I_x^3 I_y + a_{13}\frac{3}{8}I_x I_y^3$                                                                         | $\cos(4\omega_y t)$                    | $a_{04}I_y^4/8$        |
| $\cos[(\omega_x + \omega_y)t]$        | $-a_{11}\frac{I_x I_y}{2} - a_{31}\frac{3}{8}I_x^3 I_y - a_{13}\frac{3}{8}I_x I_y^3$                                                                        | $\text{sen}[(3\omega_x - 2\omega_y)t]$ | $a_{32}I_x^3 I_y^2/16$ |
| $\text{sen}[(2\omega_x - \omega_y)t]$ | $a_{21}\frac{I_x^2 I_y}{4} + a_{23}\frac{3}{16}I_x^2 I_y^3 + a_{41}\frac{I_x^4 I_y}{4}$                                                                     | $\text{sen}[(3\omega_x + 2\omega_y)t]$ | $a_{32}I_x^3 I_y^2/16$ |
| $\text{sen}[(2\omega_x + \omega_y)t]$ | $-a_{21}\frac{I_x^2 I_y}{4} - a_{23}\frac{3}{16}I_x^2 I_y^3 - a_{41}\frac{I_x^4 I_y}{4}$                                                                    | $\text{sen}[(3\omega_y - 2\omega_x)t]$ | $a_{23}I_x^2 I_y^3/16$ |
| $\text{sen}[(2\omega_y - \omega_x)t]$ | $a_{12}\frac{I_x I_y^2}{4} + a_{32}\frac{3}{16}I_x^3 I_y^2 + a_{14}\frac{I_x I_y^4}{4}$                                                                     | $\text{sen}[(3\omega_y + 2\omega_x)t]$ | $a_{23}I_x^2 I_y^3/16$ |
| $\text{sen}[(2\omega_y + \omega_x)t]$ | $-a_{12}\frac{I_x I_y^2}{4} - a_{32}\frac{3}{16}I_x^3 I_y^2 - a_{14}\frac{I_x I_y^4}{4}$                                                                    | $\text{sen}[(4\omega_x - \omega_y)t]$  | $-a_{41}I_x^4 I_y/16$  |
| $\text{sen}(3\omega_x t)$             | $-a_{30}\frac{I_x^3}{4} - a_{32}\frac{I_x^3 I_y^2}{8} - a_{50}\frac{5}{16}I_x^5$                                                                            | $\text{sen}[(4\omega_x + \omega_y)t]$  | $a_{41}I_x^4 I_y/16$   |
| $\text{sen}(3\omega_y t)$             | $-a_{03}\frac{I_y^3}{4} - a_{23}\frac{I_x^2 I_y^3}{8} - a_{05}\frac{5}{16}I_y^5$                                                                            | $\text{sen}[(4\omega_y - \omega_x)t]$  | $-a_{14}I_x I_y^4/16$  |
| $\cos[(2\omega_x - 2\omega_y)t]$      | $a_{22}\frac{I_x^2 I_y^2}{8}$                                                                                                                               | $\text{sen}[(4\omega_y + \omega_x)t]$  | $a_{14}I_x I_y^4/16$   |
| $\cos[(2\omega_x + 2\omega_y)t]$      | $a_{22}\frac{I_x^2 I_y^2}{8}$                                                                                                                               | $\text{sen}(5\omega_x t)$              | $a_{50}I_x^5/16$       |
| $\cos[(3\omega_x - \omega_y)t]$       | $-a_{31}I_x^3 I_y/8$                                                                                                                                        | $\text{sen}(5\omega_y t)$              | $a_{05}I_y^5/16$       |
| DC level                              | $a_{00} + a_{20}\frac{I_x^2}{2} + a_{02}\frac{I_y^2}{2} + a_{22}\frac{I_x^2 I_y^2}{4} + a_{40}\frac{3}{8}I_x^4 + a_{04}\frac{3}{8}I_y^4$                    |                                        |                        |

O valor absoluto do volume compreendido entre a superfície característica ideal e o plano  $x$ - $y$  é dado pela integral:

$$\mathcal{J}_2 = \int_{y_{\min}}^{y_{\max}} \int_{x_{\min}}^{x_{\max}} |K.x.y| dx.dy \quad (2.23)$$

A definição da 2D-INLF normalizada, (2.17), corresponde à razão  $\mathcal{J}_1/\mathcal{J}_2$ . Por causa da função módulo nos integrandos de  $\mathcal{J}_1$  e  $\mathcal{J}_2$ , estas integrais são mais facilmente calculadas por meio de métodos numéricos.

## 2.4 Princípios de uma CNN teórica

Redes neuronais celulares (CNN, do inglês: *cellular neural networks*) consistem de matrizes de unidades de processamento de elementos, ou seja, células, em que cada uma é conectada apenas às células adjacentes (vizinhos). As CNN apresentam potencial para aplicações em diferentes tarefas de processamento de imagem, como reconhecimento de padrões, detecção de movimentos, entre outras. A propriedade de conectividade local das CNN torna a rotina fácil, permitindo o aumento da densidade celular por área de silício, no caso de realização física em circuito integrado, e tornando esses paradigmas da computação mais adequados para a implementação de circuitos do tipo VLSI (de integração em escala muito larga, do inglês: *very large scale integration*). Isto é mais pertinente para a classe importante de CNN translacionalmente invariantes (*translationally invariant*), onde todas as células internas são idênticas e o *layout* é muito regular. Além disso, o número de pesos diferentes é muito pequeno para esta classe de CNN, assim como os problemas de programação, os quais podem ser facilmente incorporados sem custo de roteamento extra significativo, apenas com a adição de várias linhas de controle, uma por peso. (VÁZQUEZ e HUERTAS, 1993)

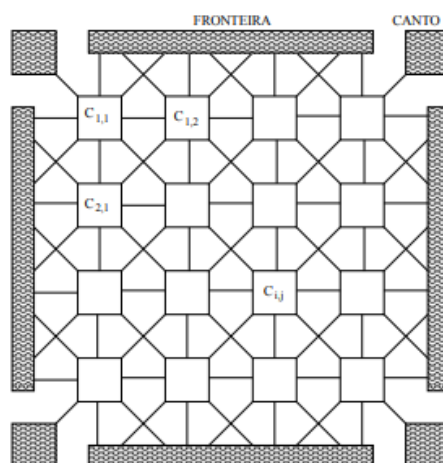
Avanços no desenvolvimento de dispositivos bioeletrônicos implantáveis nas últimas duas décadas têm despertado o interesse em circuitos integrados de processamento de sinais analógicos. Neste cenário, as redes neuronais celulares surgiram como uma técnica bastante promissora, devido à sua programabilidade e adequação para desempenho de filtragem espaço-temporal, bem como de outras funções complexas relacionadas ao processamento de matriz. A CNN analógica consiste de uma matriz densa

de células neuronais que realizam: sinapses (multiplicação analógica e somatório), integração, limitação e interação espacial com células vizinhas. (SANTANA et al, 2012)

Com base nas recentes tentativas para implementar CNN analógicas, as características desejáveis básicas dos elementos sinápticos, em geral realizados por multiplicadores analógicos, são: área pequena, baixa potência, baixa distorção, saída em modo corrente e pelo menos uma das entradas em modo tensão. Como os mesmos sinais de entrada devem ser aplicados a muitas sinapses, a disponibilidade do nó de entrada em tensão no multiplicador evita a necessidade de espelhos de corrente, que de outra forma ocorreriam em grande quantidade. Por outro lado, o somatório de numerosos sinais de saída dos multiplicadores é facilmente realizado se a saída do multiplicador for em modo corrente (SANTANA et al, 2012).

A arquitetura padrão de um CNN consiste em um arranjo retangular de células  $C_{ij}$  (conforme a ilustração da Figura 2.8), que se conectam a uma vizinhança  $S_r$  de raio  $r$  por meio de sinapses, sendo  $S_r = \{(k, l) | \max_{1 \leq k \leq M, 1 \leq l \leq N} (|k - i|, |l - j|) \leq r\}$ , para  $r, i, j, k$  e  $l$  inteiros positivos. Na Figura 2.8 são exibidas as sinapses para o caso de uma rede neuronal celular 4x4 com vizinhança usual  $S_1$  e as regiões correspondentes às condições de contorno, que podem ser definidas de diferentes formas (SANTANA, 2013).

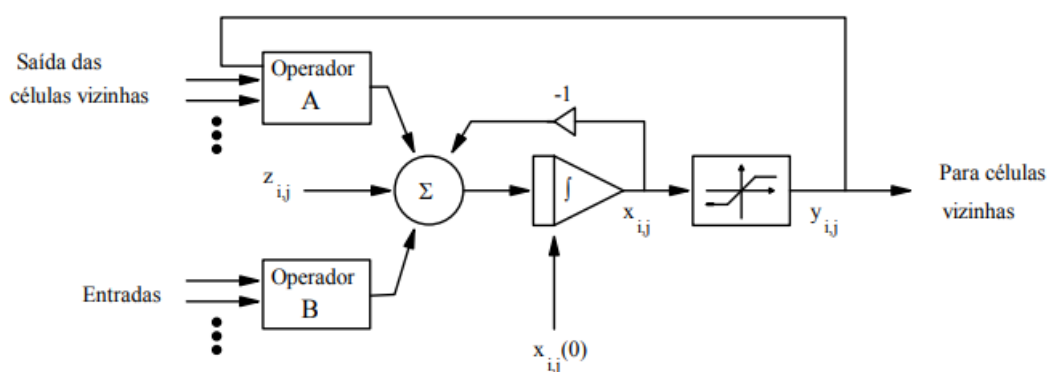
Figura 2.8 – Rede neuronal celular



Fonte: [SANTANA, 2013]

A Figura 2.9 apresenta o diagrama de blocos que representa a célula padrão de uma CNN. De acordo com este diagrama, o sinal de saída  $y_{ij}$  de uma célula resulta da aplicação de uma função limitadora ao estado  $x_{ij}$  da célula. Este por sua vez resulta de uma integração temporal do somatório de sinais ponderados por coeficientes e de um limiar  $z_{ij}$ . Os sinais de entrada da célula são ponderados pelos coeficientes que compõem o Operador B e os sinais de saída das células vizinhas e da própria célula em questão são ponderados pelos coeficientes que compõem o Operador A. Portanto, as ditas sinapses (multiplicação entre sinais e coeficientes de ponderação) estão embutidas nos blocos dos Operadores A e B.

Figura 2.9 – Diagrama de blocos de célula padrão de CNN



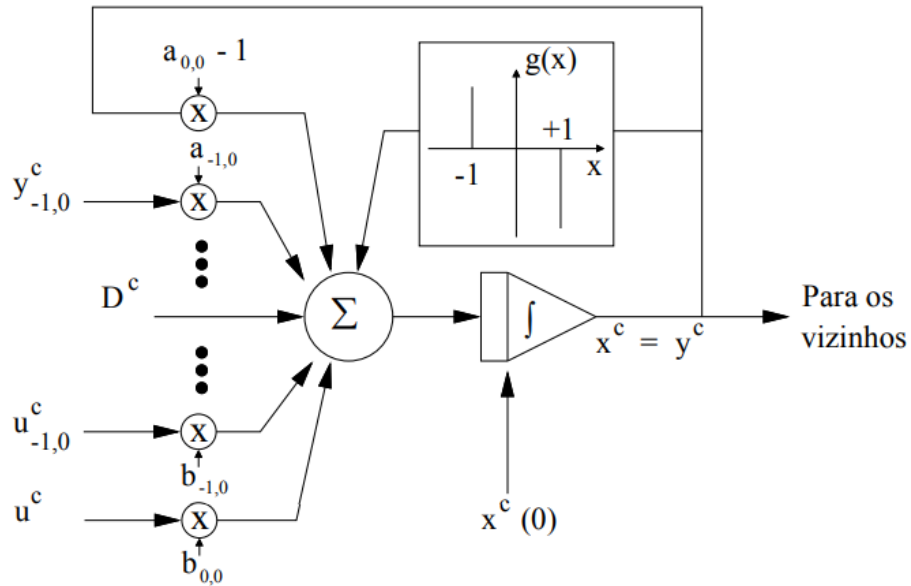
Fonte: [SANTANA, 2013]

Os operadores sinápticos são definidos por máscaras, ou seja, matrizes de dimensões  $(r + 2) \times (r + 2)$ , que dependem da função específica a ser realizada por uma CNN. No caso de operadores lineares, cada máscara consiste de uma matriz de coeficientes reais, chamados pesos. No caso da vizinhança mais simples, em que  $r = 1$ , há pelo menos 18 sinapses. Portanto, a sinapse é a operação mais frequente e seu projeto cuidadoso desempenha um papel importante na redução da complexidade dos circuitos nas implementações do tipo VLSI. Muitas aplicações são cobertas pelas CNN espaço-invariantes, para as quais as máscaras são as mesmas para todas as células, reduzindo ainda mais a complexidade dos circuitos (SANTANA et al, 2012).

### 2.4.1 Célula do tipo FSR

O modelo da célula FSR (do inglês: “*Full Signal Range*”) diferencia-se da célula padrão, citada na seção 2.4 deste capítulo, principalmente pelo fato de os valores da variável de estado estarem restritos à faixa de variação dos sinais de entrada da célula, eliminando a necessidade de um bloco limitador não linear explícito à saída da célula, conforme ilustra a Figura 2.10. Esta diferença proporciona vantagem na utilização da célula do tipo FSR sobre a célula padrão, pois estabelece que as faixas dinâmicas da variável de estado e da variável de saída são iguais, resultando na implementação de circuitos mais compactos e robustos (SANTANA, 2013).

Figura 2.10 – Diagrama de blocos para a célula do tipo FSR de CNN



Fonte: [SANTANA, 2013]

Na Figura 2.10 e em (2.25), o índice  $c$  denota uma célula genérica, o índice  $d$  denota uma posição específica na vizinhança relativa à célula  $c$ ,  $\tau$  é a constante de tempo de integração,  $x^c(0)$  é o valor inicial para a variável de estado  $x^c$ ,  $g(x)$  é uma função de grameamento,  $D^c$  é o coeficiente de limiar para a célula  $c$ , e  $\hat{A}_d^c = A_d^c$ , exceto para o elemento central da matriz:  $\hat{A}_{0,0}^c = A_{0,0}^c - 1$  (SANTANA, 2013).

## CAPÍTULO 3

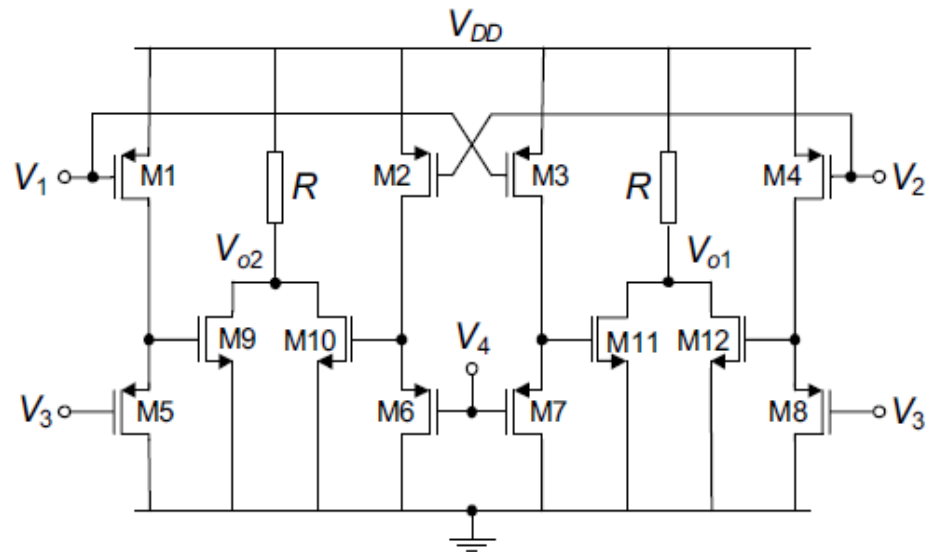
### METODOLOGIAS PARA ANÁLISE DE DISTORÇÃO EM MULTIPLICADORES

#### 3.1 Dispositivos Testados

Os métodos para determinação de figuras de mérito relacionadas à distorção, baseados em dados experimentais ou simulados, foram aplicados a quatro circuitos multiplicadores diferentes, os quais são descritos a seguir:

- Multiplicador proposto em (SAWIGUN et al, 2007) numa implementação física semi-discreta: trata-se um multiplicador analógico de quatro quadrantes em tecnologia CMOS de estrutura compacta, em modo tensão nas entradas e na saída, em que os transistores MOS são utilizados em saturação e inversão forte. As entradas do multiplicador são diferenciais,  $V_1$ - $V_2$  e  $V_3$ - $V_4$ , sendo  $V_{1-4}$  indicadas no esquemático da Figura 3.1. A saída  $v_{out} = V_{o1} - V_{o2}$  também é diferencial. Neste trabalho, o circuito baseado no multiplicador de Sawigun, como será doravante denominado, foi construído utilizando transistores MOS do circuito integrado MC14007 (compreendendo três inversores). Foi adotada alimentação simétrica de  $\pm 3,5$  V, diferente da utilizada no trabalho original, e um amplificador inversor, implementado com o circuito integrado LM348, foi conectado entre os terminais  $V_1$  e  $V_2$  e entre os terminais  $V_3$  e  $V_4$ . O valor empregado para as resistências  $R$  foi de  $5\text{ k}\Omega$ .

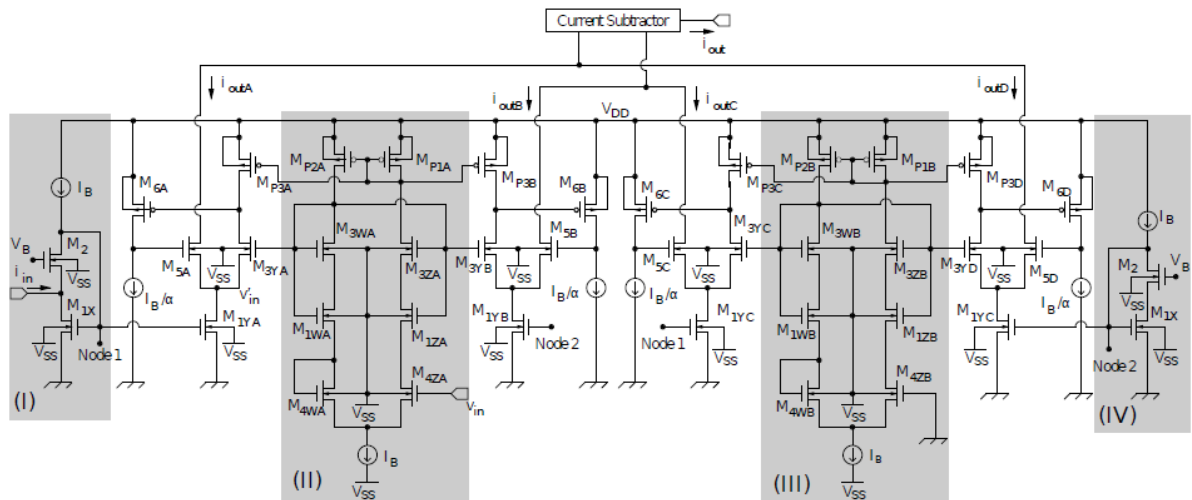
Figura 3.1 – Multiplicador proposto em (SAWIGUN; DEMOSTHENOUS e PAL, 2007)



Fonte: [SAWIGUN; DEMOSTHENOUS e PAL, 2007]

- Multiplicador proposto em (CARDOSO et al, 2018): consiste de uma nova arquitetura de multiplicador analógico de quatro quadrantes, projetado em tecnologia CMOS de comprimento mínimo igual 130 nm, e é baseado em transistores de entrada que operam na região de não saturação, podendo todos os transistores operar em regime de inversão fraca a forte. Sua tensão de alimentação simétrica pode variar de  $\pm 0,54$  V a  $\pm 0,66$  V, sendo o valor padrão  $\pm 0,60$  V. Possui uma entrada em modo corrente, a qual pode variar dentro da faixa de  $\pm 100$  nA, e outra em modo tensão, que possui uma variação dentro da faixa de  $\pm 20$  mV. Sua saída é em modo corrente. Este multiplicador, ilustrado na Figura 3.2, apresenta características desejáveis para a implementação compacta de redes neurais celulares. Doravante será designado multiplicador de Cardoso.

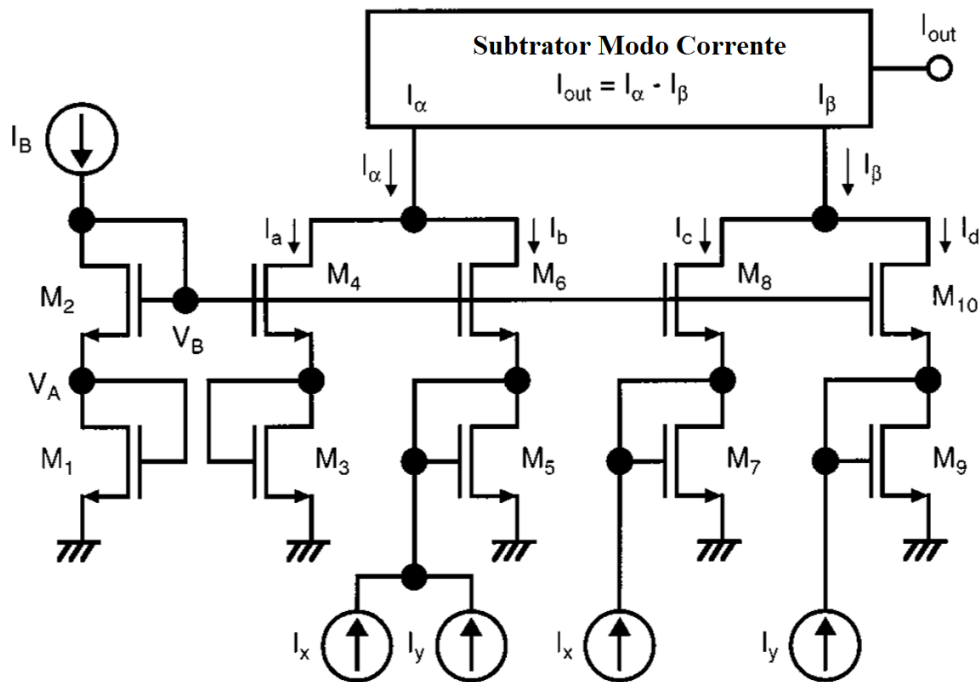
Figura 3.2 – Multiplicador de quatro quadrantes proposto em (CARDOSO; SHNEIDER e SANTANA, 2018)



Fonte: [CARDOSO; SHNEIDER e SANTANA, 2018]

- Multiplicador de quatro quadrantes proposto em (TANNO et al, 2000): é um multiplicador de quatro quadrantes em modo corrente nas entradas e na saída, baseado em características corrente-tensão que seguem a lei quadrática, relativas ao transistor MOS operando em inversão forte na região de saturação. As vantagens desse multiplicador, segundo os autores, são: a corrente de saída é independente dos parâmetros do transistor MOS e a resistência de entrada é independente da corrente de entrada. Ele opera originalmente com a tensão de alimentação de +5 V. Neste trabalho, contudo, este multiplicador foi redesenhado em uma tecnologia CMOS de comprimento mínimo igual a 130 nm, para alimentação de 1,2 V. A Figura 3.3 ilustra o multiplicador de Tanno, como será denominado no restante deste trabalho.

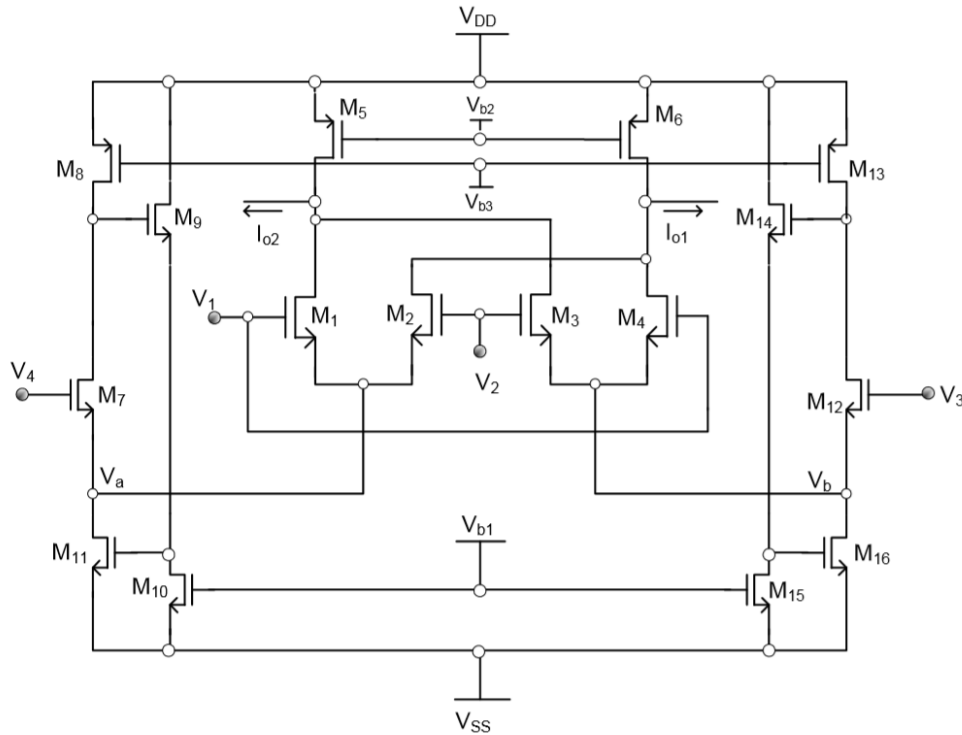
Figura 3.3-Multiplicador de quatro quadrantes em modo corrente proposto em (TANNO; ISHIZUKA e TANG, 2000)



Fonte: [TANNO; ISHIZUKA e TANG, 2000]

- O multiplicador proposto em (MAHMOUD, 2009), o qual é ilustrado na Figura 3.4, é de quatro quadrantes e foi projetado em tecnologia CMOS de 0,25  $\mu\text{m}$ , com entradas e saída diferenciais, com os transistores MOS operando na região de saturação. O consumo de potência estática é de 0,326 mW, a faixa da tensão de entrada é  $\pm 0,75$  V, com uma tensão de alimentação de  $\pm 1$  V. A largura de banda é de 16 MHz e o erro de linearidade máximo é menor do que 1 % para tensão de entrada de  $\pm 0,5$  V. Neste trabalho, o circuito baseado no multiplicador de Mahmoud, como será chamado, foi construído utilizando transistores MOS do circuito integrado CD4007 (compreendendo três inversores). Um amplificador inversor, implementado com o circuito integrado LM348, foi conectado entre os terminais  $V_1$  e  $V_2$  e entre os terminais  $V_3$  e  $V_4$ . Dois resistores de carbono de 2 k $\Omega$  foram conectados dos terminais de dreno de  $M_5$  e  $M_6$  ao terra para capturar a tensão de saída  $V_{OUT} = R(I_{O2} - I_{O1})$ , com uma tensão de alimentação simétrica de  $\pm 7$  V e tensões de polarizações  $V_{b1} = -2.7$  V e  $V_{b2} = V_{b3} = 2.7$  V

Figura 3.4 - Multiplicador de quatro quadrantes em modo corrente proposto em (MAHMOUD, 2009)



Fonte: [MAHMOUD, 2009]

A escolha dos dispositivos testados foi baseada nos seguintes argumentos: o multiplicador de Cardoso é fruto do trabalho do nosso grupo de pesquisa (LCCI) no qual alguns pesquisadores trabalham com realização analógica de CNN, buscando multiplicadores com desempenho adequado para operar como sinapses. Por isto, é importante para o grupo avaliar o grau de distorção destas arquiteturas. Os demais multiplicadores foram selecionados de um elenco de arquiteturas ensaiadas, segundo o sucesso obtido na simulação ou na prototipagem semi-discreta. Dentre estas tentativas, algumas arquiteturas fracassaram na realização da função multiplicadora. Procurou-se contemplar circuitos em modo corrente e em modo tensão, sempre em tecnologia CMOS por ser a vocação do nosso grupo de pesquisa.

## 3.2. Descrição dos Métodos para Determinação da 2D-INLF

### 3.2.1 Método experimental

O procedimento experimental para determinar a figura de mérito 2D-INLF requer a aplicação de varreduras de sinais DC nas duas entradas do multiplicador. Desta forma,

para cada valor de sinal aplicado a uma das entradas, por exemplo,  $X$ , o sinal da outra entrada,  $Y$ , sofre um ciclo completo de  $NP$  incrementos discretos. A entrada  $X$  também é incrementada  $NP$  vezes, de modo que ao final têm-se  $NP^2$  valores de sinal medidos na saída, que, relacionados aos sinais de entrada, constituem uma superfície.

Para os casos em que a 2D-INLF é determinada experimentalmente, estes  $NP^2$  pontos são medidos por meio da unidade de fonte e medição (SMU: *Source Measure Unit*) modular USB U2723A da Agilent. Conforme o manual da Agilent U2722A/U2723A *USB Modular Source Measure Units* (AGILENT TECHNOLOGIES, 2011), a SMU U2723A dispõe de três canais que podem operar como fonte ou medidor de tensão ou de corrente nos quatro quadrantes. No modo tensão, a máxima faixa de variação é de -20 V a +20 V, com resolução de 1 mV, mas pode-se trabalhar com a faixa de variação de tensão de -2 V a +2 V, para a qual a resolução é de 0,1 mV. No modo corrente, a máxima faixa de variação é de -120 mA a +120 mA, com resolução de 20  $\mu$ A, mas pode-se trabalhar com a faixa de variação de corrente de -1  $\mu$ A a +1  $\mu$ A, para a qual a resolução é de 100 pA. A SMU é utilizada juntamente com o acessório de teste paramétrico U2941A da Agilent (conforme a ilustração da Figura 3.5) (GONÇALVES, 2015, 2016).

Figura 3.5: Acessório de teste paramétrico U2941A da Agilent



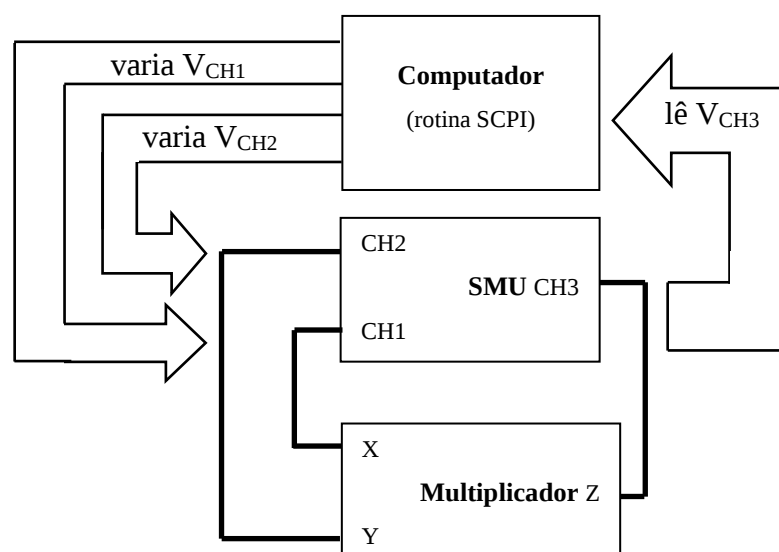
Fonte: [GONÇALVES, 2015]

Neste trabalho, apenas os multiplicadores: de Sawigun e de Mahmoud tiveram sua 2D-INLF levantada experimentalmente. Ambos consistem de multiplicadores com entradas e saída em modo tensão. Assim, dos três canais existentes na SMU, dois foram definidos para operar como fontes de tensão, sendo conectados às entradas de cada multiplicador. Por sua vez, o terceiro canal foi ajustado para operar como fonte de corrente, sendo conectado à saída do multiplicador cuja tensão seria medida. A Figura 3.6

ilustra em diagrama de blocos esta configuração de medição. Foi escrito um código executável pela ferramenta de instrumentação do *software* matemático MATLAB em linguagem SCPI (*Standard Commands for Programmable Instruments*: comandos padrões para instrumentos programáveis), com a finalidade de controlar o funcionamento da SMU. O algoritmo do código é apresentado na Figura 3.7 e a sua transcrição em linguagem SCPI encontra-se no Apêndice B (GONÇALVES, 2015, 2016).

Segundo o algoritmo da Figura 3.7,  $v1min$ ,  $v1max$ ,  $v2min$  e  $v2max$  são os limites de variação das duas entradas e  $n$  e  $m$  são as ordens das iterações correspondentes aos diferentes valores aplicados nas entradas. Os máximos valores de  $m$  e  $n$  foram assumidos iguais a  $NP$ . Foi adotada uma pausa de 100 microssegundos entre cada medição. Os dispositivos testados, multiplicador de Sawigun e multiplicador Mahmoud, foram polarizados, por meio de outras fontes, com tensões simétricas de  $\pm 3,5$  V e  $\pm 7$  V, respectivamente. Assumiu-se  $NP = 101$  para ambos multiplicadores de Sawigun e de Mahmoud. Ao final da varredura das tensões nas duas entradas, foram totalizados  $NP^2$  pontos relacionando a tensão no canal 3 com as tensões nos canais 1 e 2, constituindo a superfície a ser integrada. Foram construídas dez ou onze superfícies, uma para cada valor de  $v1max = v2max = -v1min = -v2min$ , em um intervalo de 500 mV a 1500 mV, com passo de 100 mV, para o multiplicador de Sawigun e em um intervalo de 300 mV a 1200 mV, com passo de 100 mV, para o multiplicador de Mahmoud.

Figura 3.6: Diagrama de blocos da configuração para medição das superfícies DC  $V_{CHi}$  é a tensão do canal  $CHi$ , com  $i = 1, 2, 3$



Fonte: [GONÇALVES, 2015]

Foi utilizado outro código, executável no *software* MATLAB, para calcular a 2D-INLF. Este código, apresentado no Apêndice C, é aplicável a multiplicadores de quatro quadrantes, assimétricos entre os quadrantes. Para proceder à integração numérica que permite o cálculo do valor absoluto do volume compreendido entre superfície característica ideal e o plano  $x$ - $y$ , como definido em (2.17), faz-se necessário estimar o valor do ganho  $K$  do multiplicador. No código apresentado no Apêndice B, este ganho é calculado como a média aritmética das razões entre os valores medidos de  $z$  e os correspondentes produtos entre os valores medidos de  $x$  e  $y$ , razões estas tomadas nos pontos extremos da superfície experimental nos quatro quadrantes (GONÇALVES, 2015, 2016).

### 3.2.2 Método por simulação

Segundo este método, uma superfície  $z(x, y)$  é obtida por simulação, variando  $x$  e  $y$  em toda faixa delimitada por mais e menos o fundo de escala com um número adequado de pontos. A dita 2D-INLF simulada é então calculada utilizando o código executável pelo *software* MATLAB apresentado no Apêndice C.

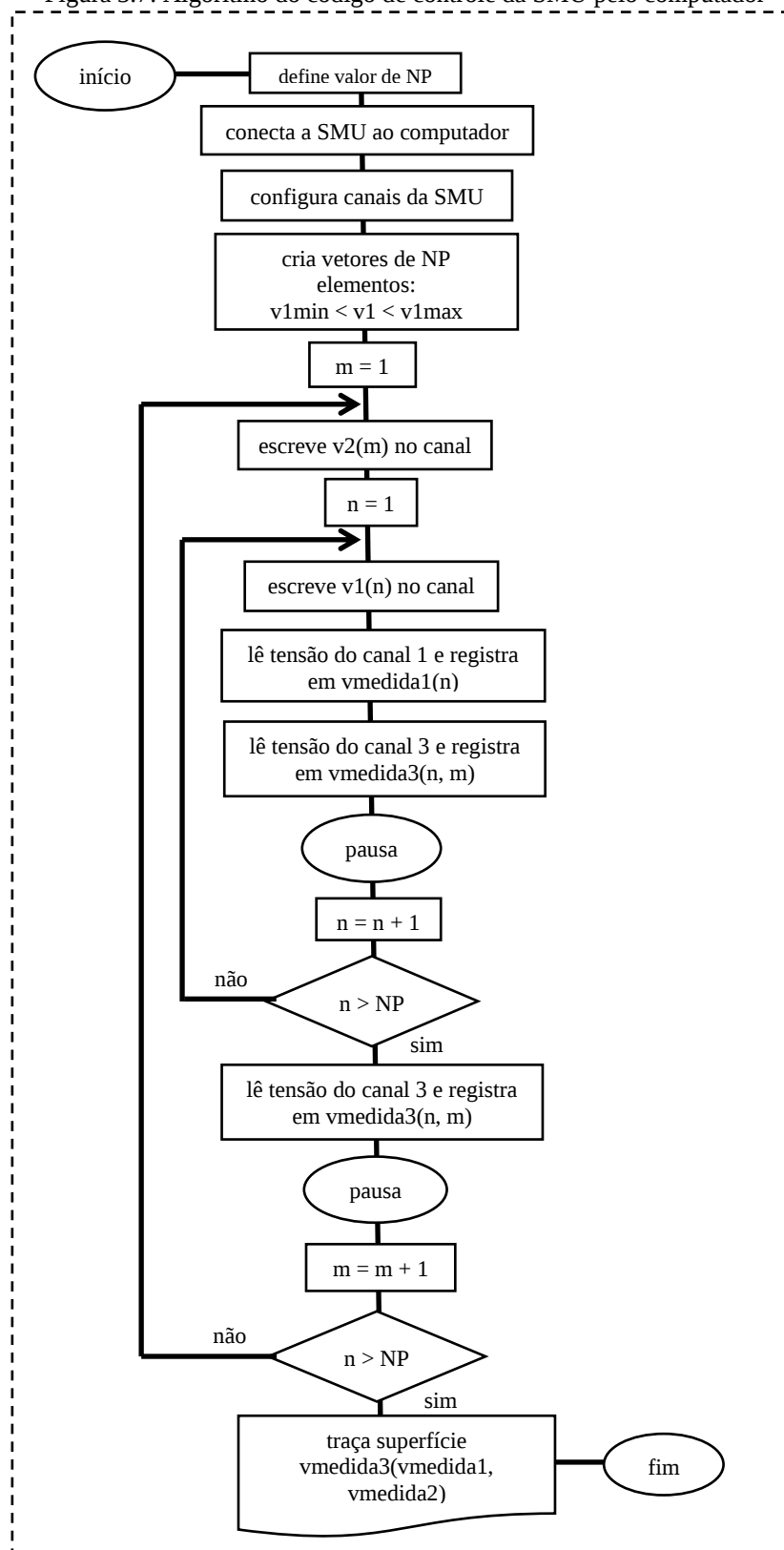
Este método foi aplicado aos multiplicadores de Cardoso e Tanno, utilizando o simulador ELDO da plataforma Mentor Graphics.

### 3.2.3 Método pela superfície ajustada

Alternativamente aos métodos descritos nos itens 3.2.1 e 3.2.2, a 2D-INLF pode ser estimada utilizando os valores de  $z$  calculados por meio do polinômio de (2.18), com os coeficientes determinados por ajuste deste polinômio à superfície de transferência medida ou simulada. Para este ajuste, pode-se utilizar técnicas ou algoritmos numéricos baseados no método dos mínimos quadrados.

No caso da 2D-INLF, a utilização do método pela superfície ajustada é uma forma de aferir a boa aproximação da superfície medida ou simulada ao polinômio de uma determinada ordem  $N$  escolhida. Este método foi aplicado a todos os multiplicadores sob teste, adotando-se  $N = 5$ .

Figura 3.7: Algoritmo do código de controle da SMU pelo computador



Fonte: [GONÇALVES, 2015]

### 3.3 Descrição dos Métodos para Determinação da THD e da THD<sub>2in</sub>

Todos os métodos empregados para determinação da THD e da THD<sub>2in</sub> neste trabalho foram baseados na análise no domínio do tempo dos sinais e posterior aplicação de integração numérica para determinação dos coeficientes das componentes de frequência de interesse.

No caso da THD simples, os coeficientes são os mesmos da série trigonométrica de Fourier, definidos por:

$$a_0 = \frac{1}{T} \int_t^{t+T} f(t) dt \quad (3.3.a)$$

$$a_i = \frac{2}{T} \int_t^{t+T} f(t) \cos(i\omega_0 t) dt \quad (3.3.b)$$

$$E_{a,b} = \frac{2}{T} \int_t^{t+T} z(t) \sin[2\pi(af_x + bf_y)t] dt \quad (3.3.c)$$

onde  $f(t)$  é a forma de onda do sinal de saída do multiplicador para uma entrada excitada por sinal senoidal de frequência angular  $\omega_0$  (fundamental) e a outra fixada num valor constante igual ao fundo de escala,  $a_0$  é o valor médio,  $a_i$  ( $b_i$ ) é o coeficiente do termo cosseno (seno) de frequência  $i\omega_0$  ( $i$ -ésima harmônica) da série de Fourier, sendo  $i$  um inteiro positivo.

Os coeficientes  $a_i$  e  $b_i$  para cada amplitude do sinal senoidal aplicado a uma das entradas do multiplicador são calculados por integração numérica (método trapezoidal) utilizando uma rotina executável no *software* MATLAB semelhante à apresentada no Apêndice C, até a ordem  $n$  (máximo valor de  $i$  a ser utilizado) especificada pelo usuário. A partir destes coeficientes é calculada a THD segundo a definição em (2.8), onde  $C_i = \sqrt{a_i^2 + b_i^2}$ . O cálculo é repetido para diversas amplitudes do sinal senoidal, aplicado a apenas uma das entradas, dentro da faixa de operação do multiplicador.

No caso da THD<sub>2in</sub>, os coeficientes de cada componente de frequência  $af_x + bf_y$  é dado por:

$$D_{a,b} = \frac{2}{T} \int_t^{t+T} z(t) \cos[2\pi(af_x + bf_y)t] dt \quad (3.4.a)$$

$$E_{a,b} = \frac{2}{T} \int_t^{t+T} z(t) \sin[2\pi(af_x + bf_y)t] dt \quad (3.4.b)$$

onde  $f(t)$  é a forma de onda do sinal de saída do multiplicador para ambas entradas excitadas por sinais senoidais de frequências  $f_x$  e  $f_y$  e amplitudes iguais e  $a$  e  $b$  são números

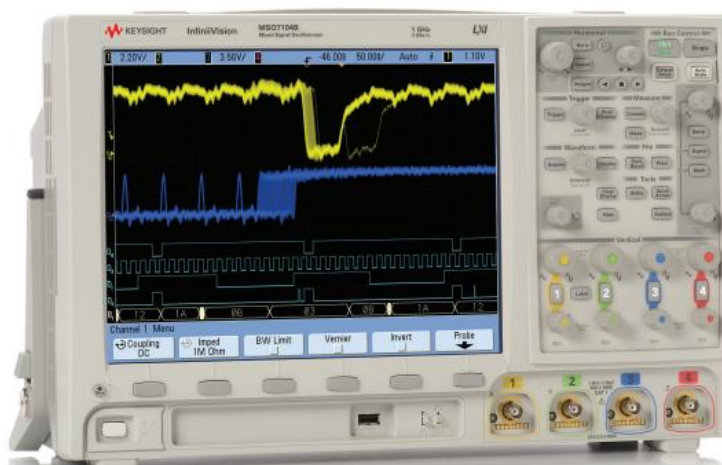
inteiros, tais que se  $|a| = 1$ , então  $|b| \neq 1$  e vice-versa, e tais que  $af_x + bf_y$  resulta em um número real não negativo.

Os coeficientes  $D_{a,b}$  e  $E_{a,b}$  são calculados por integração numérica (método trapezoidal) utilizando uma rotina executável no *software* MATLAB semelhante à apresentada no Apêndice D, para cada amplitude dos sinais de entrada e para um número de combinações de frequências considerado adequado pelo usuário. A  $THD_{2in}$  é então calculada por (2.15), sendo  $A_{a,b} = \sqrt{D_{a,b}^2 + E_{a,b}^2}$ . O cálculo é repetido para diversas amplitudes dos sinais senoidais, aplicados às duas entradas, dentro da faixa de operação do multiplicador.

### 3.3.1 Método experimental por análise AC

No método experimental por análise AC, a fim de levantar as formas de onda foi utilizado o osciloscópio da Keysight Technologies, modelo MSO7104B, com uma faixa de 1 GHz (ilustrado na Figura 3.8).

Figura 3.8 – Osciloscópio da Keysight Technologies MSO7104B



Fonte: [KEYSIGHT, 2018]

No caso da determinação da THD, em que se considera uma entrada senoidal e a outra constante, além do osciloscópio, foram utilizados: uma fonte DC simétrica para polarizar o circuito do multiplicador, um gerador de função senoidal em audiofrequências (Agilent Technologies, modelo 33220A, máxima frequência de 20 MHz) para fornecer o sinal de tensão de uma das entradas e uma fonte DC simples para fixar a tensão na outra entrada. A configuração para medição da THD utilizada é representada pelo diagrama de

blocos da Figura 3.9. Neste método, um sinal constante foi aplicado em uma das entradas do multiplicador, sendo ao mesmo tempo aplicado um sinal senoidal na outra entrada. As formas de onda do sinal de saída assim obtidas foram então processadas pela rotina executável no *software* MATLAB do Apêndice C.

No caso da determinação da  $THD_{2in}$ , segundo o qual são aplicados sinais senoidais às duas entradas, além do osciloscópio, foram utilizados: uma fonte DC simétrica para polarização do circuito integrado do multiplicador e dois geradores de função senoidal em audiofrequências (além do mesmo utilizado no método precedente, foi utilizado também um gerador da Agilent Technologies, modelo 33250A, máxima frequência de 80 MHz). A configuração para medição da  $THD_{2in}$  utilizada é representada pelo diagrama de blocos da Figura 3.10. As formas de onda do sinal de saída assim obtidas foram então processadas pela rotina executável no *software* MATLAB do Apêndice D.

Figura 3.9 – Determinação da THD

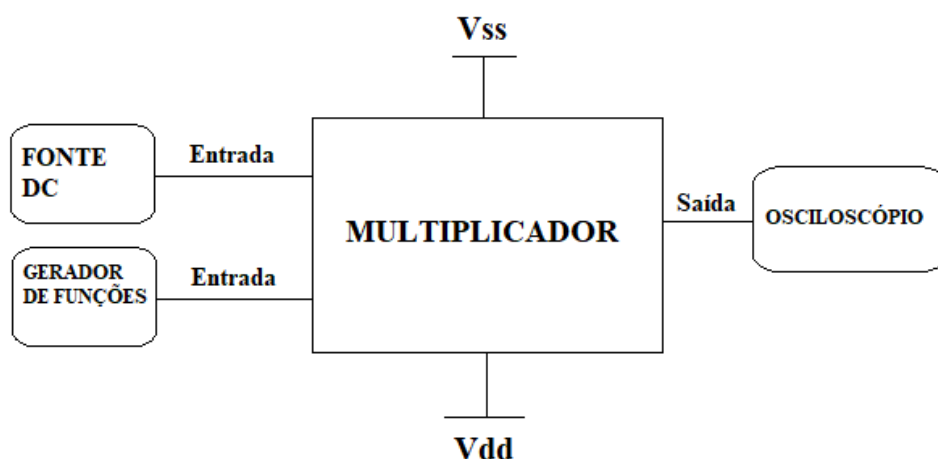
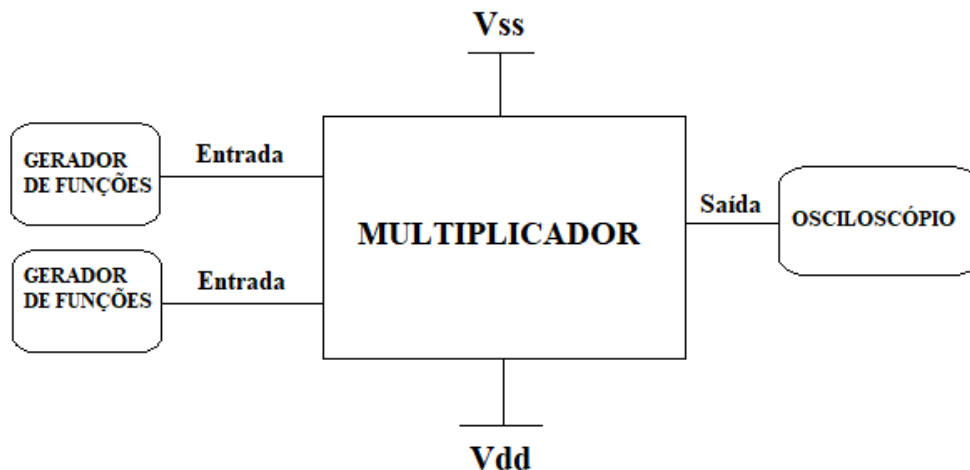


Figura 3.10 – Determinação da  $THD_{2in}$



O método experimental aqui descrito foi aplicado aos multiplicadores de Sawigun e de Mahmoud. Em ambos multiplicadores, foi empregado um sinal de entrada de frequência 100 Hz para a determinação da THD e foram empregados sinais de entrada de frequências 100 Hz e 1 kHz para a determinação da  $THD_{2in}$ . As amplitudes dos sinais senoidais foram variadas entre os seguintes limites: 0,5 a 1,5 V no multiplicador de Sawigun; 0,3 V a 1,2 V no multiplicador de Mahmoud.

### 3.3.2 Método por simulação

Segundo o método por simulação, as formas de onda do sinal de saída do multiplicador  $z(t)$  são obtidas por simulação dos circuitos multiplicadores. De forma análoga ao método teórico, as figuras de mérito THD e  $THD_{2in}$  são calculadas por rotinas semelhantes às dos Apêndices C e D, respectivamente. Este método foi empregado para os multiplicadores, de Tanno e de Cardoso. Em ambos multiplicadores, foi empregado um sinal de entrada de frequência 1 kHz para a determinação da THD e foram empregados sinais de entrada de frequências 1 kHz e 10 kHz para a determinação da  $THD_{2in}$ . As amplitudes dos sinais senoidais de entrada foram variadas de 1 a 10  $\mu A$  no multiplicador de Tanno e de 2 a 20 mV para a entrada em tensão e de 10 a 100 nA para a entrada em corrente no multiplicador de Cardoso.

### 3.3.3 Método por análise DC

Segundo o método por análise DC, as formas de onda do sinal de saída do multiplicador  $z(t)$  são calculadas, para as várias amplitudes senoidais na entrada, por meio do *software* matemático MATLAB pela expressão (2.18), substituindo  $x$  e  $y$  por um sinal senoidal e um valor constante, no caso da THD, e por dois sinais senoidais no caso da  $THD_{2in}$ . O método é dito por análise DC porque os coeficientes de distorção de (2.18) são obtidos a partir do ajuste do polinômio de ordem  $N$  às superfícies  $z(x, y)$  medidas ou simuladas, como descrito na seção 3.2.3. Em todos os casos obteve-se uma ótima aproximação com  $N = 5$ .

As figuras de mérito THD e  $THD_{2in}$  são então calculadas por rotinas semelhantes às dos Apêndices C e D, respectivamente. Este método foi empregado para todos os multiplicadores sob teste.

### 3.4 Resumo

Na Tabela 3.1 encontra-se o resumo das metodologias aplicadas a cada multiplicador.

Tabela 3.1 – Resumo das metodologias versus multiplicadores

| <b>MULTIPLICADORES</b> | <b>METODOLOGIAS</b>                           |                                               |                                              |
|------------------------|-----------------------------------------------|-----------------------------------------------|----------------------------------------------|
|                        | <b>THD</b>                                    | <b>THD<sub>2in</sub></b>                      | <b>2D-INLF</b>                               |
| Cardoso                | Simulação;<br>Análise DC                      | Simulação;<br>Análise DC                      | Simulação;<br>Pela superfície<br>ajustada    |
| Mahmoud                | Experimental por<br>análise AC;<br>Análise DC | Experimental por<br>análise AC;<br>Análise DC | Experimental;<br>Pela superfície<br>ajustada |
| Sawigun                | Experimental por<br>análise AC;<br>Análise DC | Experimental por<br>análise AC;<br>Análise DC | Experimental;<br>Pela superfície<br>ajustada |
| Tanno                  | Simulação;<br>Análise DC                      | Simulação;<br>Análise DC                      | Simulação;<br>Pela superfície<br>ajustada    |

## CAPÍTULO 4

### RESULTADOS EXPERIMENTAIS E DE SIMULAÇÃO

#### 4.1 Coeficientes de Distorção

A tabela 4.1 relaciona os coeficientes de distorção dos multiplicadores testados (seção 3.1).

Tabela 4.1 – Coeficientes de distorção dos multiplicadores testados

|            | Cardoso                  |                  | Mahmoud                 |          | Sawigun                 |          | Tanno                    |          |
|------------|--------------------------|------------------|-------------------------|----------|-------------------------|----------|--------------------------|----------|
| $a_{00}$   | $7,0865 \times 10^{-10}$ | A                | 0,4632                  | V        | $7,382 \times 10^{-2}$  | V        | $-1,4258 \times 10^{-8}$ | A        |
| $a_{10}$   | $-4,3000 \times 10^{-3}$ |                  | $-2,235 \times 10^{-2}$ |          | $1,545 \times 10^{-3}$  |          | $-6,1676 \times 10^{-4}$ |          |
| $a_{01}$   | $-3,6213 \times 10^{-8}$ | $A \cdot V^{-1}$ | $-8,458 \times 10^{-4}$ |          | $-1,758 \times 10^{-2}$ |          | $-6,1676 \times 10^{-4}$ |          |
| $a_{11}$   | 39,7893                  | $V^{-1}$         | 1,972                   | $V^{-1}$ | 0,4143                  | $V^{-1}$ | $2,1760 \times 10^4$     | $A^{-1}$ |
| $a_{20}$   | $-1,8365 \times 10^3$    | $A^{-1}$         | $1,101 \times 10^{-2}$  | $V^{-1}$ | $-2,66 \times 10^{-3}$  | $V^{-1}$ | -22,7306                 | $A^{-1}$ |
| $a_{02}$   | $-1,2600 \times 10^{-8}$ | $A \cdot V^{-2}$ | $1,638 \times 10^{-2}$  | $V^{-1}$ | $1,374 \times 10^{-3}$  | $V^{-1}$ | 23,1703                  | $A^{-1}$ |
| $a_{21}$   | $-6,6500 \times 10^6$    | $A^{-1} V^{-1}$  | $-1,212 \times 10^{-1}$ | $V^{-2}$ | $4,549 \times 10^{-3}$  | $V^{-2}$ | $8,8017 \times 10^7$     | $A^{-2}$ |
| $a_{12}$   | -52,7837                 | $V^{-2}$         | $-9,980 \times 10^{-3}$ | $V^{-2}$ | $-1,578 \times 10^{-2}$ | $V^{-2}$ | $9,0037 \times 10^7$     | $A^{-2}$ |
| $a_{30}$   | $1,9180 \times 10^9$     | $A^{-2}$         | $2,731 \times 10^{-3}$  | $V^{-2}$ | $2,456 \times 10^{-3}$  | $V^{-2}$ | $-1,6756 \times 10^6$    | $A^{-2}$ |
| $a_{03}$   | $2,3259 \times 10^{-6}$  | $A \cdot V^{-3}$ | $-4,770 \times 10^{-3}$ | $V^{-2}$ | $5,606 \times 10^{-4}$  | $V^{-2}$ | $-5,1764 \times 10^5$    | $A^{-2}$ |
| $a_{22}$   | $7,5552 \times 10^7$     | $A^{-1} V^{-2}$  | $-2,301 \times 10^{-2}$ | $V^{-3}$ | $-1,146 \times 10^{-3}$ | $V^{-3}$ | $-2,6144 \times 10^{13}$ | $A^{-3}$ |
| $a_{31}$   | $-3,5038 \times 10^{12}$ | $A^{-2} V^{-1}$  | $1,329 \times 10^{-1}$  | $V^{-3}$ | $-3,134 \times 10^{-2}$ | $V^{-3}$ | $-1,5563 \times 10^{13}$ | $A^{-3}$ |
| $a_{13}$   | -76,2393                 | $V^{-3}$         | $8,256 \times 10^{-2}$  | $V^{-3}$ | $3,285 \times 10^{-3}$  | $V^{-3}$ | $-1,7576 \times 10^{13}$ | $A^{-3}$ |
| $a_{40}$   | $2,3852 \times 10^{16}$  | $A^{-3}$         | $-2,062 \times 10^{-3}$ | $V^{-3}$ | $9,602 \times 10^{-4}$  | $V^{-3}$ | $1,4501 \times 10^{12}$  | $A^{-3}$ |
| $a_{04}$   | $-1,4343 \times 10^{-5}$ | $A \cdot V^{-4}$ | $-1,553 \times 10^{-2}$ | $V^{-3}$ | $-8,249 \times 10^{-4}$ | $V^{-3}$ | $6,2792 \times 10^9$     | $A^{-3}$ |
| $a_{32}$   | $-1,1594 \times 10^{14}$ | $A^{-2} V^{-2}$  | $4,677 \times 10^{-3}$  | $V^{-4}$ | $1,357 \times 10^{-3}$  | $V^{-4}$ | $-2,6674 \times 10^{17}$ | $A^{-4}$ |
| $a_{23}$   | $2,1163 \times 10^8$     | $A^{-1} V^{-3}$  | $1,889 \times 10^{-2}$  | $V^{-4}$ | $1,324 \times 10^{-3}$  | $V^{-4}$ | $-2,8805 \times 10^{17}$ | $A^{-4}$ |
| $a_{41}$   | $8,3710 \times 10^{18}$  | $A^{-3} V^{-1}$  | $1,034 \times 10^{-2}$  | $V^{-4}$ | $-1,146 \times 10^{-3}$ | $V^{-4}$ | $-1,0380 \times 10^{17}$ | $A^{-4}$ |
| $a_{14}$   | $-1,0181 \times 10^3$    | $V^{-4}$         | $9,023 \times 10^{-3}$  | $V^{-4}$ | $2,617 \times 10^{-3}$  | $V^{-4}$ | $-1,6688 \times 10^{17}$ | $A^{-4}$ |
| $a_{50}$   | $-3,9517 \times 10^{22}$ | $A^{-4}$         | $-2,951 \times 10^{-3}$ | $V^{-4}$ | $-1,197 \times 10^{-3}$ | $V^{-4}$ | $2,0580 \times 10^{16}$  | $A^{-4}$ |
| $a_{05}$   | $8,5933 \times 10^{-5}$  | $A \cdot V^{-5}$ | $4,292 \times 10^{-3}$  | $V^{-4}$ | $1,833 \times 10^{-4}$  | $V^{-4}$ | $5,9549 \times 10^{14}$  | $A^{-4}$ |
| faixa de x | $\pm 100$ nA             |                  | $\pm 1,2$ V             |          | $\pm 1,5$ V             |          | $\pm 10$ $\square$ A     |          |
| faixa de y | $\pm 20$ mV              |                  | $\pm 1,2$ V             |          | $\pm 1,5$ V             |          | $\pm 10$ $\square$ A     |          |

Para determinar os coeficientes da Tabela 4.1, a superfície de transferência DC de cada multiplicador testado foi obtida pelo método definido nas seções 3.2.1 ou 3.2.2. Um polinômio de duas variáveis de 5ª ordem foi ajustado satisfatoriamente aos dados medidos ou simulados, na forma:

$$V_{OUT} = \sum_{i=0}^5 \sum_{j=0}^{5-i} a_{ij} V_{IN1}^i V_{IN2}^j \quad (4.1)$$

Nas Figuras 4.1(a) a 4.4(a), correspondentes aos multiplicadores, de Cardoso, de Mahmoud, de Sawigun e de Tanno, na ordem, são ilustradas as superfícies DC medidas ou simuladas. Nas Figuras 4.1(b) a 4.4(b), são ilustradas as respectivas superfícies ajustadas pela expressão (2.18.b), utilizando os coeficientes da Tabela 4.1. Como as superfícies medidas/simuladas e ajustadas são praticamente indistinguíveis nestas Figuras, os correspondentes erros são apresentados nas Figuras 4.1(c) a 4.4(c). Os valores máximos e médios das magnitudes dos erros são apresentados na Tabela 4.2, para todos os multiplicadores testados, tanto em valores absolutos como em valores percentuais do fundo de escala de saída.

Figura 4.1 – Superfícies de transferência do multiplicador de Cardoso

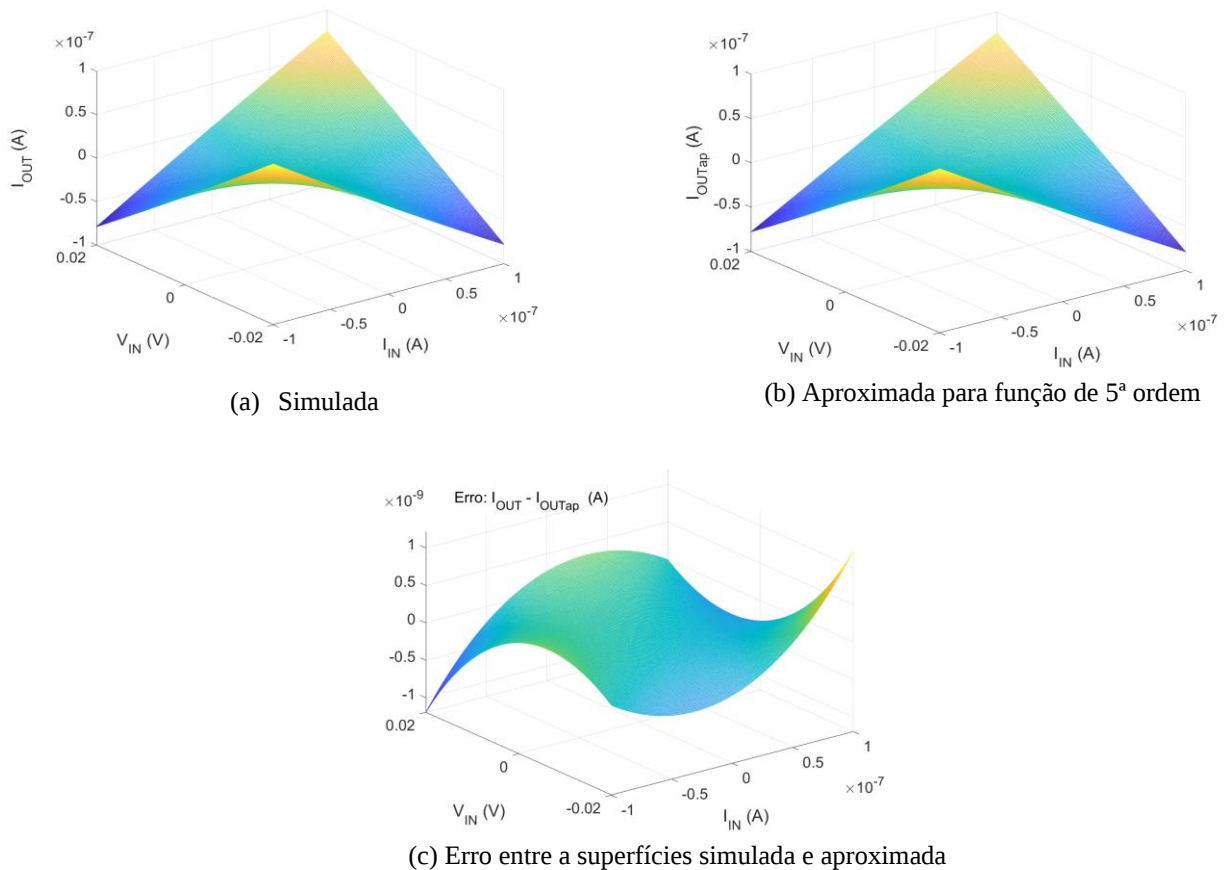


Figura 4.2 – Superfícies de transferência do multiplicador de Mahmoud

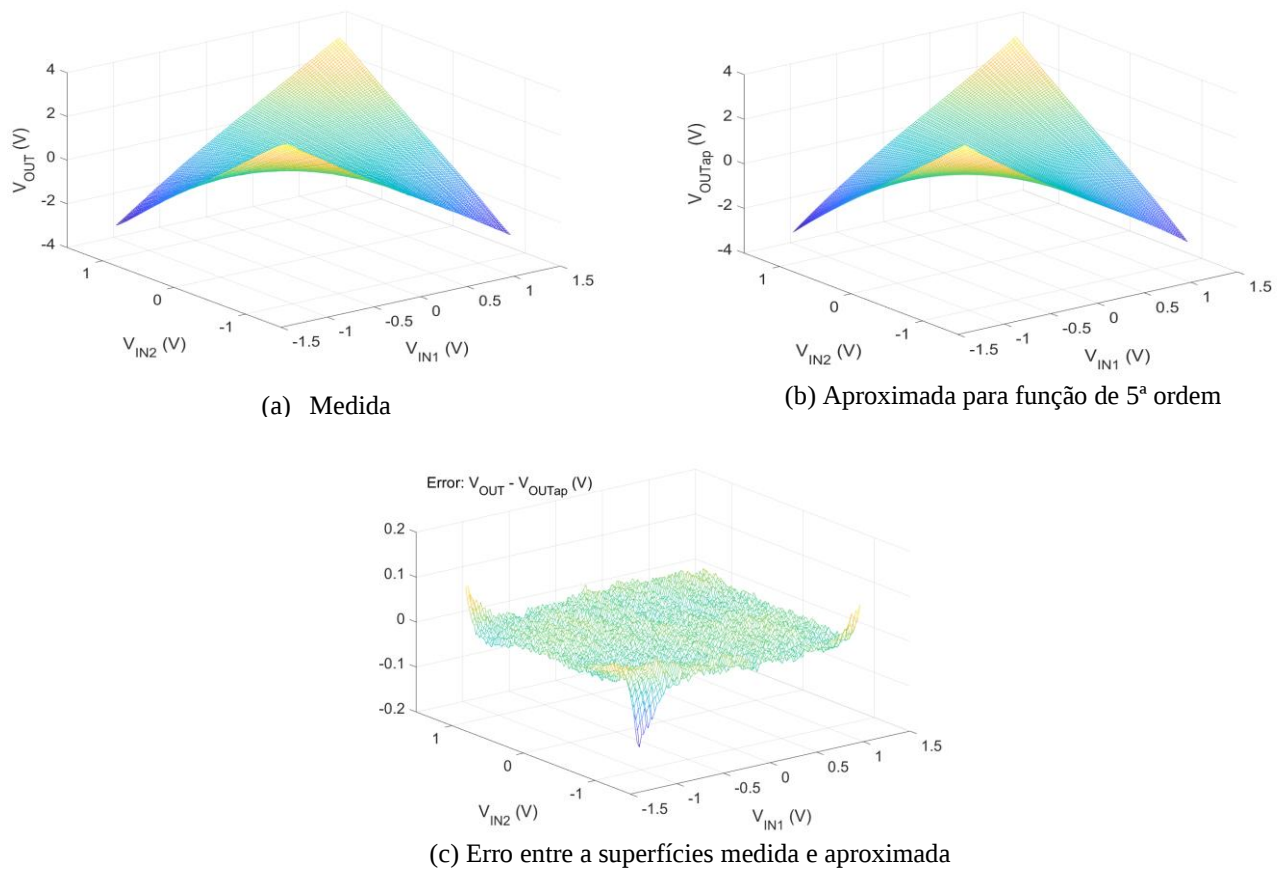


Figura 4.3 – Superfícies de transferência do multiplicador de Sawigun

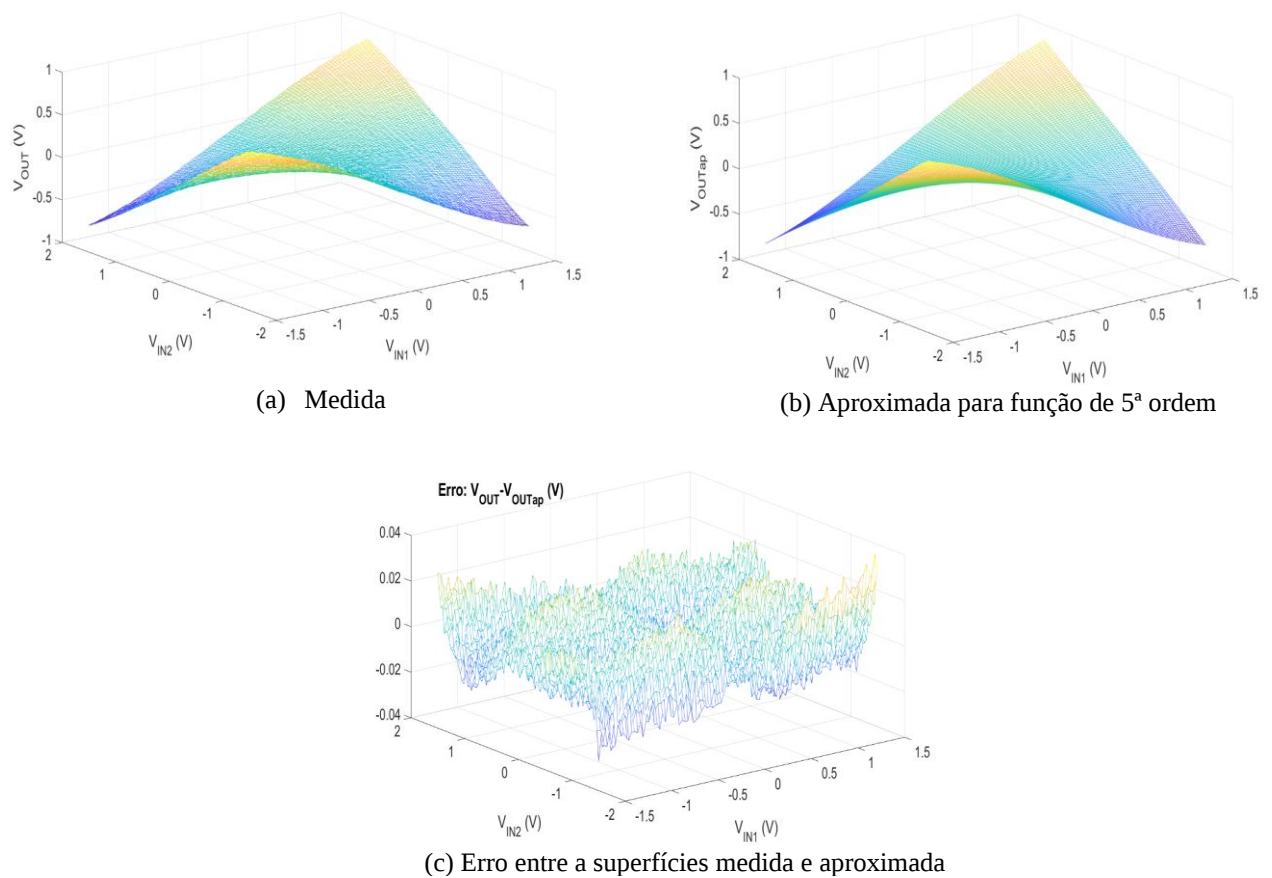
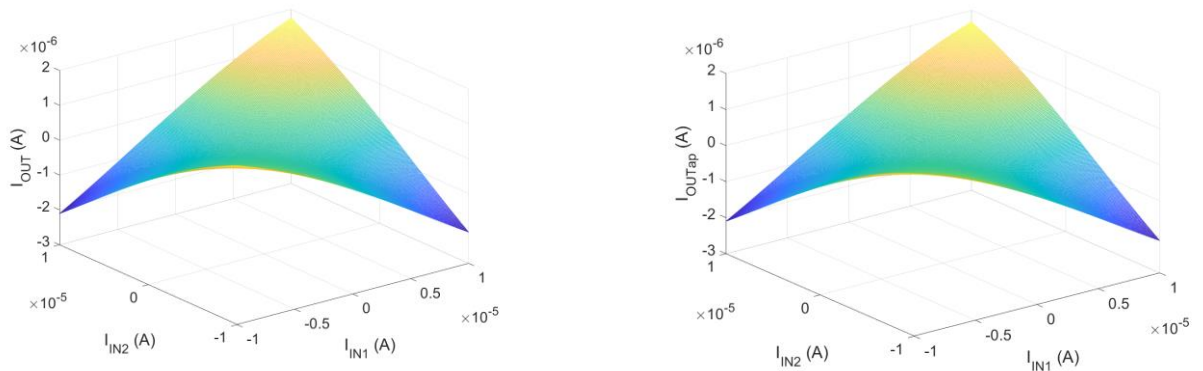
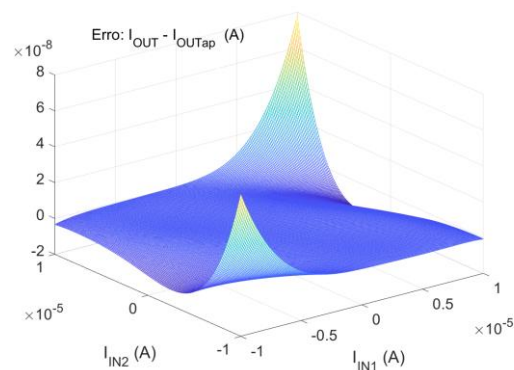


Figura 4.4 – Superfícies de transferência do multiplicador de Tanno



(a) Simulada

(b) Aproximada para função de 5ª ordem



(c) Erro entre a superfícies simulada e aproximada

Tabela 4.2 – Erros na Aproximação das Superfícies de Transferência dos Multiplicadores

| <b>Multiplicadores</b><br><b>Erros</b><br>↓ | <b>Cardoso</b>             | <b>Mahmoud</b> | <b>Sawigun</b> | <b>Tanno</b>              |
|---------------------------------------------|----------------------------|----------------|----------------|---------------------------|
| Máximo                                      | $1.2177 \times 10^{-9}$ A  | 0,1288 V       | 0,0364 V       | $7,7896 \times 10^{-8}$ A |
| Máximo (%)                                  | 1.4320                     | 3,3475         | 4,1230         | 3,6970                    |
| Médio                                       | $1.6055 \times 10^{-10}$ A | 0,0070 V       | 0,0075 V       | $2,263 \times 10^{-9}$ A  |
| Médio (%)                                   | 0.1888                     | 0,1823         | 0,8480         | 0,1074                    |

## 4.2 Resultados Experimentais e de Simulação

Nesta seção é possível observar as variações das figuras de distorção com as amplitudes dos sinais de entrada na forma de porcentagens do fundo de escala, no caso dos seguintes multiplicadores: Cardoso, Mahmoud, Sawigun e Tanno. Para os três critérios analisados neste trabalho, THD, THD<sub>2in</sub> e 2D-INLF, são comparados os resultados obtidos pelos métodos diretos, descritos nas seções 3.2.1, 3.2.2, 3.3.1 e 3.3.2,

com os obtidos pelos métodos que utilizam os coeficientes de distorção, descritos nas seções 3.2.3 e 3.3.3.

Nas Figuras 4.5 a 4.16, os círculos ou quadrados referem-se aos resultados de THD ou THD<sub>2in</sub> obtidos do método descrito nas seções 3.3.1 ou 3.3.2, em que a análise de Fourier é aplicada a sinais de saída simulados ou medidos, e aos resultados de 2D-INLF obtidos a partir do método das seções 3.2.1 ou 3.2.2, em que a integração numérica é realizada sobre superfícies de transferência DC simuladas ou medidas. Já os pentagramas e triângulos referem-se aos resultados obtidos por meio dos coeficientes de distorção (conforme a Tabela 4.1), coeficientes estes extraídos a partir de uma superfície característica DC, considerando um polinômio de 5ª ordem (métodos das seções 3.2.3 e 3.3.3).

Figura 4.5 – THD do Multiplicador de Cardoso

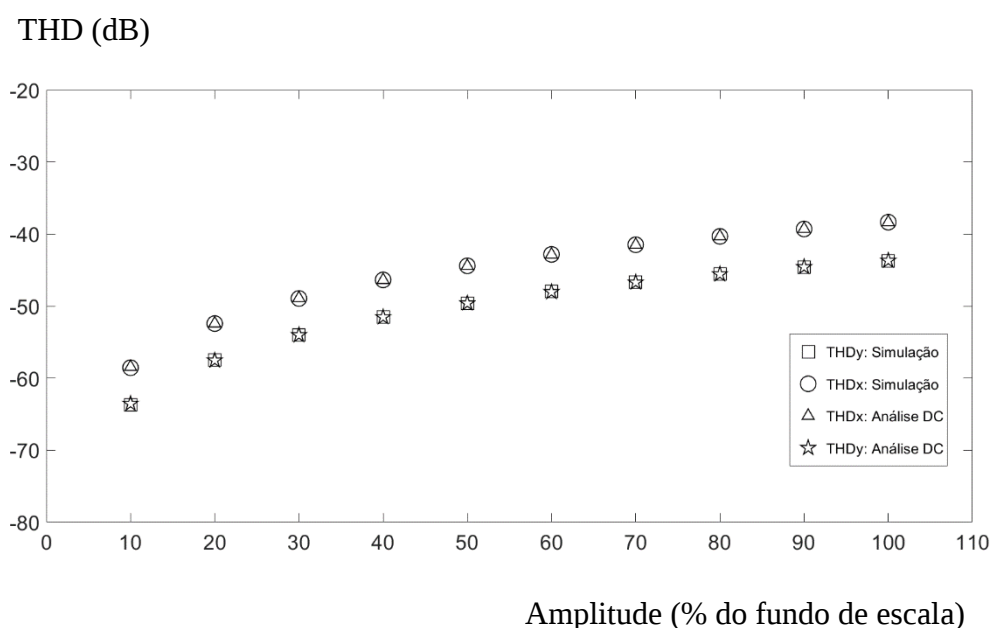


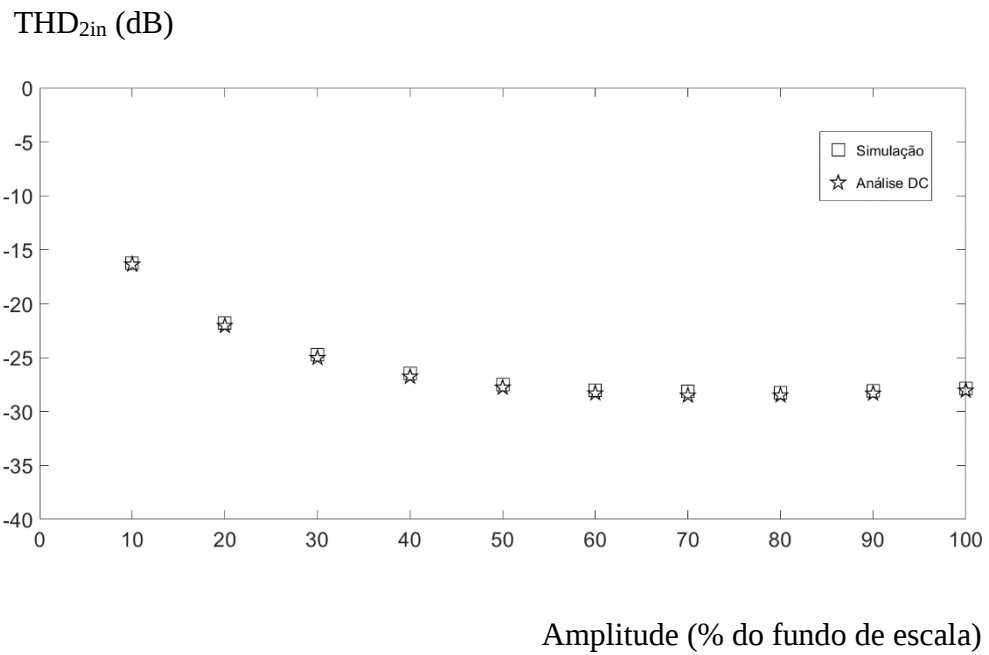
Figura 4.6 – THD<sub>2in</sub> do Multiplicador de Cardoso

Figura 4.7 – 2D-INLF do Multiplicador de Cardoso

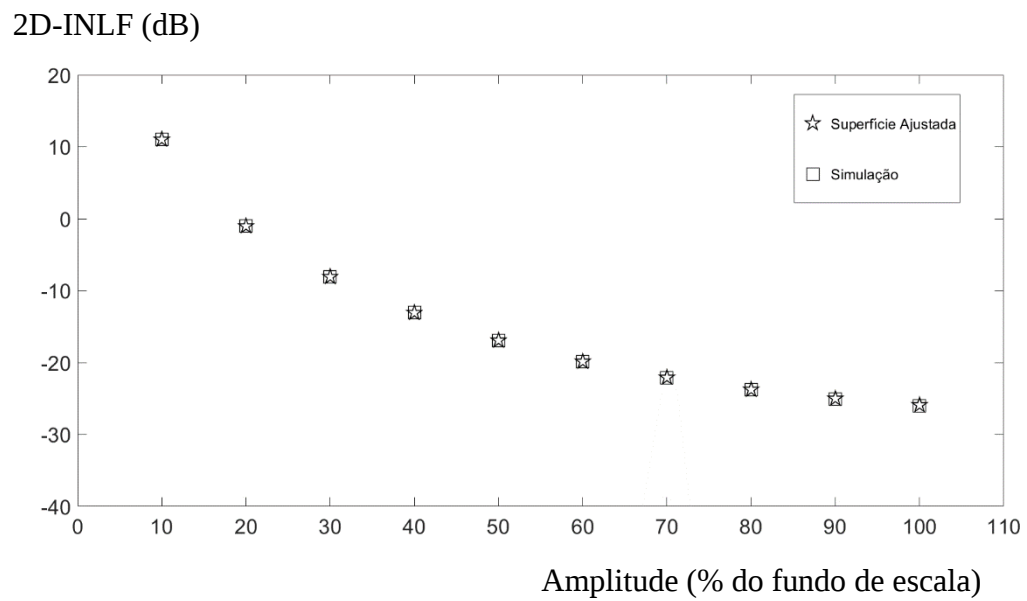


Figura 4.8 – THD do Multiplicador de Mahmoud

THD (dB)

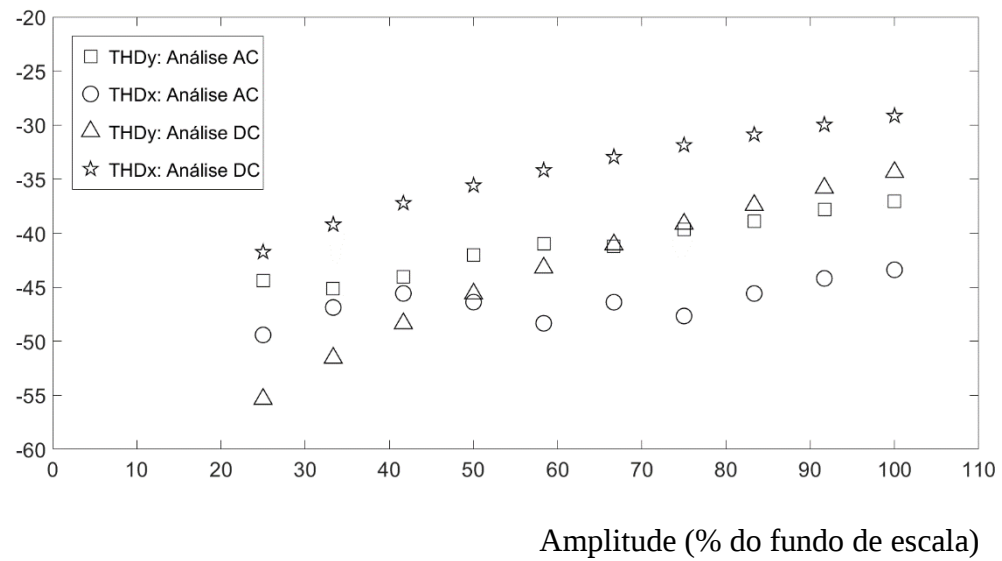
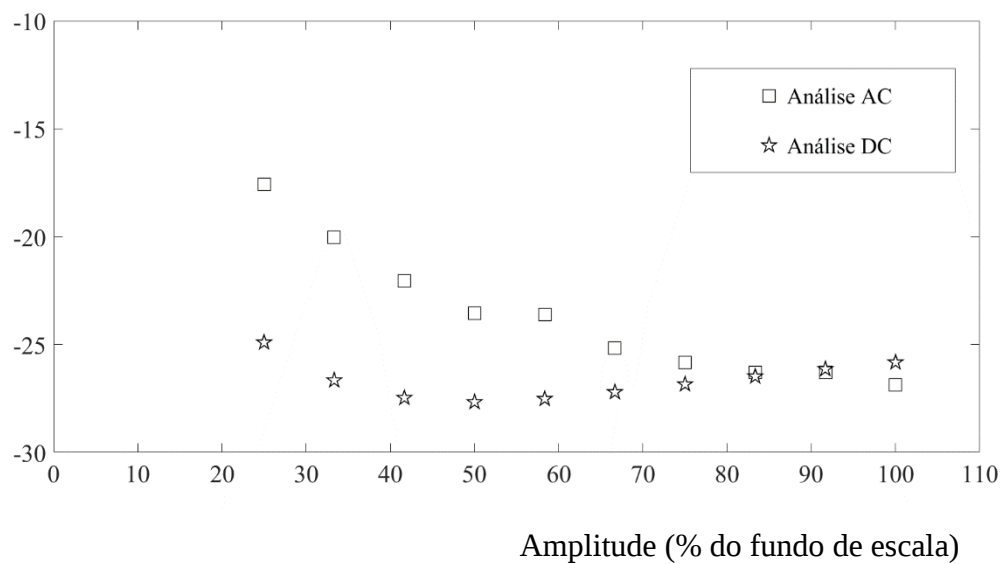
Figura 4.9 – THD<sub>2in</sub> do Multiplicador de MahmoudTHD<sub>2in</sub> (dB)

Figura 4.10 – 2D-INLF do Multiplicador de Mahmoud

2D-INLF (dB)

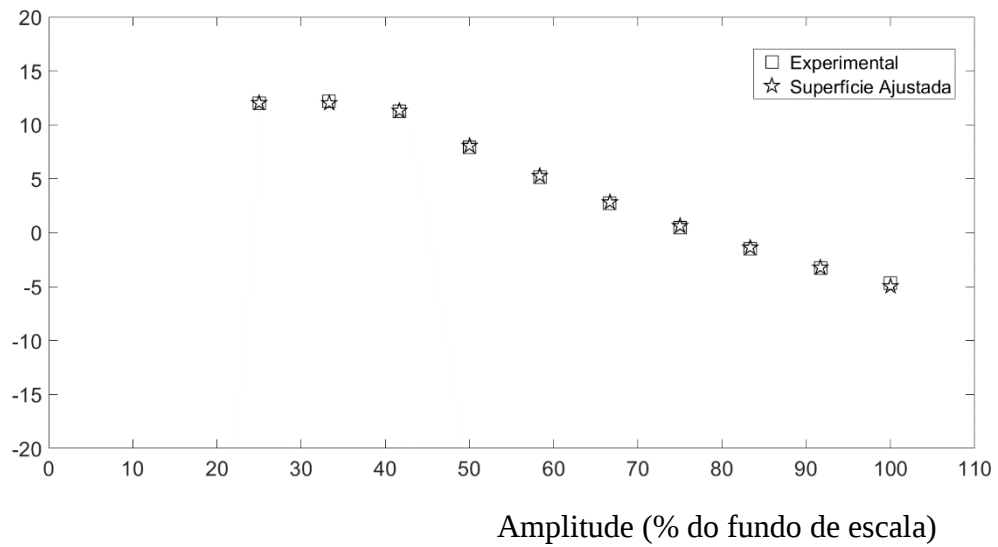


Figura 4.11 – THD do Multiplicador de Sawigun

THD (dB)

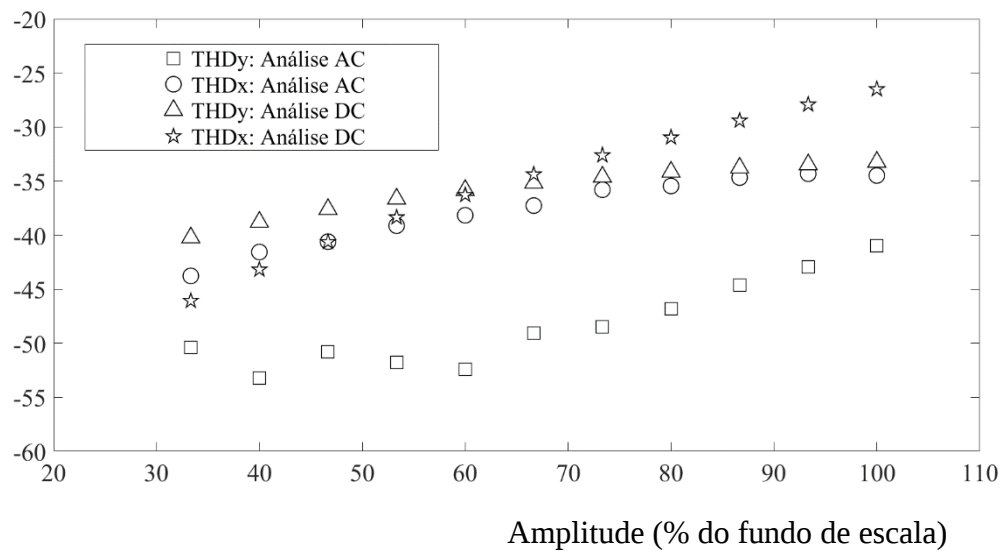


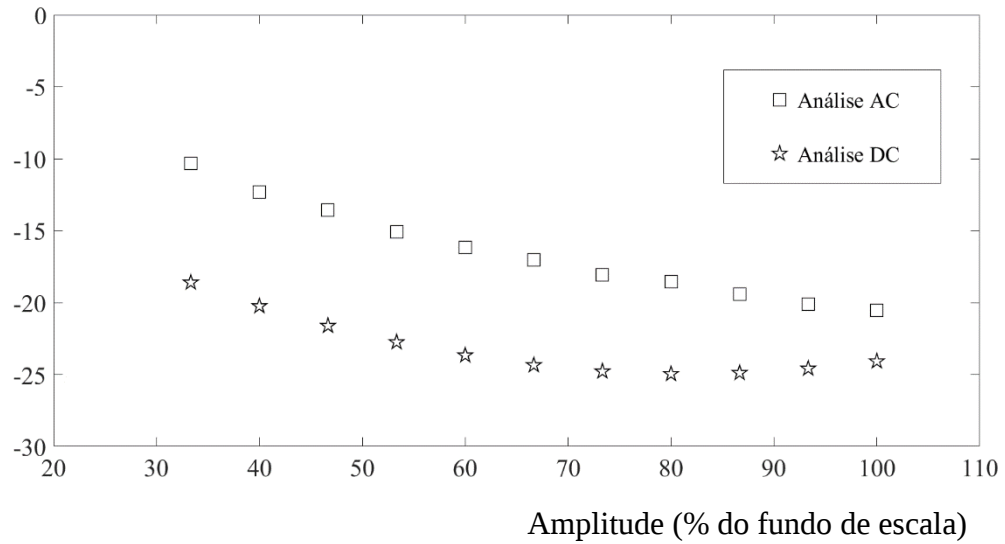
Figura 4.12 – THD<sub>2in</sub> do Multiplicador de SawigunTHD<sub>2in</sub> (dB)

Figura 4.13 – 2D-INLF do Multiplicador de Sawigun

2D-INLF (dB)

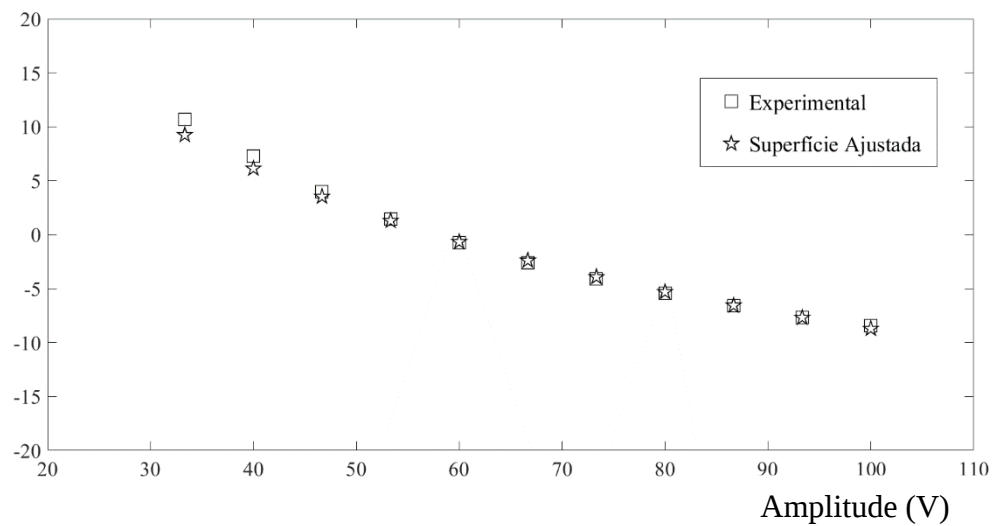


Figura 4.14 – THD do Multiplicador de Tanno

THD (dB)

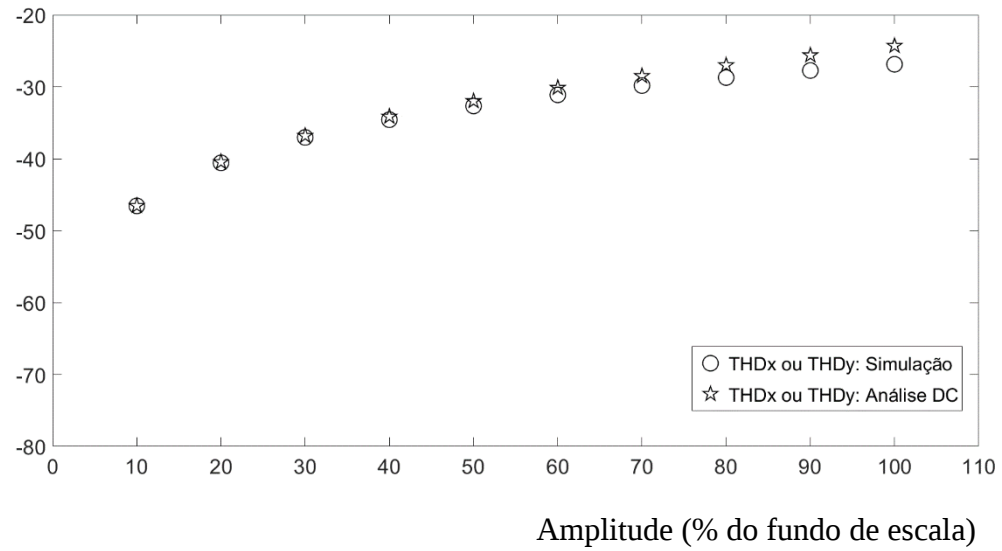
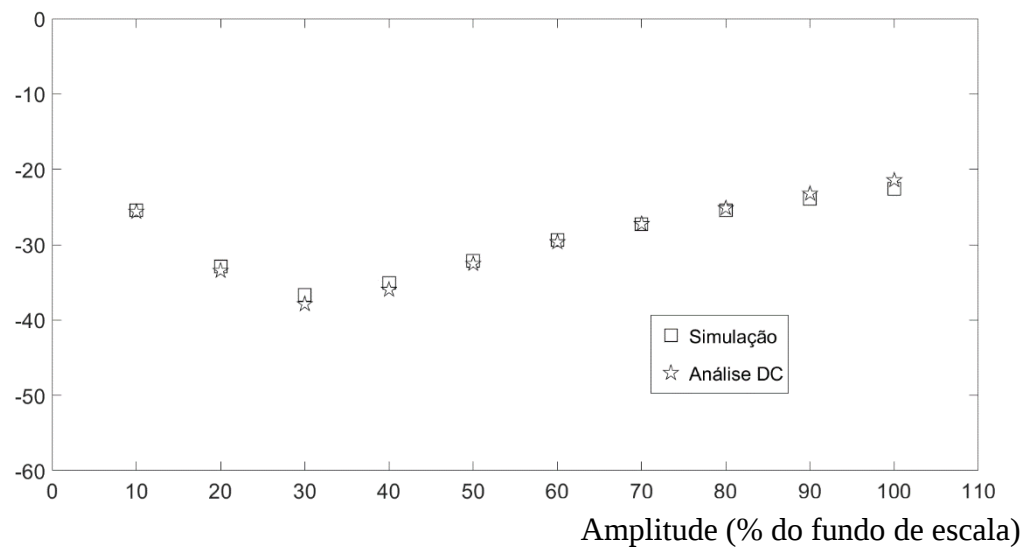
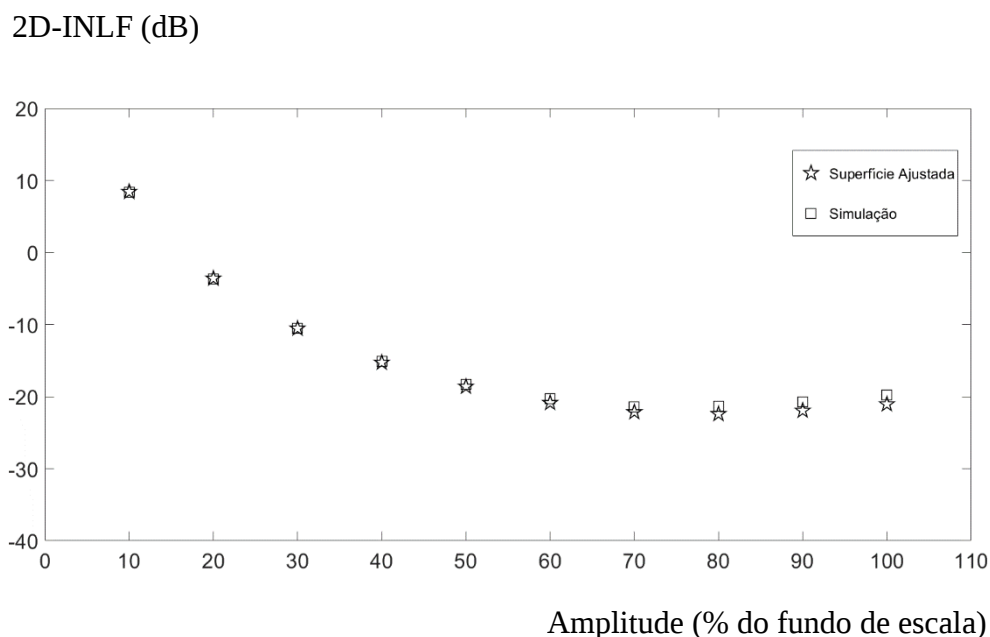
Figura 4.15 – THD<sub>2in</sub> do Multiplicador de TannoTHD<sub>2in</sub> (dB)

Figura 4.16 – 2D-INLF do Multiplicador de Tanno



### 4.3 Discussão

Os resultados de simulação obtidos para os Multiplicadores de Cardoso (Figuras 4.5 e 4.6) e de Tanno (Figuras 4.14 e 4.15) exibem uma consistência satisfatória entre os valores da THD ou  $THD_{2in}$  obtidas da aplicação direta dos métodos descritos na seção 3.3.2 e os valores correspondentes obtidos por meio da aplicação do método da seção 3.3.3.

Para todos os multiplicadores testados, os valores obtidos da 2D-INLF através da aplicação da definição sobre as superfícies DC, simulada ou medida, e sobre a superfície ajustada, concordam muito bem. Este fato significa que a escolha da aproximação de 5ª ordem para a característica de transferência DC no caso desses quatro multiplicadores é bastante precisa para a análise de distorção. Portanto, os gráficos das Figuras 4.7 (2D-INLF Multiplicador de Cardoso), 4.10 (2D-INLF do Multiplicador de Mahmoud), 4.13 (2D-INLF do Multiplicador de Sawigun) e 4.16 (2D-INLF do Multiplicador de Tanno) consolidam a aplicabilidade dos coeficientes de distorção de 5ª ordem para reproduzir as figuras de distorção.

Contudo, o uso dos coeficientes de distorção de 5ª ordem parece falhar na reprodução dos valores da THD e  $THD_{2in}$  levantados experimentalmente para os

multiplicadores de Sawigun e Mahmoud, uma vez que se observam divergências não negligenciáveis entre os valores da THD ou  $THD_{2in}$  obtidas por meio das análises AC e DC. É possível atribuir tais divergências às limitações da configuração experimental implementada para a análise AC. As razões para acreditar nisto estão não apenas nas declarações anteriores, mas também nas seguintes verificações:

- (i) Para as frequências de entrada aplicadas, as componentes mais significativas nas frequências indesejáveis estão inscritas na largura de banda do multiplicador em ambos os circuitos, o que significa que a implementação do multiplicador não é responsável por atenuar estas componentes;
- (ii) A utilização de frequências mais altas na entrada, embora com componentes harmônicas ainda inscritas na largura de banda do multiplicador, agrava as divergências mencionadas anteriormente;
- (iii) Os geradores de sinal utilizados nas medições AC apresentam distorção em seus próprios sinais de saída acima de -50 dB enquanto carregados pelos circuitos multiplicadores.

Portanto, apesar dos valores medidos da THD (ou  $THD_{2in}$ ) e dos valores correspondentes obtidos pelos coeficientes de distorção apresentarem comportamento similar com a variação da amplitude de entrada, é provável que este último seja mais confiável, devido as dificuldades verificadas no procedimento experimental.

Os resultados aqui apresentados mostram que a análise DC pode ser suficiente para estimar o nível de distorção nos multiplicadores. Além de viabilizar a determinação direta da 2D-INLF, a partir de dados experimentais ou simulados, ou indireta, pelo ajuste da superfície de transferência, a extração das superfícies características por medição ou por simulação fornece os dados necessários para a determinação dos coeficientes de distorção, com os quais é possível estimar a  $THD_{2in}$  e a THD, sem necessidade de proceder a uma análise AC. No caso dos multiplicadores que foram analisados por meio de simulação (multiplicadores de Tanno e de Cardoso), os resultados da THD e da  $THD_{2in}$  obtidos por análise DC (a partir dos coeficientes de distorção) e por simulação de repostas no domínio do tempo mostraram-se muito consistentes. Nos casos em que os coeficientes de distorção foram obtidos a partir de dados experimentais, os valores teóricos da THD e da  $THD_{2in}$  se afastaram dos correspondentes valores medidos (multiplicador de Sawigun e de Mahmoud) mas exibiram coerência na variação com a amplitude dos sinais de entrada.

## CAPÍTULO 5

### RELAÇÕES ENTRE A DISTORÇÃO E AS NÃO-IDEALIDADES DOS DISPOSITIVOS E CIRCUITOS

#### 5.1 Considerações Preliminares

De acordo com uma topologia de circuito particular ou o comportamento específico de um dispositivo eletrônico sobre o qual se fundamenta a operação de um multiplicador analógico, alguns coeficientes de distorção assumem valores mais significativos que outros e a ordem prevalente de distorção é estabelecida. Para ilustrar este problema, os multiplicadores analógicos em tecnologia CMOS e em modo tensão denominados Multiplicador de Mahmoud e Multiplicador de Sawigun nos capítulos precedentes são analisados teoricamente neste capítulo, utilizando a versão regional do modelo EKV (ENZ et al, 1995). O objetivo é derivar expressões para suas características de transferência tridimensionais em termos de parâmetros do circuito e dos dispositivos.

As principais fontes de distorção em multiplicadores analógicos de tecnologia CMOS são:

- i. Descasamento entre os parâmetros tecnológicos e as dimensões dos dispositivos internos do núcleo dos multiplicadores (quadrador ou multiplicador de um único quadrante);
- ii. Descasamento entre as características dos dispositivos em presentes nos esquemas de cancelamento;
- iii. Efeito de corpo;
- iv. Efeitos de segunda ordem no comportamento do MOSFET, como efeito de canal curto ou estreito e degradação da mobilidade devido ao campo transversal.

Na análise apresentada, somente as fontes i) a iii) foram levadas em consideração, devido às limitações do modelo adotado e por uma questão de simplicidade.

De acordo com o modelo EKV, a corrente do dreno ( $i_D$ ) do MOSFET em inversão forte e em saturação é dada pela seguinte equação:

$$i_D = K(V_p - v_{SB})^2 \quad (5.1a)$$

em que  $K$  é proporcional à mobilidade dos portadores de carga e à razão de aspecto  $W/L$ ,  $W$  e  $L$  são a largura do canal e o comprimento do canal, respectivamente,  $v_{SB}$  é a tensão do fonte-substrato e  $V_P$  é a tensão de *pinch-off*, têm-se:

$$V_P = (v_{GB} - V_{T0})/n \quad (5.1b)$$

Na equação (5.1b)  $v_{GB}$  é a tensão porta-substrato,  $V_{T0}$  é a tensão limiar em equilíbrio e  $n$  é o fator de rampa. Em relação as fontes de distorção i) e ii), os parâmetros  $n$ ,  $V_{T0}$  e  $K$  devem ser considerados diferentes nestas análises, mesmo para o caso de transistores de mesmo tipo, canal n e p.

## 5.2 Análise Teórica do Multiplicador de Sawigun

O multiplicador Sawigun, ilustrado na Figura 3.1, é baseado no comportamento quadrático da característica tensão-corrente do MOSFET em inversão forte. Além disso, todos os transistores devem operar em saturação. Cada conjunto de transistor  $M_k$ ,  $M_{k-4}$  e  $M_{k-8}$ , com  $k=9, 10, 11$  e  $12$ , indicados na Figura 3.1, constitui um dos núcleos do circuito, fornecendo uma corrente que é adicionada a outra corrente do núcleo por meio de um dos resistores  $R$ . Depois, para cancelar termos indesejados e realizar a multiplicação de quatro quadrantes, a subtração entre as correntes somadas é realizada por meio da tensão diferencial de saída ( $V_{OUT} = V_{O1} - V_{O2}$ ).

$$V_{O2} = V_{DD} - R(i_{D9} + i_{D10}) \quad (5.2.a)$$

Aplicando o modelo EKV para o MOSFET, têm-se:

$$V_{O2} = V_{DD} - R \left[ \frac{K_9}{n_9^2} (v_{GB9} - V_{T09})^2 + \frac{K_{10}}{n_{10}^2} (v_{GB10} - V_{T010})^2 \right] \quad (5.2b)$$

em que

$$v_{GB9(10)} = v_{SB5(6)} = \frac{V_{3(4)}}{n_{5(6)}} - \frac{1}{n_{1(2)}} \sqrt{\frac{K_{1(2)}}{K_{5(6)}}} V_{1(2)} + V_{K9(10)} \quad (5.2c)$$

com

$$V_{K9(10)} = V_{DD} - \frac{(V_{DD} + V_{T05(6)})}{n_{5(6)}} + \frac{1}{n_{1(2)}} \sqrt{\frac{K_{1(2)}}{K_{5(6)}}} (V_{DD} + V_{T01(2)}) \quad (5.2d)$$

Analogamente,

$$V_{O1} = V_{DD} - R' \left[ \frac{K_{11}}{n_{11}^2} (v_{GB11} - V_{T011})^2 + \frac{K_{12}}{n_{12}^2} (v_{GB12} - V_{T012})^2 \right] \quad (5.3a)$$

em que  $R'$  substitui  $R$ , considerando os descasamentos existentes entre os valores das resistências, e:

$$v_{GB11(12)} = v_{SB7(8)} = \frac{V_{4(3)}}{n_{7(8)}} - \frac{1}{n_{3(4)}} \sqrt{\frac{K_{3(4)}}{K_{7(8)}}} V_{1(2)} + V_{K11(12)} \quad (5.3b)$$

com

$$V_{K11(12)} = V_{DD} - \frac{(V_{DD} + V_{T07(8)})}{n_{7(8)}} + \frac{1}{n_{3(4)}} \sqrt{\frac{K_{3(4)}}{K_{7(8)}}} (V_{DD} + V_{T03(4)}) \quad (5.3c)$$

Portanto, a tensão de saída  $V_{OUT} = V_{O2} - V_{O1}$ , de (5.2) e (5.3), fica:

$$\begin{aligned} V_{OUT} = R' & \left[ \frac{K_{12}}{n_{12}^2} \left( \frac{V_3}{n_8} - \frac{1}{n_4} \sqrt{\frac{K_4}{K_8}} V_2 + V_{K12} - V_{T012} \right)^2 + \frac{K_{11}}{n_{11}^2} \left( \frac{V_4}{n_7} - \frac{1}{n_3} \sqrt{\frac{K_3}{K_7}} V_1 + V_{K11} - V_{T011} \right)^2 \right] + \\ & - R \left[ \frac{K_9}{n_9^2} \left( \frac{V_3}{n_5} - \frac{1}{n_1} \sqrt{\frac{K_1}{K_5}} V_1 + V_{K9} - V_{T09} \right)^2 + \frac{K_{10}}{n_{10}^2} \left( \frac{V_4}{n_6} - \frac{1}{n_2} \sqrt{\frac{K_2}{K_6}} V_2 + V_{K10} - V_{T010} \right)^2 \right] \end{aligned} \quad (5.4)$$

As condições ideais são: cada transistor  $M_k$  é idêntico geometricamente e tecnologicamente ao transistor  $M_{k+4}$ , para  $k = 1$  a  $4$ , de modo que  $K_k = K_{k+4}$ ,  $V_{T0k} = V_{T0k+4}$  e  $n_k = n_{k+4}$ ; todos os transistores do tipo canal n ( $M_9$  a  $M_{12}$ ) são idênticos geometricamente e tecnologicamente, de modo que  $K_9 = K_{10} = K_{11} = K_{12}$ ,  $V_{T09} = V_{T010} = V_{T011} = V_{T012}$  e  $n_9 = n_{10} = n_{11} = n_{12}$ ; e  $R = R'$ . Se estas condições ideais são satisfeitas, a tensão de saída ideal do multiplicador é dada por:

$$V_{OUT(ideal)} = \frac{2RK_9}{n_9^2 n_5} [(V_2 - V_1)(V_4 - V_3)] \quad (5.5)$$

Com  $V_1 = -V_2 = V_{IN1}$  e  $V_3 = -V_4 = V_{IN2}$  (5.4),  $V_{OUT}$  pode ser reescrita como:

$$V_{OUT} = a_{00} + a_{10} V_{IN1} + a_{01} V_{IN2} + a_{11} V_{IN1} V_{IN2} + a_{20} V_{IN1}^2 + a_{02} V_{IN2}^2 \quad (5.6)$$

em que coeficientes de distorção  $a_{ij}$ , com  $i \neq j$ , e o fator de multiplicação  $a_{11}$  são expressos em termos de parâmetros do dispositivo e do circuito, conforme mostrado na Tabela 5.1.

$V_{OUT}$  em (5.6) se aproxima de  $V_{OUT(ideal)}$  em (5.5) se forem assumidas as condições ideais, que levam a  $\varepsilon_k \cong 1$ ,  $V_{Xk} \cong V_{X9}$  e  $\alpha_k \cong K_9/n_9^2 n_5$ . Assim, todos os coeficientes de distorção tendem a zero e  $a_{11} = 8R\alpha_9$ .

Tabela 5.1 – Expressões dos coeficientes de distorção do multiplicador de Sawigun

| Coeficientes    | Expressões                                                                                                                                                |
|-----------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------|
| $a_{00}$        | $R\alpha_{11}V_{X11}^2 + R'\alpha_{12}V_{X12}^2 - R\alpha_9V_{X9}^2 - R'\alpha_{10}V_{X10}^2$                                                             |
| $a_{10}$        | $2(R\alpha_9\varepsilon_1V_{X9} - R\alpha_{10}\varepsilon_2V_{X10} + R'\alpha_{12}\varepsilon_4V_{X12} - R'\alpha_{11}\varepsilon_3V_{X11})$              |
| $a_{01}$        | $2(R\alpha_{10}V_{X10} - R\alpha_9V_{X9} + R'\alpha_{12}V_{X12} - R'\alpha_{11}V_{X11})$                                                                  |
| $a_{11}$        | $2[R(\alpha_9\varepsilon_1 + \alpha_{10}\varepsilon_2) + R'(\alpha_{11}\varepsilon_3 + \alpha_{12}\varepsilon_4)]$                                        |
| $a_{20}$        | $R'\alpha_{11}\varepsilon_3^2 + R'\alpha_{12}\varepsilon_4^2 - R\alpha_9\varepsilon_1^2 - R\alpha_{10}\varepsilon_2^2$                                    |
| $a_{02}$        | $R'\alpha_{11} + R'\alpha_{12} - R\alpha_9 - R\alpha_{10}$                                                                                                |
| $\varepsilon_k$ | $\frac{n_{k+4}}{n_k} \sqrt{\frac{K_k}{K_{k+4}}}$ , with $k = 1, 2, 3$ or $4$                                                                              |
| $\alpha_k$      | $\frac{K_k}{n_k^2 n_{k-4}}$ , with $k = 9, 10, 11$ or $12$                                                                                                |
| $V_{Xk}$        | $V_{DD} - V_{T0k} + \frac{V_{DD} + V_{T0k-8}}{n_{k-8}} \sqrt{\frac{K_{k-8}}{K_{k-4}}} - \frac{V_{DD} + V_{T0k-4}}{n_{k-4}}$ , com $k = 9, 10, 11$ or $12$ |

### 5.3 Análise Teórica do Multiplicador de Mahmoud

Utilizando a equação (5.1) para expressar as correntes de dreno  $i_{D7} = i_{D8}$  e  $i_{D12} = i_{D13}$  dos pares de transistores MOS  $M_7$ - $M_8$  e  $M_{12}$ - $M_{13}$ , respectivamente, do Multiplicador de Mahmoud (ilustrado na Figura 3.4), tem-se:

$$V_{a(b)} = \frac{V_{4(3)}}{n_{7(12)}} - V_{Ka(b)} \quad (5.7)$$

em que  $V_{Ka(b)}$  são as tensões constantes definidas na última linha da Tabela 5.2.

De acordo com a equação 5.7,  $V_a$  e  $V_b$  são versões levemente atenuadas e deslocadas dos potenciais  $V_4$  e  $V_3$ , respectivamente. Além disso, se os dispositivos canal n  $M_7$  e  $M_{12}$  forem perfeitamente casados, bem como os canal p,  $M_8$  e  $M_{13}$ , tem-se que  $V_{Ka} = V_{Kb}$ . No entanto, para analisar o efeito de descasamento da resposta do multiplicador, esses transistores são considerados com parâmetros e tamanhos diferentes, isso é:  $n_7 \neq n_{12}$ ,  $V_{T07} \neq V_{T012}$ ,  $K_7 \neq K_{12}$ ,  $n_8 \neq n_{13}$ ,  $V_{T08} \neq V_{T013}$  e  $K_8 \neq K_{13}$ .

Além disso, aplicando o modelo EKV para as correntes de dreno dos transistores  $M_1$  a  $M_4$  leva a:

$$i_{D1(2)} = K_{1(2)} \left( \frac{V_{1(2)}}{n_{1(2)}} - V_a - V_{K1(2)} \right)^2 \quad (5.8a)$$

e

$$i_{D3(4)} = K_{3(4)} \left( \frac{V_{2(1)}}{n_{3(4)}} - V_b - V_{K3(4)} \right)^2 \quad (5.8b)$$

em que  $V_{K1(2)}$  e  $V_{K3(4)}$  são tensões constantes definidas na Tabela 5.2.

Na operação ideal, os transistores  $M_1$  a  $M_4$  devem estar perfeitamente casados de modo que todos os  $V_{Km}$  sejam iguais, assim como todos os  $K_m$  e  $n_m$ , com  $m$  igual a 1, 2, 3 ou 4.

De acordo com o circuito da Figura 3.5 (Multiplicador de Mahmoud), tem-se que:

$$I_{O1} = I_{K1} - (i_{D2} + i_{D4}) \quad (5.9.a)$$

e

$$I_{O2} = I_{K2} - (i_{D1} + i_{D3}) \quad (5.9.b)$$

em que as correntes constantes  $I_{K1}$  e  $I_{K2}$  são respectivamente as correntes de dreno de  $M_6$  e  $M_5$ , as quais deveriam ser iguais, se esses transistores fossem perfeitamente casados.

Presumindo que existam dois resistores  $R$  e  $R'$ , conectados dos terminais de dreno de  $M_2$  e  $M_1$ , respectivamente, para o terra, e usando as equações (5.7), (5.8) e (5.10), a tensão de saída diferencial é dada por:

$$\begin{aligned} V_{OUT} &= RI_{O1} - R'I_{O2} = R(I_{K1} - i_{D2} - i_{D4}) - R'(I_{K2} - i_{D1} - i_{D3}) = \\ &= RI_{K1} - R'I_{K2} + R'K_1 \left( \frac{V_1}{n_1} - \frac{V_4}{n_7} + V_{Ka} - V_{K1} \right)^2 + R'K_3 \left( \frac{V_2}{n_3} - \frac{V_3}{n_{12}} + V_{Kb} - V_{K3} \right)^2 + \\ &\quad - RK_2 \left( \frac{V_2}{n_2} - \frac{V_4}{n_7} + V_{Kb} - V_{K2} \right)^2 - RK_4 \left( \frac{V_1}{n_4} - \frac{V_3}{n_{12}} + V_{Kb} - V_{K4} \right)^2 \end{aligned} \quad (5.10)$$

Considerando que  $R = R'$  e que as condições de casamento mencionadas anteriormente sejam satisfeitas, tem-se que  $I_{K1} = I_{K2}$ ,  $K_1 = K_2 = K_3 = K_4$ ,  $V_{K1} = V_{K2} = V_{K3} = V_{K4}$  e  $V_{Ka} = V_{Kb}$ . Além disso, assumindo que os transistores MOS canal n  $M_1$ - $M_4$ ,  $M_7$  e  $M_{12}$  tenham os fatores de rampa iguais, a tensão de saída do multiplicador ideal é:

$$V_{OUT(ideal)} = \frac{8RK_1}{n_1^2} (V_1 - V_2)(V_3 - V_4) \quad (5.11)$$

Por outro lado, os coeficientes de distorção podem ser relacionados aos parâmetros do transistor e do circuito, substituindo  $V_1 = -V_2 = V_{IN1}$  e  $V_3 = -V_4 = V_{IN2}$  em (5.10), e desenvolvendo a equação para expressar  $V_{OUT}$  na forma de (5.6). As expressões dos coeficientes do Multiplicador Mahmoud até 2ª ordem estão relacionadas na Tabela 5.2.

Tabela 5.2 – Expressões dos coeficientes do Multiplicador Mahmoud

| Coeficientes | Expressões                                                                                                                                                                                                        |
|--------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| $a_{00}$     | $(R'K_1 - RK_2)V_{Ka}^2 + (R'K_3 - RK_4)V_{Kb}^2 + 2(RK_2V_{K2} - R'K_1V_{K1})V_{Ka} +$<br>$+ 2(RK_4V_{K4} - R'K_3V_{K3})V_{Kb} + R'(K_1V_{K1}^2 + K_3V_{K3}^2 - I_{K2}) - R(K_2V_{K2}^2 + K_4V_{K4}^2 - I_{K1})$ |
| $a_{10}$     | $2R'\left[\frac{K_1}{n_1}(V_{Ka} - V_{K1}) + \frac{K_3}{n_3}(V_{K3} - V_{Kb})\right] - 2R\left[\frac{K_2}{n_2}(V_{K2} - V_{Ka}) + \frac{K_4}{n_4}(V_{Kb} - V_{K4})\right]$                                        |
| $a_{01}$     | $2R'\left[\frac{K_1}{n_7}(V_{Ka} - V_{K1}) + \frac{K_3}{n_{12}}(V_{K3} - V_{Kb})\right] - 2R\left[\frac{K_2}{n_7}(V_{Ka} - V_{K2}) + \frac{K_4}{n_{12}}(V_{K4} - V_{Kb})\right]$                                  |
| $a_{11}$     | $2R'\left(\frac{K_1}{n_1n_7} + \frac{K_3}{n_3n_{12}}\right) + 2R\left(\frac{K_2}{n_2n_7} + \frac{K_4}{n_4n_{12}}\right)$                                                                                          |
| $a_{20}$     | $R'\left(\frac{K_1}{n_1^2} + \frac{K_3}{n_3^2}\right) - R\left(\frac{K_2}{n_2^2} + \frac{K_4}{n_4^2}\right)$                                                                                                      |
| $a_{02}$     | $R'\left(\frac{K_1}{n_7^2} + \frac{K_3}{n_{12}^2}\right) - R\left(\frac{K_2}{n_7^2} + \frac{K_4}{n_{12}^2}\right)$                                                                                                |
| $I_{K1(2)}$  | $K_{6(5)}\left(\frac{V_{B2} - V_{DD} - V_{T06(5)}}{n_{6(5)}}\right)^2$                                                                                                                                            |
| $V_{Km}$     | $\frac{V_{T0m}}{n_m} - \frac{n_m - 1}{n_m}V_{SS}$ , com $m = 1, 2, 3$ or $4$                                                                                                                                      |
| $V_{Ka(b)}$  | $\frac{V_{T07(12)}}{n_{7(12)}} - \frac{n_{7(12)} - 1}{n_{7(12)}}V_{SS} + \sqrt{\frac{K_{8(13)}}{K_{7(12)}}\left(\frac{V_{DD}}{n_{8(13)}} - \frac{V_{T08(13)}}{n_{8(13)}} - \frac{V_{B3}}{n_{8(13)}}\right)}$      |

## 5.4 Variação dos parâmetros

Variações aleatórias nos parâmetros  $V_{T0}$ ,  $n$ ,  $K$  de cada transistor e em cada valor de resistência foram aplicadas aos coeficientes expressos na Tabela 5.1 e 5.2, dos multiplicadores de Sawigun e de Mahmoud, respectivamente, com o objetivo de analisar seus impactos sobre as tensões de saída destes multiplicadores estimadas pelas expressões (5.6) e (5.10). Mil amostras de combinações aleatórias dos parâmetros foram geradas, considerando na análise uma distribuição normal. Os histogramas resultantes estão representados nas Figuras 5.14 a 5.17 (referentes ao Multiplicador de Sawigun) e nas Figuras 5.18 a 5.21 (referentes ao Multiplicador de Mahmoud), em que os valores de  $V_{OUT}$  foram normalizados com relação aos valores ideais estimados pelas equações (5.5) e (5.11). Os valores dos principais parâmetros de modelagem do MOSFET adotados nesta análise foram determinados por meio de uma caracterização experimental dos transistores MOS de canal n e p dos circuitos integrados MC14007.

### 5.4.1 Multiplicador de Sawigun

Nas Figuras 5.1 a 5.4 são apresentadas as distribuições dos valores normalizados de  $V_{OUT}$  do multiplicador de Sawigun, considerando separadamente e nesta ordem variações aleatórias nos valores de  $K$ ,  $V_{T0}$ ,  $n$  dos doze transistores do circuito, e nos valores das resistências.

Pode-se notar que, mesmo atribuindo desvios padrões de apenas 1% para as variações aleatórias de  $K$  (proporcional à razão de aspecto e à mobilidade) e de  $n$ , enquanto os desvios atribuídos para as variações de  $V_{T0}$  e das resistências são de 10%, são as variações daqueles parâmetros que mais afetam os valores de  $V_{OUT}$ .

Figura 5.1 – Distribuição da tensão de saída do multiplicador de Sawigun para 1000 combinações aleatórias de  $K_1$  a  $K_{12}$  em distribuição normal com desvio padrão de 1%.

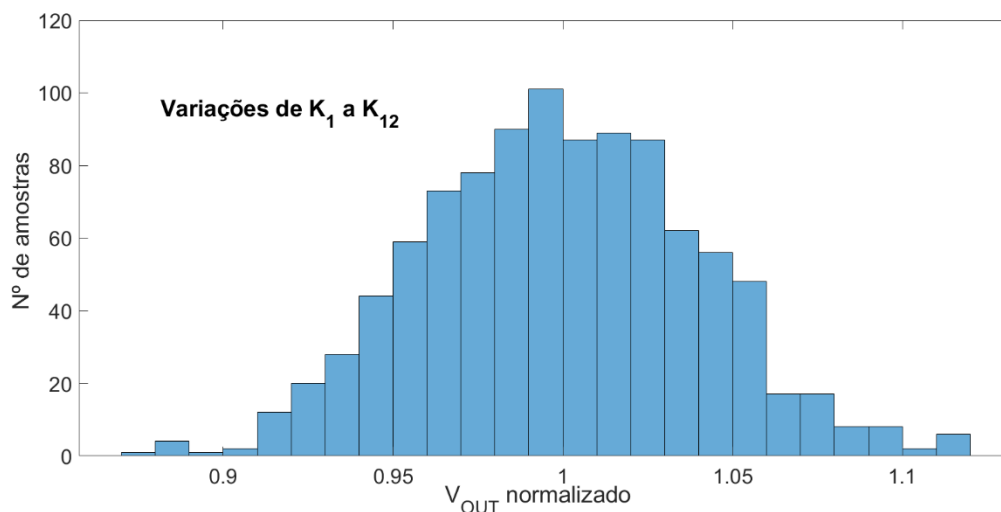


Figura 5.2 – Distribuição da tensão de saída do multiplicador de Sawigun para 1000 combinações aleatórias de  $V_{T01}$  a  $V_{T012}$  em distribuição normal com desvio padrão de 10%.

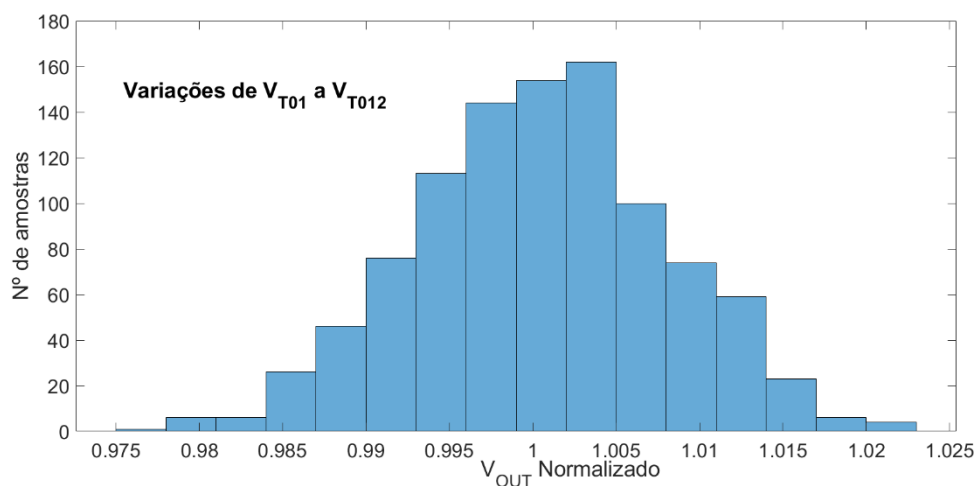


Figura 5.3 – Distribuição da tensão de saída do multiplicador de Sawigun para 1000 combinações aleatórias de  $n_1$  a  $n_{12}$  em distribuição normal com desvio padrão de 1%.

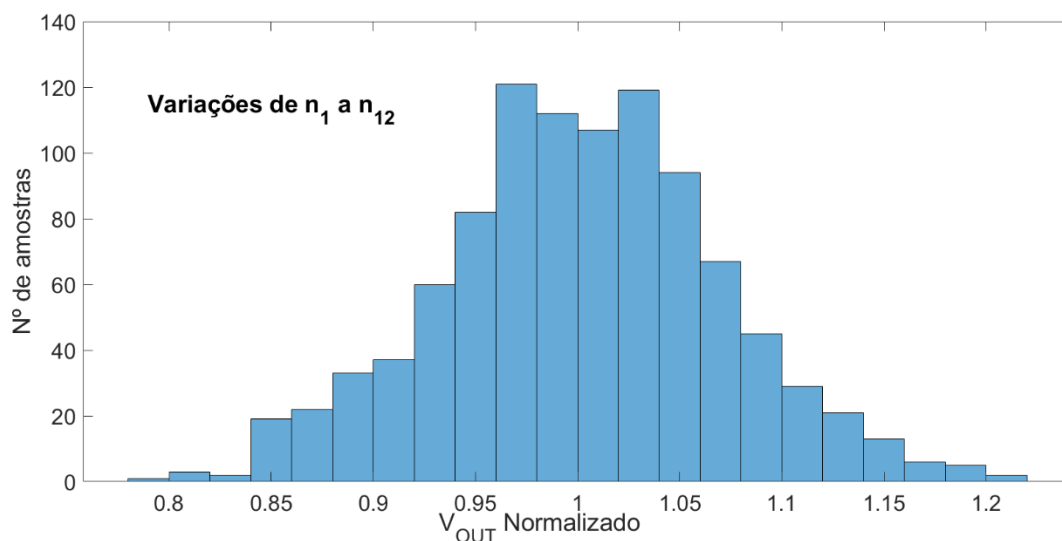
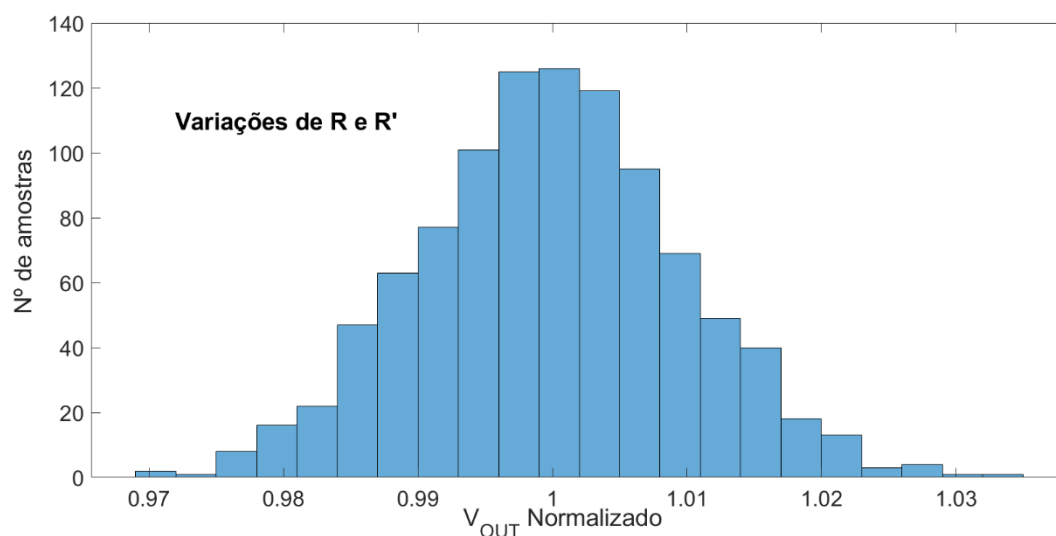


Figura 5.4 - Distribuição da tensão de saída do multiplicador de Sawigun para 1000 combinações aleatórias de  $R$  a  $R'$  em distribuição normal com desvio padrão de 10%.



#### 5.4.2 Multiplicador de Mahmoud

Nas Figuras 5.5 a 5.8 são apresentadas as distribuições dos valores normalizados de  $V_{OUT}$  do multiplicador de Mahmoud, para variações aleatórias nos valores de  $K$ ,  $V_{T0}$ ,  $n$  dos dezesseis transistores do circuito, assim como nos valores das resistências, realizadas em separado e nesta ordem.

Deve-se notar que, assim como no multiplicador de Sawigun, a sensibilidade de  $V_{OUT}$  é mais proeminente em relação aos descasamentos entre os valores individuais do parâmetro  $K$  e entre os valores individuais do fator de rampa  $n$ , que em relação aos descasamentos entre as resistências e entre as tensões de limiar. Particularmente, a variação do fator de rampa tem uma influência bem pronunciada sobre a dispersão da tensão de saída no multiplicador de Mahmoud.

Figura 5.5 – Distribuição da tensão de saída do multiplicador de Mahmoud para 1000 combinações aleatórias de  $K_1$  a  $K_{16}$  em distribuição normal com desvio padrão de 1%.

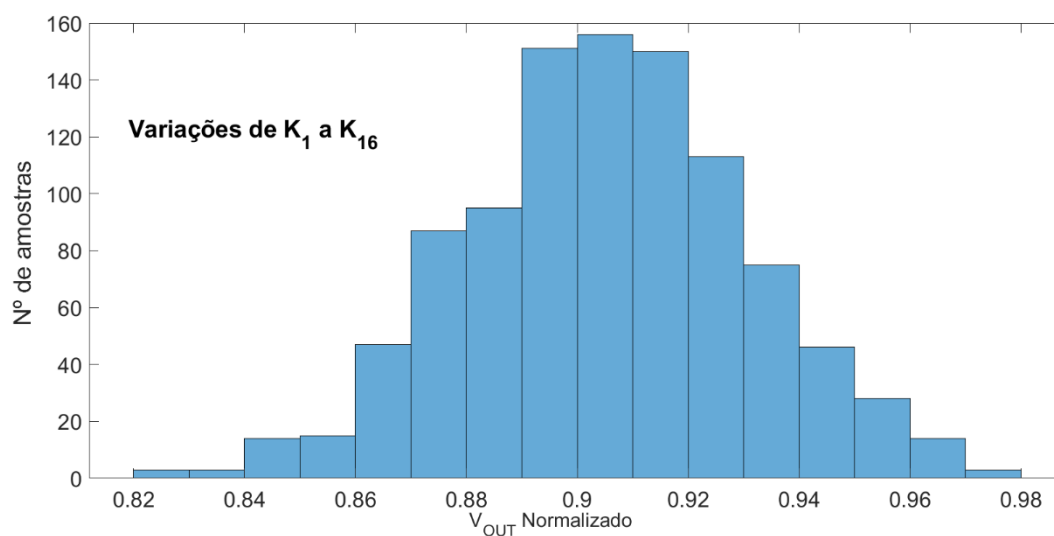


Figura 5.6 – Distribuição da tensão de saída do multiplicador de Mahmoud para 1000 combinações aleatórias de  $V_{T01}$  a  $V_{T016}$  em distribuição normal com desvio padrão de 10%.

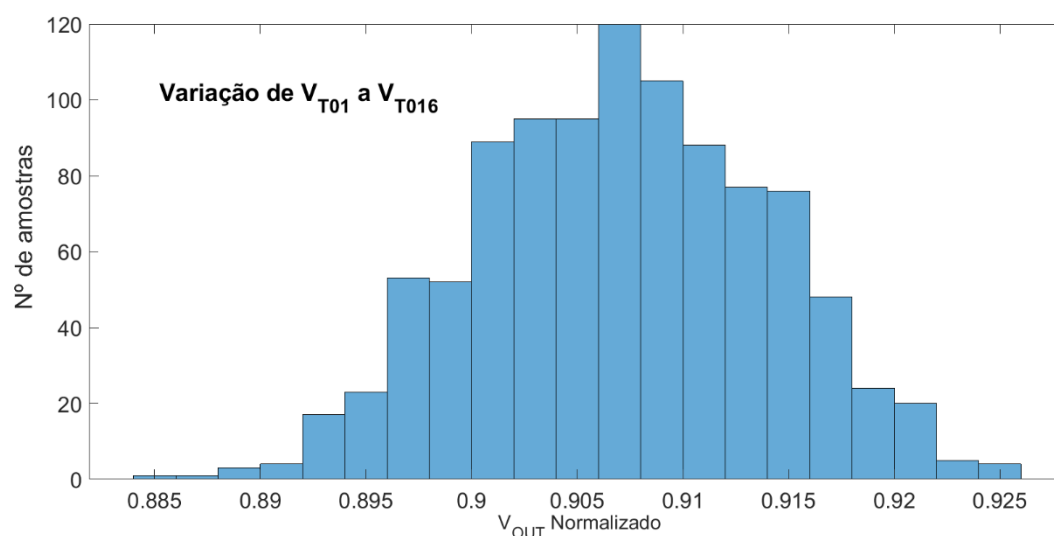


Figura 5.7 – Distribuição da tensão de saída do multiplicador de Mahmoud para 1000 combinações aleatórias de  $n_1$  a  $n_{16}$  em distribuição normal com desvio padrão de 1%.

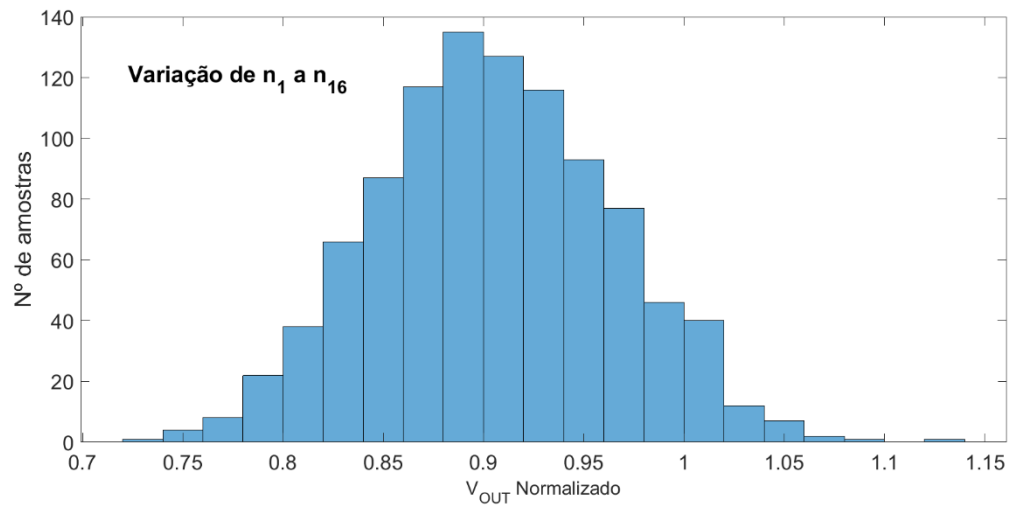
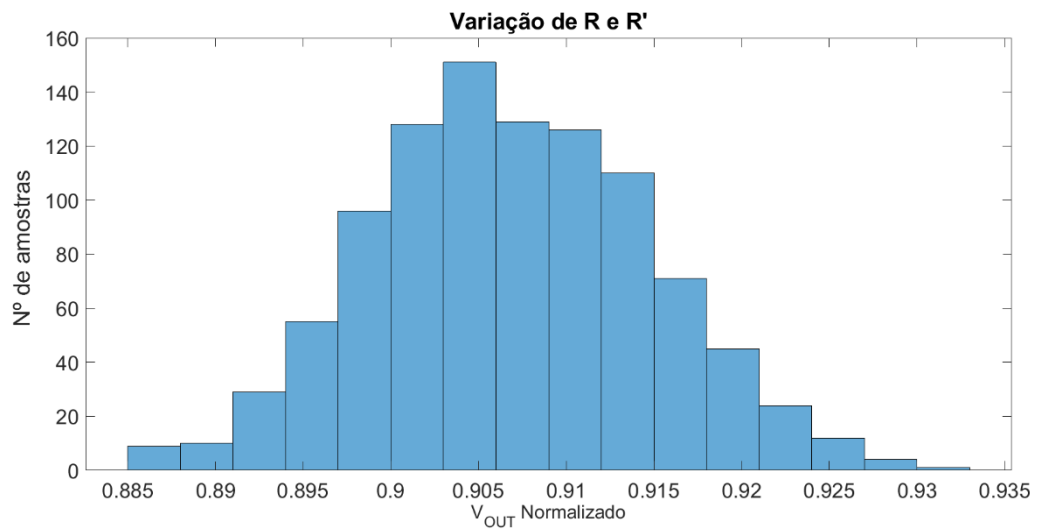


Figura 5.8 - Distribuição da tensão de saída do multiplicador de Mahmoud para 1000 combinações aleatórias de  $R$  a  $R'$  em distribuição normal com desvio padrão de 10%.



## 5.5 Contribuição dos coeficientes de distorção para o sinal de saída

A Tabela 5.3 relaciona as contribuições dos coeficientes de distorção para os valores da tensão de saída dos multiplicadores de Sawigun e Mahmoud, coeficientes estes constantes da Tabela 4.1 e obtidos a partir do ajuste das superfícies de transferência a polinômios de 5ª ordem. Os valores absolutos máximos e médios destas contribuições são apresentados em porcentagens do fundo de escala da tensão de saída de cada um dos multiplicadores sob análise.

Tabela 5.3 – Contribuição dos coeficientes de distorção para o sinal de saída – Multiplicadores de Sawigun e Mahmoud

| Termo                      | Valor absoluto máximo<br>(% do fundo de escala) |         | Valor absoluto médio<br>(% do fundo de escala) |         |
|----------------------------|-------------------------------------------------|---------|------------------------------------------------|---------|
|                            | Sawigun                                         | Mahmoud | Sawigun                                        | Mahmoud |
| $a_{00}$                   | 1,033                                           | 12,036  | 1,033                                          | 12,0356 |
| $a_{10}V_{IN1}$            | 8,623                                           | 0,6961  | 4,345                                          | 0,3511  |
| $a_{01}V_{IN2}$            | 0,422                                           | 0,0264  | 0,213                                          | 0,0133  |
| $a_{11}V_{IN1}V_{IN2}$     | 61,997                                          | 73,7071 | 15,752                                         | 18,7719 |
| $a_{20}V_{IN1}^2$          | 0,739                                           | 0,4111  | 0,250                                          | 0,1396  |
| $a_{02}V_{IN2}^2$          | 0,625                                           | 0,6129  | 0,212                                          | 0,2084  |
| $a_{21}V_{IN1}^2V_{IN2}$   | 0,946                                           | 5,4303  | 0,162                                          | 0,9311  |
| $a_{12}V_{IN1}V_{IN2}^2$   | 5,227                                           | 0,4476  | 0,894                                          | 0,0768  |
| $a_{30}V_{IN1}^3$          | 1,554                                           | 0,1222  | 0,398                                          | 0,0314  |
| $a_{03}V_{IN2}^3$          | 0,347                                           | 0,2144  | 0,089                                          | 0,0552  |
| $a_{22}V_{IN1}^2V_{IN2}^2$ | 0,257                                           | 1,2371  | 0,029                                          | 0,1428  |
| $a_{31}V_{IN1}^3V_{IN2}$   | 6,593                                           | 7,1379  | 0,851                                          | 0,9266  |
| $a_{13}V_{IN1}V_{IN2}^3$   | 19,772                                          | 4,4436  | 2,559                                          | 0,5772  |
| $a_{40}V_{IN1}^4$          | 0,167                                           | 0,1106  | 0,034                                          | 0,0230  |
| $a_{04}V_{IN2}^4$          | 1,219                                           | 0,8368  | 0,253                                          | 0,1741  |
| $a_{32}V_{IN1}^3V_{IN2}^2$ | 0,154                                           | 0,3014  | 0,013                                          | 0,0263  |
| $a_{23}V_{IN1}^2V_{IN2}^3$ | 1,059                                           | 1,2188  | 0,092                                          | 0,1066  |
| $a_{41}V_{IN1}^4V_{IN2}$   | 0,472                                           | 0,6657  | 0,049                                          | 0,0698  |
| $a_{14}V_{IN1}V_{IN2}^4$   | 5,738                                           | 0,5828  | 0,599                                          | 0,0612  |
| $a_{50}V_{IN1}^5$          | 0,057                                           | 0,1898  | 0,009                                          | 0,0331  |
| $a_{05}V_{IN2}^5$          | 0,478                                           | 0,2775  | 0,083                                          | 0,0486  |

As Figuras 5.9 e 5.10 comparam as superfícies de transferência ideal e ajustada ao polinômio de 5ª ordem com os coeficientes da Tabela 4.1, dos multiplicadores de Sawigun e Mahmoud, respectivamente. Por superfície de transferência ideal, entenda-se que a tensão de saída é calculada por  $V_{OUT} = a_{11}V_{IN1}V_{IN2}$ , ou seja, considerando apenas a contribuição do coeficiente  $a_{11}$ . Percebe-se que, apesar do ajuste das superfícies levantadas experimentalmente por polinômios de 5ª ordem ter se mostrado satisfatório, como observado na Seção 4.1, a distorção introduzida pelas implementações físicas dos dois multiplicadores é significativa.

Figura 5.9 – Comparação entre a superfície de transferência ideal (azul) e a superfície de transferência aproximada (vermelha) do Multiplicador de Sawigun

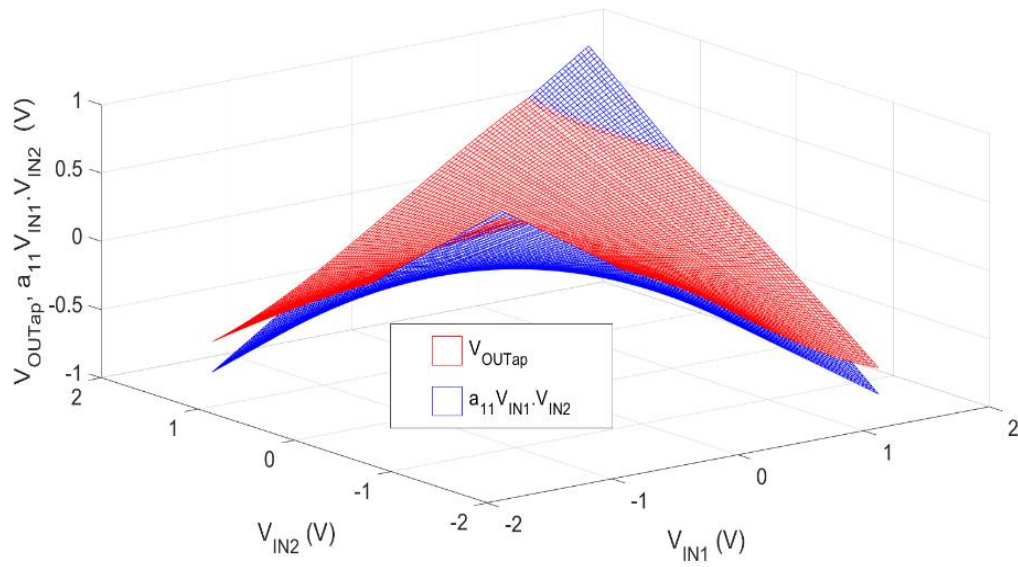
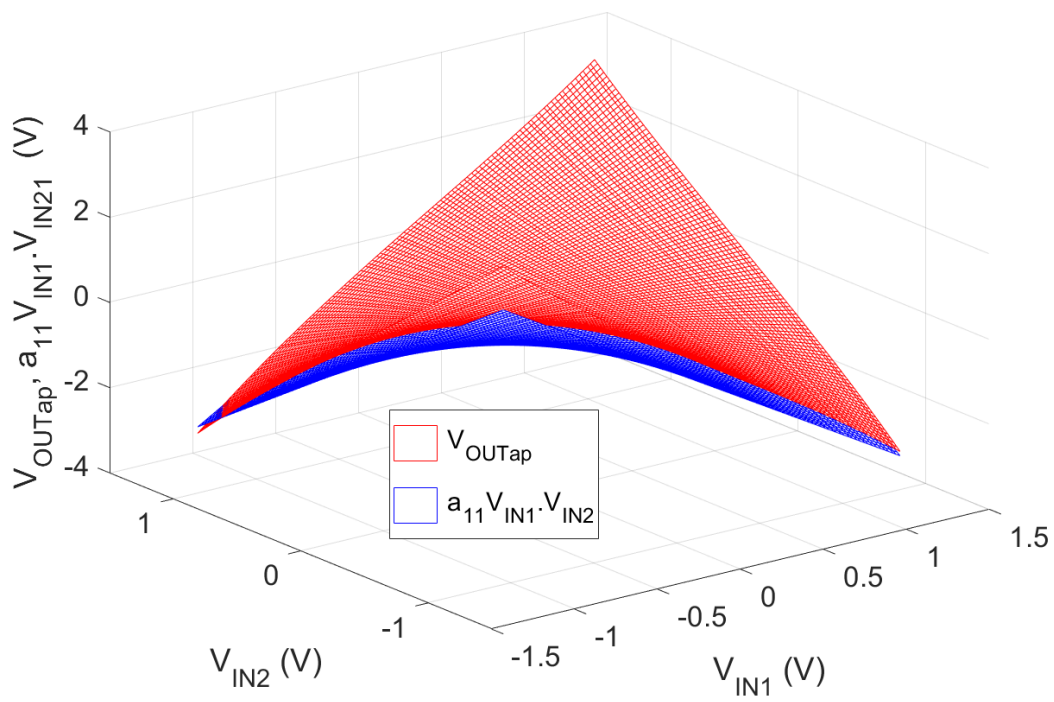


Figura 5.10 – Comparação entre a superfície de transferência ideal (azul) e a superfície de transferência aproximada (vermelha) do Multiplicador de Mahmoud



A Tabela 5.3 permite vislumbrar algumas relações entre a implementação física dos multiplicadores e o nível de distorção observado na tensão de saída. É notório que, à exceção do termo constante  $a_{00}$ , para a maior parte dos coeficientes de distorção, a contribuição percentual é mais significativa no multiplicador de Sawigun que no de Mahmoud. Isto se pode explicar por uma particularidade das implementações aqui levadas a efeito: no multiplicador de Sawigun, cada um dos doze transistores pertence a um circuito integrado individual, enquanto que no de Mahmoud, são os pares  $M_1$ - $M_2$ ,  $M_3$ - $M_4$ ,  $M_5$ - $M_6$ ,  $M_7$ - $M_{11}$ ,  $M_8$ - $M_{13}$ ,  $M_9$ - $M_{10}$ ,  $M_{12}$ - $M_{16}$  e  $M_{14}$ - $M_{15}$  que pertencem a circuitos integrados individuais. A implementação do multiplicador de Mahmoud, portanto, aumenta as chances de um melhor casamento das características físicas dos transistores reduzindo as desselelhanças entre  $K_1$  e  $K_2$ , entre  $K_3$  e  $K_4$ , entre  $I_{K1}$  e  $I_{K2}$ , entre  $V_{K1}$  e  $V_{K2}$  e entre  $V_{K3}$  e  $V_{K4}$ .

O descasamento entre  $V_{Ka}$  e  $V_{Kb}$ , entretanto, pode ter resultado elevado em virtude de os transistores  $M_7$  e  $M_{12}$  não pertencerem à mesma pastilha, como o são  $M_8$  e  $M_{13}$ , o que talvez explique o valor pronunciado da contribuição de  $a_{00}$  no multiplicador de Mahmoud, como se pode depreender de sua expressão na Tabela 5.2. Esta configuração explica também o fato de a contribuição do coeficiente  $a_{10}$  ser bem superior à do coeficiente  $a_{01}$  no multiplicador de Mahmoud: note-se que, pelas expressões da Tabela 5.2, a atenuação do primeiro depende muito da semelhança entre os parâmetros  $V_{Ka}$  e  $V_{Kb}$ , enquanto a do segundo não.

Pode-se observar também que a contribuição do coeficiente  $a_{02}$  é um pouco maior que a do coeficiente  $a_{20}$  no multiplicador de Mahmoud, o que é consistente com o fato de a mitigação do efeito do primeiro depender do casamento entre os fatores de rampa de  $M_7$  e  $M_{12}$ , transistores que nesta montagem encontram-se em circuitos integrados diferentes. Pela observação das expressões da Tabela 5.2, podemos afirmar que, no multiplicador de Mahmoud, a distorção de 2ª ordem deve-se às diferenças nos valores das resistências e aos descasamentos geométrico e tecnológico entre os transistores que recebem a tensão diferencial de entrada  $V_1 - V_2$  e que esta distorção é piorada com o descasamento entre os fatores de rampa dos transistores que recebem a tensão  $V_3 - V_4$ .

No multiplicador de Sawigun, a contribuição de  $a_{10}$  é significativamente maior que a de  $a_{01}$  e a de  $a_{20}$  é ligeiramente maior que a de  $a_{02}$ . Pelas expressões dos coeficientes apresentadas na Tabela 5.1, percebe-se que a atenuação de  $a_{10}$  e  $a_{01}$  requer o casamento dos parâmetros  $K$ ,  $n$  e  $V_{T0}$  entre  $M_9$  e  $M_{10}$ , entre  $M_1$  e  $M_2$ , entre  $M_5$  e  $M_6$ , entre  $M_{11}$  e  $M_{12}$ , entre  $M_3$  e  $M_4$  e entre  $M_7$  e  $M_8$ . Entretanto, a ocorrência dos parâmetros  $\varepsilon_1$  a  $\varepsilon_4$  na

expressão de  $a_{10}$  intensifica a dependência de seu cancelamento em relação ao casamento entre as razões  $K_1/K_5$  e  $K_2/K_6$  e entre as razões  $K_4/K_8$  e  $K_3/K_7$ . Como os parâmetros  $\varepsilon_k$  não aparecem na expressão de  $a_{01}$ , a exigência de casamento geométrico entre os mencionados transistores é menos premente para a atenuação deste coeficiente.

No caso de  $a_{20}$  e  $a_{02}$ , a atenuação do segundo é facilitada pois requer basicamente os casamentos de  $K$  e  $n$  entre  $M_{11}$  e  $M_9$  e entre  $M_{12}$  e  $M_{10}$  ou, alternativamente, entre  $M_{11}$  e  $M_{10}$  e entre  $M_{12}$  e  $M_9$ , todos do tipo canal  $n$ . Contudo, a ocorrência dos parâmetros  $\varepsilon_k$  na expressão de  $a_{20}$  adiciona a necessidade de casamento geométrico entre os transistores do tipo canal  $p$ , de modo que os valores das razões  $K_3/K_7$  e  $K_4/K_8$  se aproximem respectivamente das razões  $K_1/K_5$  e  $K_2/K_6$ , se os pares de transistores de canal  $n$  melhor casados forem  $M_{11}$ - $M_9$  e  $M_{12}$ - $M_{10}$ , ou vice-versa, se os pares canal  $n$  melhor casados forem  $M_{11}$ - $M_{10}$  e  $M_{12}$ - $M_9$ . De uma maneira mais simples e mais geral, podemos enunciar que a mitigação da distorção de segunda ordem no multiplicador de Sawigun depende de um bom casamento entre as resistências e de um bom casamento geométrico e tecnológico entre os dispositivos de canal  $n$  das metades direita e esquerda do diagrama esquemático da Figura 3.1, podendo melhorar se este casamento se estender aos dispositivos de canal  $p$ .

Percebe-se que em qualquer das topologias analisadas, a realização de uma adequada subtração das correntes é também um requisito para atenuar a distorção de 2ª ordem. Nas implementações testadas, esta subtração é realizada por meio das resistências que também convertem a corrente resultante em tensão. Contudo, em circuitos integrados, pode-se preferir o uso de subtratores constituídos por espelhos de corrente, cujo desempenho pode ser determinante para a redução das contribuições de ordem par na distorção do multiplicador.

Embora a análise teórica desenvolvida na Seção 5.1, utilizando um modelo quadrático para a característica corrente-tensão do MOSFET, possa sugerir que a distorção destes multiplicadores esteja limitada até a 2ª ordem, podemos observar na Tabela 5.3 que contribuições oriundas de termos de maior ordem podem ser bastante significativas: é o caso dos coeficientes  $a_{13}$ ,  $a_{12}$ ,  $a_{31}$ ,  $a_{14}$  e  $a_{30}$ , no multiplicador de Sawigun, e dos coeficientes  $a_{21}$ ,  $a_{31}$  e  $a_{13}$ , no multiplicador de Mahmoud. Isto acontece porque o modelo do transistor MOS aqui empregado é muito simples e incapaz de prever todas as fontes de distorção mencionadas no início deste capítulo. É muito possível que as contribuições de ordem superior para a distorção se originem de efeitos de pequenas dimensões dos transistores, como a modulação do comprimento do canal ou

a saturação de velocidade dos portadores de carga, ou da degradação da mobilidade. Ou ainda é possível que tais contribuições sejam produzidas pelo fato de os dispositivos se desviarem das regiões de operação para as quais os circuitos foram concebidos (no caso, região de saturação no regime de inversão forte). Para levar estas peculiaridades em consideração, o modelo representativo do comportamento do transistor deveria ser bem mais complexo, por outro lado dificultando apreciavelmente as análises.

## CAPÍTULO 6

### DISTORÇÃO NA OPERAÇÃO DE UMA CNN

Neste capítulo, pretende-se averiguar os impactos causados pela distorção de um multiplicador numa aplicação prática. Foi escolhida a aplicação em sinapses de redes neurais celulares analógicas, na operação de processamento de imagens, porque envolve um grande volume multiplicações realizadas em simultaneidade.

Os resultados apresentados neste capítulo utilizam uma implementação teórica de CNN, utilizando células do tipo FSR, como é o caso da CNN proposta por (SANTANA, 2013). Esta implementação foi realizada por Fabian Souza de Andrade, pesquisador do Laboratório de Concepção de Circuitos Integrados da Universidade Federal da Bahia, por meio de um código executável no *software* MATLAB, com o objetivo de testar operações de processamento de imagem pela CNN e comparar resultados teóricos com os obtidos por simulação do circuito analógico em tecnologia CMOS proposto por (SANTANA, 2013).

No presente trabalho, as sinapses da CNN implementada teoricamente são modeladas pelos coeficientes de distorção obtidos para o multiplicador de Cardoso (Tabela 4.1), analisado no Capítulo 4, ajustando-se sua superfície de transferência gerada por simulação a um polinômio de 5ª ordem, de acordo com a expressão (2.18.b), segundo a metodologia descrita na Seção 3.2.2. A escolha do multiplicador de Cardoso para este estudo deve-se ao fato de o mesmo ter sido projetado especificamente para aplicação em CNN, além de ser uma versão melhorada do multiplicador utilizado em (SANTANA, 2013).

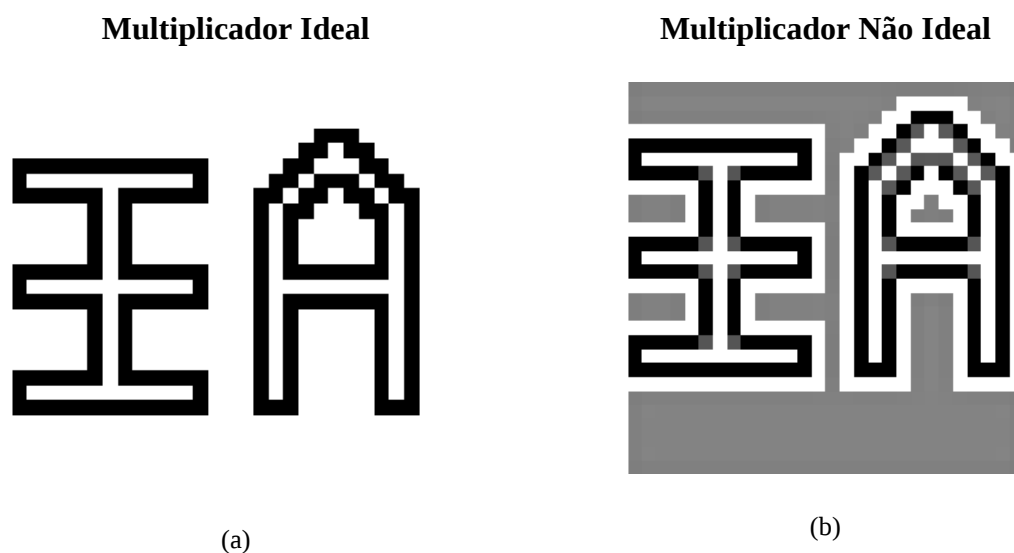
Primeiramente foi realizada uma operação de processamento de imagem simples: a detecção de borda em imagens binárias, convencionando-se que +1 é o valor de um píxel preto e que -1 é o valor de um píxel branco. A imagem de entrada empregada neste teste é a ilustrada na Figura 6.1.

É possível observar que, para o caso em que as sinapses são modeladas por um multiplicador ideal (código original), a operação da detecção de borda aplicada à imagem da Figura 6.1 não sofreu nenhuma distorção, conforme ilustrado na Figura 6.2(a). Mas para o caso não ideal, ou seja, utilizando-se os coeficientes de distorção do multiplicador de Cardoso, como mencionado anteriormente, pode-se constatar a ocorrência de distorção relevante (Figura 6.2(b)) na imagem de saída.

Figura 6.1 – Imagem de entrada (função detecção de bordas em imagem binária)



Figura 6.2 – Imagem de saída da CNN teórica operando como detector de borda de imagem binária, nos casos do multiplicador ideal e não ideal, para a imagem de entrada da Figura 6.1

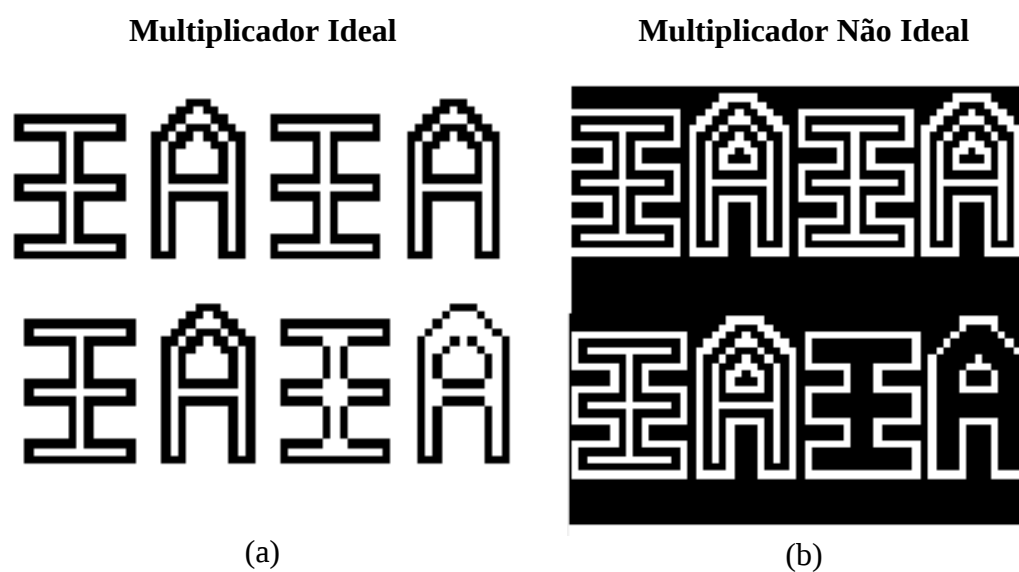


Em um segundo momento, foi testada a função de detecção de bordas em escala de cinza, utilizando-se como imagem de entrada a apresentada na Figura 6.3. Notou-se que para o caso em que as sinapses são modeladas por um multiplicador ideal (sem distorção), a imagem de saída apresentou uma leve distorção no caso do elemento da imagem de entrada que apresenta cor cinza claríssima, conforme ilustrado na Figura 6.4(a). Por outro lado, para o caso em que as sinapses são modeladas por um multiplicador não ideal (com distorção de 5ª ordem), a imagem de saída apresentou uma distorção bem acentuada, conforme ilustra a Figura 6.4(b).

Figura 6.3 – Imagem de entrada (função detecção de bordas em escala de cinza)



Figura 6.4 – Imagem de saída da CNN teórica operando como detector de borda em escala de cinza, nos casos do multiplicador ideal e não ideal, para a imagem de entrada da Figura 6.3



Depois de testadas outras imagens de entrada para a operação de detecção de borda de imagem binária e em escala de cinza, pode-se concluir que:

- Em ambos os casos, multiplicador ideal ou não ideal, a distorção fica mais evidente no processamento de imagens ou elementos de imagem em tons muito claros de cinza;

- No caso não ideal, ocorre distorção apreciável também no processamento de imagens ou elementos de imagem em tons escuros de cinza;
- Registrou-se que o tempo de processamento da imagem para o caso não ideal foi maior que no caso ideal (3,33 vezes maior para os resultados da Figura 6.4).

Em seguida, foi testada a operação da CNN na implementação da função de detecção de quina, utilizando-se duas imagens diferentes de entrada, conforme ilustram as Figuras 6.5(a) e 6.5(b). Esta função apresentou um comportamento semelhante à função de detecção de borda, em que, para o caso ideal, a distorção é imperceptível (Figura 6.6(a) e 6.6(b)) e para o caso não ideal (Figura 6.7(a) e 6.7(b)) é bastante notório.

Figura 6.5 - Imagens de entrada para função de detecção de quina

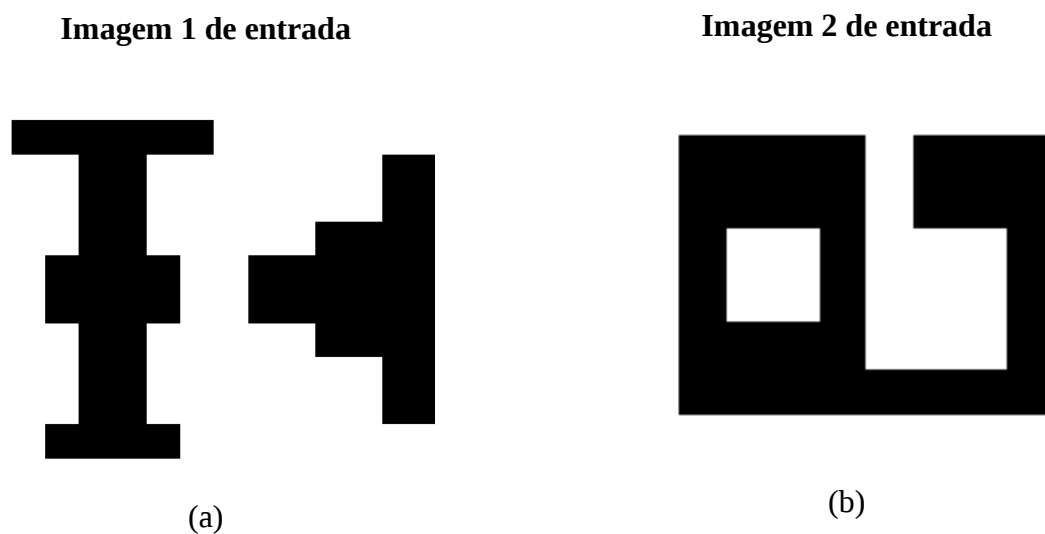


Figura 6.6 — Imagem de saída da CNN teórica na operação de detecção de quina, nos casos do multiplicador ideal e não ideal, para a imagem de entrada da Figura 6.5(a)

**Multiplicador Ideal (Imagem 1)**



(a)

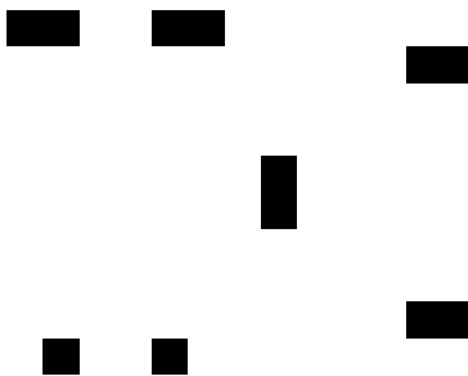
**Multiplicador Não Ideal (Imagem 1)**



(b)

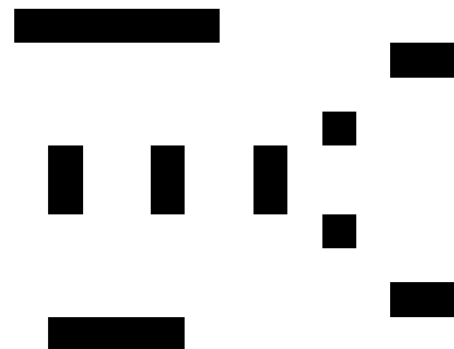
Figura 6.7 – Imagem de saída da CNN teórica na operação de detecção de quina, nos casos do multiplicador ideal e não ideal, para a imagem de entrada da Figura 6.5(b)

**Multiplicador Ideal (Imagem 2)**



(a)

**Multiplicador Não Ideal (Imagem 2)**



(b)

## CAPÍTULO 7

### CONCLUSÃO

Como já citado ao longo do trabalho, a análise de distorção em multiplicadores analógicos é muito importante para uma boa previsão do funcionamento dos circuitos que os utilizam em suas implementações. As figuras de mérito empregadas para avaliar o nível de distorção de multiplicadores neste trabalho foram: THD clássica,  $\text{THD}_{2\text{in}}$  e a 2D-INLF, sendo as duas últimas propostas originais do grupo de pesquisa do Laboratório de Concepção de Circuitos Integrados (LCCI) da Universidade Federal da Bahia.

As metodologias aplicadas para avaliar o nível de distorção foram descritas detalhadamente no Capítulo 3, sendo possível afirmar que aquelas que utilizam análise AC são muito menos confiáveis do que as que partem de análise DC. Além disto, por meio da análise DC, é possível também determinar as figuras tradicionalmente obtidas por análise AC, o inverso não sendo possível.

Os resultados do Capítulo 4 mostraram que a modelagem cuidadosa da superfície de transferência DC dos multiplicadores permite determinar as figuras de mérito para análise de distorção. A escolha adequada da ordem de distorção que prevalece no comportamento do multiplicador é obrigatória para se encontrar uma boa aproximação para a superfície de transferência DC utilizando os coeficientes de distorção. De posse destes últimos, valores teóricos da saída do multiplicador podem ser calculados a partir de variação DC ou de variações no domínio do tempo dos valores de entrada. Neste último caso, a análise de Fourier realizada sobre o sinal de saída teórico deveria fornecer resultados similares aos da análise de Fourier realizada sobre os sinais de saída simulados ou medidos.

A análise AC experimental requer uma configuração de medição extremamente meticulosa e uma infraestrutura geralmente dispendiosa, não estando disponível universalmente. Os procedimentos de medição incluem ônus relevantes, como requisitos de largura de banda dos instrumentos e acessórios, e são frequentemente afetados por ruídos AC e também por outras fontes de distorção. Como, em geral, o equipamento para análise AC é adequado apenas para medição de tensão, a caracterização da distorção do multiplicador em modo de corrente é muito mais difícil, pois exigiria a adição de circuitos auxiliares para conversão corrente-tensão, eles mesmos podendo introduzir distorção.

Portanto, a metodologia apresentada na Seção 3.3.3 é uma alternativa para obter valores confiáveis de figuras de distorção, como a THD clássica e  $THD_{2in}$ .

A análise DC pode ser realizada por meio de uma configuração mais simples, é menos sensível ao ruído e permite a determinação da 2D-INLF, figura tão significativa e geral quanto a  $THD_{2in}$ . Unidades de medição e fonte de baixo a médio custo, como a utilizada neste trabalho, associadas à programação computacional, permitem a automatização do procedimento. Esta automatização pode ser realizada também por meio de instrumentos sofisticados de caracterização e extração de parâmetros. Diferentemente da análise AC, a análise DC pode ser aplicada diretamente aos circuitos em modo corrente.

No Capítulo 5, foi ilustrado como estabelecer relações entre os coeficientes de distorção do multiplicador analógico e os parâmetros do circuito e de modelagem dos dispositivos. Para este fim, dois multiplicadores analógicos em tecnologia CMOS em modo tensão foram analisados teoricamente, utilizando modelos quadráticos para a relação corrente-tensão dos transistores MOS, a fim de obter expressões para a tensão de saída que levam em conta o efeito de corpo e os descasamentos geométricos e tecnológicos dos dispositivos.

Por meio de um *software* matemático, foram aplicadas variações aleatórias nos parâmetros de modelagem de cada transistor e nas resistências do circuito com o objetivo de analisar seus impactos sobre a tensão de saída do multiplicador. Utilizando-se os valores de coeficientes determinados por ajuste da superfície de transferência experimental, foram calculados os valores médios e máximos das contribuições de cada um deles para o sinal de saída. A comparação dos valores numéricos destas contribuições com as expressões teóricas dos coeficientes permitiu estimar a origem física de algumas distorções e sugere que este procedimento poderá estabelecer algumas diretrizes de projeto para minimizar a distorção dos multiplicadores.

Por fim, no Capítulo 6 uma implementação teórica de CNN analógica que utiliza células do tipo FSR foi testada substituindo a operação ideal de multiplicação que realiza as sinapses por um modelo com nível de distorção de 5ª ordem. Esta implementação foi utilizada para testar o efeito da distorção dos multiplicadores que compõem as sinapses na aplicação de processamento de imagens por CNN. Foram analisadas três funções simples: a detecção de bordas de imagens binária, a detecção de bordas em escala de cinza e a detecção de quinas em imagens binárias. Foi possível observar que, no caso em que as sinapses são modeladas por um multiplicador ideal, a imagem final não sofreu

nenhuma distorção, a exceção da detecção de bordas de elementos em tom de cinza muito claro; porém, no caso não ideal, ou seja, utilizando-se os coeficientes de distorção para modelar os multiplicadores, pode-se constatar a ocorrência de distorção relevante.

Como sugestões de trabalhos futuros, podemos citar:

- (i) Implementação física de outros circuitos multiplicadores para aplicação das metodologias propostas para a análise de distorção, seja na forma de protótipos, seja na forma de circuitos integrados.
- (ii) Pesquisas e investimentos para melhorar a infraestrutura de aplicação do método de análise AC experimental.
- (iii) Aplicação de modelos de dispositivos mais completos para proceder a análises teóricas mais amplas sobre a influência das não idealidades da implementação física na distorção dos multiplicadores.

## TRABALHOS PUBLICADOS:

GONÇALVES, G. C; ANDRADE, F. S.; RIBEIRO, H. A. G.; SOARES, S. S.; NASSIFFE, I. M.; SANTANA, E. P. e CUNHA, A. I. A. **Distortion Analysis of Integrated Analog Multipliers: DC versus AC Approaches**. Proceeding of 7th IEEE Latin American Symposium on Circuits and Systems, fev. 2016.

GONÇALVES, G. C; SILVA, M. H. O. P.; ANDRADE, F. S.; CARDOSO, F. M.; SOUSA, A. J. S.; SANTANA, E. P. e CUNHA, A. I. A. **Evaluation of Distortion Level in Analog Multipliers through DC Analysis Only**. Proceeding of 10th IEEE Latin American Symposium on Circuits and Systems, fev. 2019.

GONÇALVES, G. C; ANDRADE, F. S.; SILVA, M. H. O. P.; SOUSA, A. J. S.; PEREIRA, D. P.; SANTANA, E. P. e CUNHA, A. I. A. **Using Two-Dimensional DC Characterization to Improve Distortion Level of Analog Multipliers**. 4th International Symposium on Instrumentation Systems, Circuits and Transducers (INSCIT), ago. 2019.

## REFERÊNCIAS BIBLIOGRÁFICAS

AL-ABSI, A. M; HUSSEIN, A. e ABUELMA'ATTI, T. M. **A novel current-mode ultra-low ultra-low analog CMOS four quadrant multiplier**. International Conference on Computer and Communication Engineering (ICCCE 2012), Kuala Lumpur, Malásia, p.3-5, jul. 2012.

ALIKHANI, A. ALIKHANI e AHMADIand, A. AHMADI,. **“A Novel Current-Mode Four-Quadrant CMOS Analog Multiplier/Divider,”** International Journal of Electronics and Communications (AEU) “, vol. 68, pp. 581–586, 2012.

ALOUI, I.; HASSEN, N. e BESBES, K.  **$\pm 0.75V$  Four Quadrant Analog Multiplier In Current Mode**. 15th International Multi-Conference on Systems, Signals & Devices (SSD). Hammamet, Tunísia, 2018.

ALTHOMALI, R. **A Modified Exponential Pulse-Decay Modulation Technique Based on CMOS Analog Multiplier**. International Conference on Communication and Signal Processing, India, 2017.

ANALOG DEVICES, Inc. **Data Sheet do multiplicador analógico AD633**. U.S.A: 2012, 21 p.

ANALOG DEVICES, Inc. **Multiplier Application Guide**. Editado por D. H. Sheingold. U.S.A, 1978.

ANALOG DEVICES, Inc. **Data Sheet do multiplicador analógico AD534**. U.S.A: 1977, 21p.

ANDRADE, F. S. **Concepção e teste de multiplicadores analógicos em tecnologia CMOS**. Trabalho Final de Graduação. Salvador: Universidade Federal da Bahia, 2011.

BAHARMAST, A.; AZHARI, J. S. e MOWLAVI, S. **A new currentmode high speed four quadrant CMOS analog multiplier**. 24th Iranian Conference on Electrical Engineering (ICEE), Shiraz, Irã. 2016, pp. 1371–1376.

BAXEVANAKIS, D. e SOTIRIADIS, P. P.**A 1.8V CMOS chopper four-quadrant analog multiplier**. 6th International Conference on Modern Circuits and Systems Technologies (MOCASST), Thessaloniki, Gréciaeece. 2017.

BOONCHU, B. **Low-Voltage Low-Power Sub-Threshold CMOS Four-Quadrant Analogue Multiplier**. International Electrical Engineering Congress (IEECON). Krabi, Tailândia, 2018.

CARDOSO, M. F, SHNEIDER, C. M e SANTANA, P. E. **CMOS Analog Multiplier with High Rejection of Power Supply Ripple**. 9th Latin American Symposium on Circuits & Systems (LASCAS), México, 2018.

CERDEIRA, A.; ALEMÁN, M. e ESTRADA, M. **Integral Function Method for Determination of Nonlinear Harmonic Distortion**. Solid State Electronics, v. 48, p. 2225-2234, abr. 2004.

CERDEIRA, A.; ESTRADA, M.; QUINTERO, R.; FLANDRE, D.; ORTIZ-CONDE, A. e GARCÍA-S., F. J. **New method for determination of harmonic distortion in SOI FD transistors**. Solid-State Electronics, v. 46, p.103-108, jun. 2001.

CRACAN, A.; BONTEANU, G. e BOZOMITU, R-G. **A weak-inversion CMOS analog multiplier/divider circuit**. IEEE 24th International Symposium for Design and Technology in Electronic Packaging (SIITME). Iași, Romênia, 2018.

DANESH, M.; JAYARAJ, A.; CHANDRASEKARAN, S. T. e SANYAL, A. **Ultra-Low Power Analog Multiplier Based on Translinear Principle**. IEEE International Symposium on Circuits and Systems (ISCAS). Sapporo, Japão, 2019.

ENZ, C. C.; KRUMMENACHER, F. e VITTOZ, E. A. **An analytical MOS transistor model valid in all regions of operation and dedicated to low voltage and low-current applications**. Analog Integrated Circuits and Signal Processing, vol. 8, 1995, pp. 83–114.

GARCÍA-SÁNCHEZ, F. J.; ORTIZ-CONDE, A.; FINOL, J. L.; SALAZAR, R. B. e SALCEDO, J. A. **A minimal integral nonlinearity criterion to optimize the design of a new tanh/sinh-type bipolar transistor**. IEEE Trans. Circuits and Systems – I: Fundamental Theory and Applications, v. 49, p. 1062-1070, ago 2002.

GONÇALVES, C. G. **Análise de distorção em multiplicadores utilizando 2D-INLF**. Dissertação (Mestrado em Engenharia Elétrica) - Universidade Federal da Bahia. Salvador, 2015.

GONÇALVES, C. G; ANDRADE S. F; RIBEIRO, A. G. H; SOARES, S. S; NASSIFFE, M. I; SANTANA, P. E e CUNHA, A. I. A. **Distortion analysis of integrated analog multipliers: DC versus AC approaches**. Circuits & Systems (LASCAS), 2016 IEEE 7th Latin American Symposium, Florianópolis, mar.2016.

GONÇALVES, G. C; ANDRADE, F. S.; SILVA, M. H. O. P.; SOUSA, A. J. S.; PEREIRA, D. P.; SANTANA, E. P. e CUNHA, A. I. A. **Using Two-Dimensional DC Characterization to Improve Distortion Level of Analog Multipliers**. 4th International Symposium on Instrumentation Systems, Circuits and Transducers (INSCIT), ago. 2019.

HAN, G. e SÁNCHEZ, S. E. **CMOS Transconductance Multipliers: A Tutorial**. IEEE Transactions on Circuits and Systems-II: Analog and Digital Signal Processing, v. 45, nº 12, dez. 1998.

HASAN, S. M. R. **A Novel Wide-Swing Wide-Bandwidth Scalable Low-Voltage Analog CMOS Multiplier for Communication Signal Processing**. TENCON IEEE Region 10 Conference. Melbourne, Austrália, 2005.

HUANG, Z.; INOUE, Y.; YU, H. e ZHANG, Q. **A Wide Dynamic Range Four-Quadrant CMOS Analog Multiplier Using Active Feedback**. APCCAS - IEEE Asia Pacific Conference on Circuits and Systems. Singapura, 2006.

KANAPYANOV, A. e KRESTINSKY, O. **Analysis of CMOS-Memristive Analog Multiplier Design**. International Conference on Computing and Network Communications (CoCoNet). Astana, Cazaquistão, 2018.

KEYSIGHT TECHNOLOGIES. **Data Sheet do osciloscópio MSO7104B**, Publicado no USA, dez 1, 2017 5990-4769EN. Disponível em: <[www.keysight.com](http://www.keysight.com)>>. Acessado em: 08 jan 2018.

KONGPOON, M. **Ultra-low-power, Modular, Class-AB Current Multiplier**. 5th International Conference on Engineering, Applied Sciences and Technology (ICEAST). Luang Prabang, Laos, 2019.

LACERDA, L. A.; SANTANA, E. P.; ALMEIDA, C. V. A. e CUNHA, A. I. A. **Distortion Analysis of Analog Multiplier Circuits Using Two-Dimensional Integral**

**Nonlinear Function.** Proceedings of 22nd Symposium on Integrated Circuits and Systems Design (SBCCI), nº 9, Natal, set. 2009.

MAHMOUD, S. A. **Low Voltage Low Power Wide Range Fully Differential CMOS Four-Quadrant Analog Multiplier.** 52nd IEEE International Midwest Symposium on Circuits and Systems. Cancún, México, 2009.

PAWARANGKOON, P. e SAWIGUN, C. **A Compact Bulk-Driven Four-Quadrant Analog Multiplier in Weak Inversion.** IEEE Asia Pacific Conference on Circuits and Systems. Chengdu, China, 2018.

PEDERSON, D. O. e MAYARAM, K. **Analog Integrated Circuits for Communication.** Kluwer, 2 ed, 1991.

RENGE, A; TIJARE, A. e DAKHOLE, P. **CMOS current-mode analog multiplier.** International Conference on Communication and Signal Processing, India, 2016.

SAATLO, N. A; AMIRI, A e ASADPOUR, L. **A New CMOS Four-quadrant Analog Multiplier with Differential Output.** Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design (SMACD), 2015 International Conference on Istanbul, Turkey, out. 2015.

SALAZAR, R. B.; ORTIZ-CONDE, A. e GARCÍA-SÁNCHEZ, F. J. **A computationally efficient method for evaluating distortion in DG-MOSFET's.** Proceedings of the NSTI – Nanotech, v. 3, p. 582-585, maio 2007.

SANTANA, E. P.; FREIRE, R. C. S. e CUNHA, A. I. A. **A CMOS analog four-quadrant multiplier for CNN synapse.** Proceeding of 8th IEEE International Caribbean Conference on Devices, Circuits and Systems, p. 1-4, mar. 2012.

SANTANA, E. P.; FREIRE, R. C. S. e CUNHA, A. I. A. **A compact low-power CMOS analog FSR model-based CNN.** Journal of Integrated Circuit and Systems, vol. 7, no. 1, pp. 72–80, Mar. 2012.

SANTANA, P. E. **Circuitos analógicos em tecnologia CMOS para implementação de próteses retinianas.** 2013. Tese (Doutorado em Engenharia Elétrica) – Universidade Federal da Bahia. Salvador

SATAPATHY, A. MAITY, K.S e MANDAL, S. K. **A Flipped Voltage Follower Based Analog Multiplier In 90nm CMOS Process**. International Conference on Advances in Computer Engineering and Applications (ICACEA) IMS Engineering College, Ghaziabad, India, 2015.

SAWIGUN, C; DEMOSTHENOUS, A e PAL, D. **A Low-Voltage, Low-Power, High-Linearity CMOS Four-Quadrant Analog Multiplier**. Circuit Theory and Design, 2007.ECCTD 2007.18th European Conference on Seville, Espanha, 2007.

SOUSA, A. B. F. **Projeto de Circuitos Multiplicadores Analógicos em Tecnologia CMOS**. Trabalho Final de Graduação. Salvador: Universidade Federal da Bahia, 2010.

SOUSA, A. J. S.; CARDOSO, F. M.; NUNES, K. K. C. F.; ANDRADE, F. S.; GONÇALVES, G. C.; SANTANA, E. P. e CUNHA, A. I. A. **A Very Compact CMOS Analog Multiplier for Application in CNN Synapses**. IEEE 10th Latin American Symposium on Circuits & Systems (LASCAS). Armênia, Colombia, 2019.

TANNO, K.; ISHIZUKA, O. e TANG, Z. **Four-quadrant CMOS current-mode multiplier independent of device parameters**. IEEE Trans. Circuits and Systems – II: Analog and Digital Signal Processing, v. 47, p. 473-477, maio 2000.

TIJARE, A e DAKHOLE, P. **CMOS current mode analog multiplier**. Signal and Information Processing (Icon SIP), International Conference on Vishnupuri, India, 2017.

VAN DER HEIJDEN, M. P. **Theory and design of an ultralinear square-law approximated LDMOS power amplifier in class-AB operation**. IEEE Trans Microw Theory Tech, p. 2176–2184, set 2002.

VÁZQUEZ, R. A e HUERTAS, L. J. **Current-Mode techniques for the implementation of continuous and discrete-time cellular neural networks**. IEEE transactions on circuits and systems-11: analog and digital signal processing. vol. 40.nº.3, mar. 1993.

VLASSIS, S.; SOULIOTIS, G. e PLESSAS, F. **Ultra low-voltage current squaring and multiplier**. 8th International Conference on Modern Circuits and Systems Technologies (MOCAS). Tessolânica, Grécia, 2019.

## Apêndice A

Tabela A.1 – Identidades Trigonômétricas

|                                   |                                                                                                                                                |
|-----------------------------------|------------------------------------------------------------------------------------------------------------------------------------------------|
| $\text{sen}^2(a)$                 | $\frac{1 - \cos(2a)}{2}$                                                                                                                       |
| $\text{sen}(a).\text{sen}(b)$     | $\frac{\cos(a - b) - \cos(a + b)}{2}$                                                                                                          |
| $\text{sen}^2(a).\text{sen}(b)$   | $\frac{\text{sen}(b)}{2} + \frac{\text{sen}(2a - b) - \text{sen}(2a + b)}{4}$                                                                  |
| $\text{sen}^3(a)$                 | $\frac{3\text{sen}(a) - \text{sen}(3a)}{4}$                                                                                                    |
| $\text{sen}^2(a).\text{sen}^2(b)$ | $\frac{1 - \cos(2a) - \cos(2b)}{4} + \frac{\cos(2a + 2b) + \cos(2a - 2b)}{8}$                                                                  |
| $\text{sen}^3(a).\text{sen}(b)$   | $\frac{3\cos(a - b) - 3\cos(a + b) - \cos(3a - b) + \cos(3a + b)}{8}$                                                                          |
| $\text{sen}^4(a)$                 | $\frac{3 + \cos(4a)}{8} - \frac{\cos(2a)}{2}$                                                                                                  |
| $\text{sen}^3(a).\text{sen}^2(b)$ | $\frac{3\text{sen}(a) - \text{sen}(3a)}{8} + \frac{\text{sen}(3a + 2b) + \text{sen}(3a - 2b) - 3\text{sen}(a + 2b) - 3\text{sen}(a - 2b)}{16}$ |
| $\text{sen}^4(a).\text{sen}(b)$   | $\frac{3\text{sen}(b)}{8} + \frac{\text{sen}(2a - b) - \text{sen}(2a + b)}{4} + \frac{\text{sen}(4a + b) - \text{sen}(4a - b)}{16}$            |
| $\text{sen}^5(a)$                 | $\frac{5\text{sen}(a)}{8} - \frac{5\text{sen}(3a)}{16} + \frac{\text{sen}(5a)}{16}$                                                            |

## Apêndice B

Código executável no *software* MATLAB, para controle da SMU utilizando instruções na linguagem SCPI (*Standard Commands for Programmable Instruments*) (GONÇALVES, 2015, 2016):

```
% Inicialização
clc
clear
ponto = 0;
NP=201;
% Procura do objeto unidade de medição e fonte UA2723.
%Find a VISA-USB object(ua2723)
ua2723 = instrfind('Type', 'visa-usb', 'RsrcName',
'USB0::0x0957::0x4318::my52140013::0::INSTR', 'Tag', '');
% Create the VISA-USB object if it does not exist
% otherwise use the object that was found.
if isempty(ua2723)
ua2723 = visa('AGILENT',
'USB0::0x0957::0x4318::my52140013::0::INSTR');
else
fclose(ua2723);
ua2723 = ua2723(1)
end
% Connect to instrument object, obj1.
fopen(ua2723);

% Aplicação de 2 sequências de valores de tensão nos canais 1 e 2 e
medição dos valores correspondentes a multiplicação entre eles (CH2 *
CH1) no canal 3:
fprintf(ua2723, '*CLS');
fprintf(ua2723, '*RST');
fprintf(ua2723, 'VOLT:RANG R20V, (@1)');
fprintf(ua2723, 'CURR:RANG R120mA, (@1)');
fprintf(ua2723, 'CURR:LIM 50mA, (@1)');
%cormax = query(ua2723, 'CURR:LIM? (@1)')
fprintf(ua2723, 'VOLT 0V, (@1)');
fprintf(ua2723, 'OUTP 1, (@1)');

fprintf(ua2723, 'VOLT:RANG R20V, (@2)');
fprintf(ua2723, 'CURR:RANG R120mA, (@2)');
fprintf(ua2723, 'CURR:LIM 50mA, (@2)');
%cormax = query(ua2723, 'CURR:LIM? (@2)')
fprintf(ua2723, 'VOLT 0, (@2)');
fprintf(ua2723, 'OUTP 1, (@2)');

fprintf(ua2723, 'VOLT:RANG R20V, (@3)');
fprintf(ua2723, 'CURR:RANG R120mA, (@3)');
fprintf(ua2723, 'VOLT:LIM 20V, (@3)');
%cormax = query(ua2723, 'CURR:LIM? (@3)')
fprintf(ua2723, 'CURR 0, (@3)');
fprintf(ua2723, 'OUTP 1, (@3)');

v1=linspace(v1min,v1max,NP)';
v2= linspace(v2min,v2max,NP)';
```

```

% laço externo - variação de v2 (canal 2 - pino y1)
for m = 1:NP
fprintf(ua2723, 'VOLT %f, (@2)', v2(m));

% laço interno - variação de v1 (canal 1 - pino x1)
for n = 1:NP
fprintf(ua2723, 'VOLT %f, (@1)', v1(n));

%tensao = query(ua2723, 'VOLT? (@1)')
vmedida1(n) = str2double(query(ua2723, 'MEAS:VOLT? (@1)'));
imedita1(n) = str2double(query(ua2723, 'MEAS:CURRE? (@1)'));
% medição da saída (canal 3):
%fprintf(ua2723, 'CURR 0, (@3)');
vmedida3(n,m) = str2double(query(ua2723, 'MEAS:VOLT? (@3)'));
imedita3(n,m) = str2double(query(ua2723, 'MEAS:CURRE? (@3)'));
pause(0.0001)
ponto = ponto + 1
end
vmedida2(m) = str2double(query(ua2723, 'MEAS:VOLT? (@2)'));
imedita2(m) = str2double(query(ua2723, 'MEAS:CURRE? (@2)'));
pause(0.0001)
end

fprintf(ua2723, 'OUTP 0, (@1)');
fprintf(ua2723, 'OUTP 0, (@2)');
fprintf(ua2723, 'OUTP 0, (@3)');
fclose(ua2723);
mesh(vmedida1,vmedida2,vmedida3)

tmttool

```

## Apêndice C

Código executável no *software* MATLAB, utilizado para calcular a 2D-INLF (GONÇALVES, 2015, 2016):

```
load<nome do arquivo de dados>

% O arquivo de dados contém os vetores vmedida1, vmedida2 e vmedida3
% com os valores medidos nos canais 1, 2 e 3, respectivamente, da SMU,
% para cada valor máximo de tensão na entrada

xr = vmedida1;
yr = vmedida2;
zr = vmedida3;

% Estimativa do valor de K, a partir de pontos medidos, para cálculo
% dos valores ideais da saída do multiplicador:  $z = K * x * y$ 

k1q = abs(zr(length(yr),length(xr))/(xr(length(xr))*yr(length(yr))));
k2q = abs(zr(length(yr),1)/(xr(1)*yr(length(yr))));
k3q = abs(zr(1,1)/(xr(1)*yr(1)));
k4q = abs(zr(1,length(xr))/(xr(length(xr))*yr(1)));

k = (k1q+k2q+k3q+k4q)/4

% Cálculo dos pontos da superfície ideal  $z = K * x * y$ 

[xrg,yrg] = meshgrid(xr,yr);
zir = k.*xrg.*yrg;

% Valor absoluto do volume entre as superfícies medida e ideal

fori=1:length(yt)
fyx(i)= trapz(xr,abs(zr(:,i)-zir(:,i)));
end
vdifx=trapz(yr ,fyx);

% Volume da superfície ideal

fori=1:length(yt)
fyix(i) = trapz(xr,abs(zir(:,i)));
end

vix=trapz(yr,abs(fyix));

% Cálculo da 2D-INLF: inlf2d é um escalar igual ao valor da 2D-INLF
% correspondente ao valor máximo de tensão de entrada do arquivo de
% dados carregado

inlf2d =vdifx/vix;
```

## Apêndice D

Código executável no *software* MATLAB, utilizado para determinação dos coeficientes da série trigonométrica de Fourier por integração numérica, até a ordem especificada pelo usuário, com a finalidade de calcular a THD:

```
% Inicialização
clc
clear
%Definição da amplitude=amp
amp=[];

%Inserção da quantidade de termos da série truncada
n=input('Digite o numero de termos\n');
%Dados obtidos na análise no domínio do tempo com suas respectivas
amplitudes
Arquivos com nome_do_multiplicador_e_a_amplitude
clear a
%Definição das matrizes com valores medidos ou simulados das variáveis
do sinal de saída e tempo
vp = [];
tp = [];

for m=1:max(size(amp))
t = tp(:,m);
z = vp(:,m);

T = t(end)- t(1);
Wo=2*pi/T;

a0=trapz(t,z)*1/T;
VTeorico= a0;
for k = 1:n
    senkw=sin(k*Wo*t);
    coskw=cos(k*Wo*t);
    vsen=z.*senkw;
    vcos=z.*coskw;
    ak(k)=trapz(t,vcos)*2/T;
    bk(k)=trapz(t,vsen)*2/T;
    VTeorico= VTeorico + ak(k)*cos(k*Wo*t) + bk(k)*sin(k*Wo*t);
end
```

```
ck = sqrt(ak.^2 + bk.^2);

w=0;
for k = 2:n
w = w + ck(k).^2;
end

%Cálculo da THD
THD(m) = 20*log10(sqrt(w)./ck(1));

end
```

## Apêndice E

Código executável no *software* MATLAB, utilizado para determinação dos coeficientes de componentes de frequência por integração numérica, até a ordem especificada pelo usuário, com a finalidade de calcular a THD2<sub>in</sub>:

```
% Combinações das frequências para análise de distorção
% Escolha dos valores de 'fx' e 'fy' (Hz)
x=input('fx = ');
y=input('fy = ');

% Cálculo das frequências harmônicas
n=input('numero de harmônicas = ');
k=linspace(1,n,n)';
xh=x*k;
yh=y*k;

% Combinações lineares de 'fx' e 'fy' limitadas a n(fx + fy), sendo n o
numero de harmônicas informado
fcombt1= [];
fcombt2=[];
for m=1:n
    fcomb1(m,1:n)=abs(yh(m)-xh(1:n));
    fcomb2(m,1:n)=yh(m)+xh(1:n);
    fcombt1=[fcombt1 fcomb1(m,1:n)];
    fcombt2=[fcombt2 fcomb2(m,1:n)];
end
fcomb=[fcombt1 fcombt2]';

%Ordenação das combinações lineares de 'fx' e fy'

fcomb=sort(fcomb);
fcombx=zeros(size(fcomb));
n=1;
fcombx(1)=fcomb(1);
for k=1:max(size(fcomb))-1
    if fcomb(k+1)==fcomb(k)
        n=k;
    else
        n=n+1;
```

```

fcombx(n)=fcomb(k+1);
end
end
n=1;
for k=1:max(size(fcombx))
    if fcombx(k)~= 0
        fcombxx(n)=fcombx(k);
        n=n+1;
    end
end
fcombxx=fcombxx';

```

#### **%Rotina para calcular a THD2in**

```

% Inicialização
clc
clear
%Definição da amplitude=amp
amp=[];
%Dados obtidos na análise no domínio do tempo com suas respectivas
amplitudes
Arquivos com nome_do_multiplicador_e_a_amplitude
vpx = [v1 v2 v3 v4 v5 v6 v7 v8 v9 v10];
vp = vpx - mean(vpx);
tp = [t1 t2 t3 t4 t5 t6 t7 t8 t9 t10];

nn=max(size(fcombxx));

indfsoma = find(fcombxx==x+y);
indfdif = find(fcombxx==abs(y-x));

for m=1:10
    t=tp(:,m);
    z = vp(:,m);

    final=max(size(t));

VTeorico= 0;

for k = 1:nn
    zsin= z.*sin(2*pi*fcombxx(nn-k+1)*t);
    zcos= z.*cos(2*pi*fcombxx(nn-k+1)*t);

```

```

ak(k)= 0;
bk(k)= 0;
for l=1:final-1
ak(k)= ak(k) + (zcos(l) + zcos(l+1)).*(t(l+1)-t(l))/T;
bk(k)= bk(k) + (zsin(l) + zsin(l+1)).*(t(l+1)-t(l))/T;
end

VTeorico = VTeorico + ak(k)*cos(2*pi*fcombxx(nn-k+1)*t) +
bk(k)*sin(2*pi*fcombxx(nn-k+1)*t);
end

figure(m)

plot(t,VTeorico,'r',t,z,'sb');

ck = sqrt(ak.^2 + bk.^2);
ckx=ck;
ckx(nn-indfsoma+1)=0;
ckx(nn-indfdif+1)=0;

w=sum(ckx.^2);
%Cálculo da THD2in
THD2in1(m) = 20*log10(sqrt(w)./sqrt(ck(nn-indfsoma+1)^2 + ck(nn-
indfdif+1)^2));

end

THD2in = [THD2in1]

```